

VLSI 门时滞故障

可测性
分析

计算机科学1998 Vol. 25 No. 5

门时滞故障的可测性分析

Gate-Delay-Fault Testability Analysis

127-129

王 勇 陈光福

TN470.7

(电子科技大学自动化系 CAT 室 成都610054)

摘 要 Recently, there has been interest in the design of testable combinational logical circuit under delay fault model, so it is necessary to discuss testability measure for delay fault. According to the feature of the testing for gate delay faults, we define the testability measures of the gate delay faults, it consists of the controllability and the observability of the gate delay faults in the rising (falling) transition. The computation of these two measures is based on the PREDICT algorithm^[1] and the method of the paper^[2], so it is practical and effective.

关键词 Gate-delay-faults, Testability measures, Controllability, Observability

测试问题日益成为 VLSI 发展中的瓶颈问题, 为了减少测试的困难, 人们普遍接受的途径是在设计过程中就考虑电路的可测性, 即采用可测性设计 (Design for Testability) 方法以减低测试成本。在可测性设计过程中可测性分析是极其重要的一环, 所谓可测性是一种定量的测度, 表示系统测试难易或测试性价比合理的程度, 通过可测性分析人们可以找出电路中较难测试的区域, 以便修改设计, 降低测试难度; 此外可测性测度还可作为一种启发信息来指导测试生成。

可测性设计最初主要是考虑呆滞型故障, 对可测性的分析也是针对呆滞型故障而言。由于呆滞型故障模型在处理实际问题时存在一定的局限性, 近年人们将可测性设计的范围拓宽到门时滞故障模型^[3~5], 因此有必要对门时滞故障的可测性进行分析。

本文根据门时滞故障测试的特点, 定义了门时滞故障的可测性测度, 其计算方法可以借鉴呆滞型故障可测性分析方法中的 PREDICT 方法^[1]和文^[2]的方法, 因此是有效和可行的。

1. 门时滞故障的可测性测度

数字系统中的许多内部结点都是无法接触的,

这些结点上的故障是否可测, 以及测试的难易程度, 显然决定于电路的原始输入是否能方便地控制这些结点的逻辑值, 以及这些结点的逻辑值能否容易地敏化到电路的原始输出加以观测, 所以可测性测度通常包括可控性和可观测性两部分。为了定义门时滞故障的可测性测度, 有必要讨论门时滞故障测试的特点。

在检测电路中任意一个门的输入线 x 上的上升沿(下降沿)门时滞故障时, 我们须输入一对测试矢量 $\langle V1, V2 \rangle$, 在 t_0 时刻施加 $V1$, 在电路稳定后的 t_1 时刻施加 $V2$, 然后在 t_2 时刻观察电路的输出, 这里 $(t_2 - t_1)$ 是希望的输入和输出的时间间隔, 如果 t_2 时刻观察到正确的输出状态, 则线 x 上无时滞故障, 否则线 x 上存在时滞故障。显然 $\langle V1, V2 \rangle$ 满足下列条件^[6]:

(1) 当主输入从 $V1$ 跳变到 $V2$ 时, 必须在线 x 上产生相应的上升沿(下降沿)。

(2) 如果 x 上存在上升沿(下降沿)时滞故障, 对于位于从 x 开始的路径上的各个主输出, $V2$ 必须使其中的至少一个主输出在 t_2 时刻的状态不同于希望的状态。

正如文^[6]指出的, 条件(2)意味着要检测线 x 的上升沿(下降沿)的门时滞故障, $V2$ 必须是线 x 的

王 勇 博士生, 主要研究方向为数据域测试技术, 神经网络及进化算法。陈光福 教授, 博士生导师, 英国 IEE 会员, 主要研究方向为智能仪器与自动测试技术, 数据域测试技术。

呆滞于0(呆滞1)故障的测试矢量。

根据门时滞测试的特点,本文定义线 x 上的门时滞故障的可控性如下:

上升沿(下降沿)时滞故障可控性 $C_i(x)$ ($C_i(x)$):对所有输入矢量对 $\langle V1, V2 \rangle$, 使线 x 上出现上升沿(下降沿)跳变的概率,称为线 x 上的上升沿(下降沿)门时滞故障的可控性。

显然要使上升沿(下降沿)门时滞故障在主输出被检测到,必须使 $V2$ 是呆滞于0(呆滞于1)故障的测试矢量,所以可以定义门时滞故障的可观测性为:

上升沿(下降沿)时滞故障可观测性 $B_i(x)$ ($B_i(x)$):对线 x 上呆滞于0(呆滞于1)故障的检测概率,称为线 x 上升沿(下降沿)门时滞故障的可观测性。

2. 门时滞故障可控性的计算

电路中某个门的输入线 x 上的下降沿跳变有二种情形:(a)当输入 $\langle V1, V2 \rangle$ 时,线 x 上的状态变化为 $1 \rightarrow 0$; (b)当输入 $\langle V1, V2 \rangle$ 时,线 x 上的状态变化为 $0 \rightarrow 1 \rightarrow 0$ 。在文[6]中将(a)种情形时的测试称为 I 类测试,将(b)种情形时的测试称为 II 类测试; I 类测试需要更精确的故障模型(惯性时滞模型)^[6],所以通常讨论门时滞故障的测试是针对 I 类测试,因此本文讨论的门时滞故障可观测性是针对 I 类测试而言的。

对线 x 上的下降沿跳变,二个时段的状态是相互独立的,因此有:

$$C_i(x) = P(x_1=1) \cdot P(x_2=0) \quad (1)$$

$P(x_1=1)$ 和 $P(x_2=0)$ 分别表示事件 $(x_1=1)$ 和事件 $(x_2=0)$ 的概率,虽然这二个事件是独立的,但是 $P(x_2=0) = 1 - P(x_2=1)$, 而 $P(x_2=1)$ 正是文[1]所定义的呆滞型故障的1可控性 $Cl(x)$, 所以有:

$$C_i(x) = Cl(x) \cdot (1 - Cl(x)) \quad (2)$$

由(2)可以看出要求某节点的下降沿门时滞故障的可控性需要先求出该节点的1可控性。

对于非扇出重汇聚节点,其1可控性计算可由其影响锥体(cone of influence)内的节点逐级递推得到;复杂的是对扇出重汇聚节点的1可控性的计算,文[1]提出的 PREDICT 方法较为完满地解决了这一点,其基本思想是先确定该节点的超门(Supergate)(超门的定义见文[2]),并将超门的输入分为无扇出输入和扇出输入,然后考虑扇出输入的所有可能的取值,计算其相应的条件1可控性(即条件概率),最后根据:

$$Cl(x) = \sum_{A \in A} Cl(x|A) \cdot P(A) \quad (3)$$

即可得到所求节点的1可控性。

PREDICT 方法是目前较为成功的呆滞型故障的可观测性分析方法,因此我们可以用它计算门时滞故障的可控性。以图1电路为例,要计算节点12的下降沿门时滞故障的可控性 $C_i(12)$ 只须计算该节点的1可控性 $Cl(12)$, 文[1]已计算出该电路中所有节点的1可控性(如图2所示),图2中方括号内的值为节点7分别为0和1时的条件1可控性,而节点上方的值为该节点的1可控性。所以:

$$\begin{aligned} C_i(12) &= Cl(12) \cdot (1 - Cl(12)) \\ &= \frac{19}{32} \left(1 - \frac{19}{32} \right) = \frac{247}{1024} \end{aligned}$$

对上升沿门时滞故障的可控性也可以用类似的方法得到。

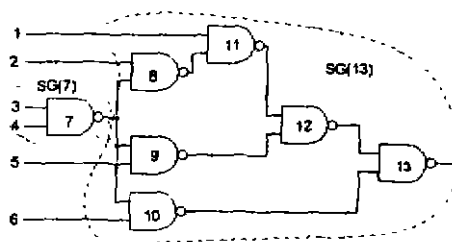


图1 超门和最大超门的说明

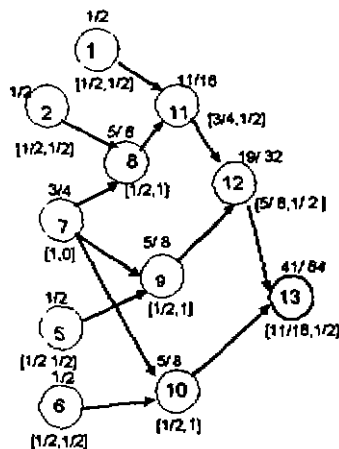


图2 图1中的电路的超门和各个节点的1可控性

3. 门时滞故障的可观测性计算

从前面的讨论我们知道,节点 x 上升沿(下降沿)门时滞故障的可观测性可以通过计算该节点呆滞于0(呆滞于1)故障的检测概率得到,因此可以用