

基于 PTM 模型与 BN 模型的电路可靠性计算方法比较

蒋玉芳¹ 邓左祥²

(广西现代职业技术学院建筑与信息工程系 河池 547000)¹

(上海交通大学电子信息与电气工程学院 上海 200240)²

摘 要 现代工艺的发展使得集成电路在获得高性能的同时,也更容易受到软差错的影响。针对软差错影响下电路的可靠性问题,选取了二种典型的基于条件概率理论的门级评估方法,BN 方法和 PTM 方法,分别介绍了其原理,并结合实验分析了它们各自的功能、适用范围以及复杂度,且指出了下一步的研究思路。

关键词 BN 方法,PTM 方法,基本门电路,电路可靠性

中图分类号 TP311 文献标识码 A

Comparison of Circuit Reliability Calculation Methods Based on PTM Model and BN Model

JIANG Yu-fang¹ DENG Zuo-xiang²

(Department of Construction and Information Engineering,Guangxi Modern Vocational
Technology College,Hechi 547000,China)¹

(School of Electronic Information and Electrical Engineering,Shanghai Jiao Tong University,Shanghai 200240,China)²

Abstract The development of VLSI technology results in the dramatical improvement of the performance of integrated circuits,and integrated circuits become more susceptible to soft errors. For the reliability of circuits under the soft error,two typical gate-level estimation methods based on the conditinal probability,named PTM method and BN mehod separately,were chosen in this paper. The principles of the two methods were introduced,and the function,applicability and complexity were analyzed respectively by combining the experiemnts. Finally,the results were concluded,and the future research was illuminated.

Keywords BN method,PTM method,Elementary gate,Circuit reliability

1 引言

软差错(soft error)是由于高能粒子(主要是中子和 α 粒子)导致的单事件翻转(Single Event Upset,SEU)引起的。随着集成电路密度的不断增大,器件特征尺寸的不断缩小,VLSI 电路越来越容易受到软差错的影响。

通常,软差错的主要受害者是存储单元,然而,随着工艺尺寸的不断缩小,组合逻辑电路受到 SEU 感染的机率也越来越大。有研究表明,目前,芯片上组合电路与存储单元的软差错率(Soft Error Rate,SER)是相当的^[1]。组合逻辑电路中 SEU 最终是否导致系统失效,一般受到 3 种屏蔽作用的影响,电气屏蔽、逻辑屏蔽和锁存窗屏蔽,这些屏蔽效应使得电路中的软差错并非一定会导致其输出错误结果^[2]。因此,近年来,基于概率的可靠性评估方法得到了学术界与工业界的共同关注,该类方法是解决此类不确定性问题的有效策略。

信号可靠性(signal reliability)方法采用电路信号端输出某一逻辑值的概率(称为信号概率)来表征电路的可靠性^[3]。其通常做法是,根据输入端的信号概率,在考虑输入负载的情况下,针对各基本门的逻辑功能,构建面向传播路径的信号逻辑功能函数,在此基础上计算信号正确或错误输出的概率,业界通常运用失效率和可靠度来对电路的可靠性进行度量。其中,失效率指的是信号在被感染的情况下电路输出错误的概

率,而可靠度则指整个电路功能正确的概率。

传统的集成电路可靠性评估面向芯片制造过程,通过可靠性试验(如环境试验、寿命试验、筛选试验、现场使用试验等)来分析其可靠性。随着 VLSI 电路技术的发展,可靠性水平的提高,这类评测方法暴露出“滞后性”和样本数太多等问题。门级可靠性评估方法克服了这些问题,它们可以在设计阶段对电路可靠性进行评估,从而有利于尽早找出电路设计中的薄弱环节,以便及时改进设计。

门级方法通过计算发生在基本门的软差错传播到电路原始输出的概率来衡量其失效率,这种方法考虑了电路的拓扑结构和传播路径信息,还与组成电路的各个基本门的类型有关。比较典型的方法有贝叶斯(Bayes Network,BN)方法^[4]、概率转移矩阵(Probabilistic Transfer Matrix,PTM)方法^[5-7]。它们一般考虑 3 个概率因素^[8]:1) 结点失效概率,它指结点发生 SEU 导致基本门输出发生故障的概率,它取决于不同类型粒子的能量、基本门的大小以及器件的性质。2) 信号锁存概率,它指到达触发器的输入并被锁存的概率,用以反应锁存窗屏蔽作用。3) 信号屏蔽概率,它指对应不同输入向量,感染结点的故障传播到原始输出及触发器输入的概率,用以体现逻辑屏蔽现象。目前门级概率评估方法主要考虑的是这些因素。

本文第 2 节介绍了 BN 方法与 PTM 方法原理,第 3 节给出了 BN 方法与 PTM 方法的算法实现,第 4 节从不同层面对

BN方法与PTM方法进行了比较分析,最后是结论。

2 BN方法与PTM方法原理

BN方法与PTM方法基于的理论依据均是条件概率理论。BN方法主要是通过Bayes推理规则建立的Bayes网络来分析电路行为;而PTM方法主要利用矩阵乘与张量积运算来模拟电路行为。因此,这两种方法之间既有着共性又存在着差异,以下分别对二者进行分析。

2.1 BN方法原理

BN方法最早是由美国加州大学Judea Pearl教授提出的,它是一种基于概率分析和图论的不确定性知识表达和推理的模型。其表达手段为有向无环图,其中结点代表随机变量,结点间的有向边代表变量间的依赖关系。

对于给定电路,首先,依据基本门之间的互连关系,建立与之相对应的Bayes网络。然后,通过Bayes网络,建立由有向边关联的结点间的条件概率分布。最后,借助Bayes推理规则从根结点开始逐步计算直至叶结点,并输出电路可靠度。

(1) 构建Bayes网络

a) 对于给定电路,用结点表示输入与输出,结点间的有向边表示基本门的输入与输出之间的依赖关系。b) 指定基本门电路的故障发生概率 p ,建立针对各类型基本门的条件概率表与理想概率表,以反映结点的输入与输出间的定量关系。图1给出了一个电路到Bayes网络的构建示例。其中,以非门电路为例给出了其条件概率表与理想概率表,如表1所列。

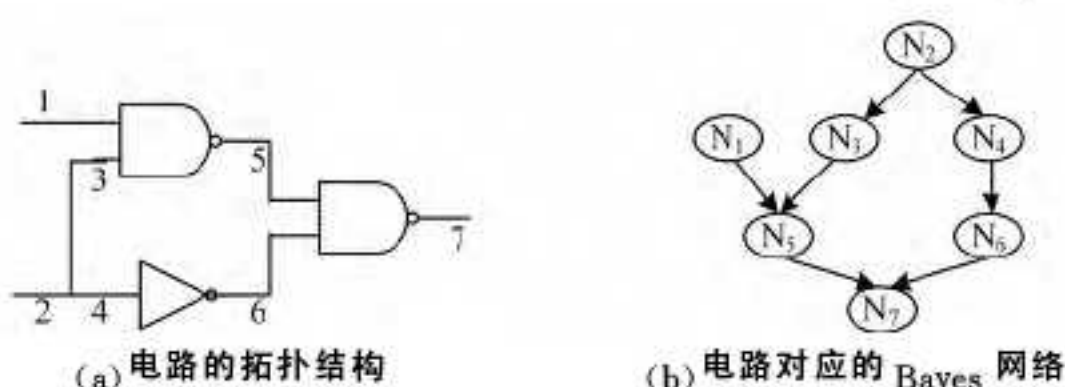


图1 一个Bayes网络构建示例

表1 NOT的条件概率表与理想概率表

(a) 条件概率表			
X_1	X_2	$P(Y=0 X_1, X_2)$	$P(Y=1 X_1, X_2)$
0	0	p	$1-p$
0	1	p	$1-p$
1	0	p	$1-p$
1	1	$1-p$	p
(b) 理想概率表			
X_1	X_2	$P(Y=0 X_1, X_2)$	$P(Y=1 X_1, X_2)$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

(2) Bayes推理规则

若结点 N 为非原始输入结点,根据结点的条件概率表,其输出概率 $p(N)$ 可通过式(1)进行推导。其中, $Pa(N)$ 指结点 N 的父结点, pa 指 N 的父结点的输出概率。若 N 为原始输入结点,则其输出概率通常会作为初始条件给出。

$$p(N) = \sum_{Pa(N)} p(N|Pa(N)) pa(N) \quad (1)$$

2.2 PTM方法原理

PTM模型最早源于文献[9],文献[5]开始用该模型及矩阵乘和张量积运算来分析门级电路的行为。它假设各基本门的故障概率和电路的原始输入概率分布已知,建立基本门的PTM与理想转移矩阵(Ideal Transfer Matrix, ITM),然后根

据电路的结构,由相应矩阵运算规则生成整个电路的PTM与ITM,再结合原始输入概率分布,计算获得电路的可靠度。

对于一个有 m 个PI、 n 个PO的电路的概率行为用PTM表示,它的第 $i(i \in [0, 2^m - 1])$ 行与第 $j(j \in [0, 2^n - 1])$ 列对应的值 $p(j|i)$ 指在输入值为 i 的信号 $I = i_0, i_1, \dots, i_{m-1}$ 时输出值为 j 的信号 $J = j_0, j_1, \dots, j_{n-1}$ 的故障概率。例如,给定电路的输入 $(0, 0, 1)$ 时输出 $(1, 0)$ 的故障概率为 $p(1, 0|0, 0, 1)$,记作 $p(2|1)$ 。因此,假设在所有可能的输入下,基本门对应的输出均有相同的故障概率 p ,则一个2输入与门有图2所示的PTM。

	00	01	10	11
0	$1-p$	p	$1-p$	p
1	p	$1-p$	p	$1-p$

图2 2-输入与门的PTM

特别地,若一个无故障电路对应所有输入得到错误输出的概率为0,则称这个矩阵为ITM。

一个门级电路的PTM是由组成该电路的基本门的PTM依据门之间的互连结构计算得到的,所用的矩阵运算主要有矩阵乘和张量积。

1) 串联电路

若基本门 g_1 与 g_2 串联,且二者对应的PTM分别为 M_1 与 M_2 ,则串联电路的输入信号值为 i ,输出信号值为 j 时的故障概率 $p(j|i) = \sum_k p_1(j|k) p_2(k|i)$,其中, p_k 表示门 g_k 对应的故障概率。因此, g_1 与 g_2 串联后的电路的PTM为 $M_1 \times M_2$ 。

2) 并联电路

若基本门 g_1 与 g_2 并联,且二者对应的PTM分别为 M_1 与 M_2 ,则并联电路的输入信号值为 i ,输出信号值为 j 时的故障概率 $p(j|i) = p_1(j_1|i_1) \times p_2(j_2|i_2)$,其中, p_k 指门 g_k 的故障概率。因此, g_1 与 g_2 并联后的电路的PTM为 $M_1 \otimes M_2$ 。

若两个子电路的PTM分别为 M_1 与 M_2 ,则它们串联后电路的PTM为 $M_1 \times M_2$,并联后电路的PTM为 $M_1 \otimes M_2$ 。

需要说明的是,PTM模型默认互连导线为无故障的,因此,扇出、单线、缓冲器等PTM均等于其ITM,对应 n 输出的扇出门的ITM记作 F_n ,例如,2分枝的扇出门 $F_2 = [1, 0, 0, 0; 0, 0, 0, 0, 1]$;单线或缓冲器的ITM为2维的单位矩阵 $I = [1, 0; 0, 1]$ 。同理,取基本门的故障概率为0,即可计算获得相对应的门级电路的ITM。

3 算法实现

3.1 Bayes算法

算法1 基于Bayes方法的电路可靠度计算

输入: 电路网表

输出: 电路可靠度

- 运用分层算法[10]对电路分层,并构建各基本门电路的条件概率表与理想概率表。
- 构建电路的Bayes网络。
- 计算结点 n_i 的输出可靠度
 - 通过条件概率表,运用Bayes推理规则,计算当前结点在各种输入负载下的条件概率;
 - 通过理想概率表,运用Bayes推理规则,计算当前结点在各种输入负载下的理想概率;
 - 将3.1)与3.2)的输出作异或运算,并与输入的概率分布作乘法运算。
- 输出电路可靠度

- 1) 若电路仅有单个原始输出端,则直接输出 3.3) 的结果;
 - 2) 若电路有多个原始输出端,则将各原始输出端的可靠度作乘法运算。
- 针对各种输入负载的组合,该算法均要对电路的输出可靠度分别进行计算。因此,它的计算复杂度与电路的输入端数呈指数关系。针对电路的扇出分支,该算法通过条件概率表来分析分支的取值特点,但未考虑信号的同步现象,故存在一定程度的精度损失。

3.2 PTM 算法

算法 2 基于 PTM 方法的电路可靠度计算

输入: 电路网表

输出: 电路可靠度

1. 运用文献[10]方法对电路分层,并提取各基本门电路的故障概率。
2. 构建各基本门电路的 PTM 与 ITM。
3. 计算电路第 i 层的 PTM 与 ITM
 - 1) 各电路的 PTM 作张量积运算;
 - 2) 各电路的 ITM 作张量积运算。
4. 计算整个电路的 PTM 与 ITM
 - 1) 各层电路的 PTM 作矩阵乘运算;
 - 2) 各层电路的 ITM 作矩阵乘运算。
5. 计算电路的可靠度。
 - 1) 提取电路原始输入的概率分布;
 - 2) 将 4 的输出 PTM 与 ITM 作点乘运算;
 - 3) 用 5.1) 的输出与 5.2) 的输出作矩阵乘运算。

通过相关矩阵运算,该算法对电路的所有可能状态进行了穷举,故其计算复杂度随电路输入端数的增加呈指数级关系,但它可用于精确评估电路结构的可靠度。

4 实验与分析

4.1 定性比较

从度量指标看,PTM 方法计算的是整个电路的可靠度,

而 BN 方法可计算各结点的输出可靠度。

从原理来看,PTM 方法假定差错感染的对象是基本门,中间运算包括了电路中所有信号端的信息,最后算得的 PTM 包括所有 PI 端到所有 PO 端的对应关系。BN 方法以结点为单位,借助条件概率表,运用 Bayes 推理规则,可计算获得从原始输入到各结点间模块的可靠度。它与 PTM 方法类似,都是基于条件概率理论。针对扇出分支信号,BN 方法忽略了分支间信号的同步问题,而 PTM 方法利用矩阵运算的穷举特点很好地解决了分支间信号的同步问题,因此,相比 BN 方法,PTM 方法有更高的计算精度。

从电路规模看,PTM 和 BN 方法由于均需要考虑输入的所有组合,即计算复杂度随电路的信号端数呈指数增长,因此只能用于中小规模电路。

4.2 定量分析

本节将通过实验数据来分析 PTM 方法与 BN 方法的不同特点,从算法的功能和性能两方面分别进行说明与比较,明确各种方法的优劣,以便在评估电路可靠性时根据需要选择合适的方法。

4.2.1 算法功能分析

表 2 与表 3 列出了 BN 方法与 PTM 方法的实验数据,表中的输入、输出分别指整个电路的 PI 数和 PO 数,宽度指电路各层中信号线数的最大值。对某个电路,只需设定基本门的感染概率 p 就可算出整个电路的可靠度。然而,BN 方法与 PTM 由于均包括了电路中所有结点的信息,并都考虑了扇出分支的取值特点,故计算过程中其时间开销随电路输入引线数呈指数型增加,因此,难以用于大规模电路。表 2 与表 3 中还列出了性能情况,当电路的结点数超过 20 时,程序就无法获得结果。

表 2 BN 算法实验数据

电路	电路参数				可靠度			性能 ($p=0.01$)	
	结点数	输入	输出	宽度	$p=0.01$	$p=0.005$	$p=0.001$	时间(s)	内存(MB)
全加器	16	3	2	6	0.9539	0.97650	0.99509	0.059	0.96
schneider	17	3	2	7	0.96157	0.97239	0.99402	0.192	1.13
C17	17	5	2	6	0.94648	0.97038	0.99401	0.071	0.99

表 3 PTM 算法实验数据

电路	电路参数				可靠度			性能 ($p=0.01$)	
	结点数	输入	输出	宽度	$p=0.01$	$p=0.005$	$p=0.001$	时间(s)	内存(MB)
全加器	16	3	2	6	0.956050	0.977764	0.995511	0.063	1.67
schneider	17	3	2	7	0.970471	0.985118	0.997005	0.218	1.70
C17	17	5	2	6	0.951928	0.975641	0.995076	0.078	1.72

4.2.2 算法性能分析

BN 方法和 PTM 方法的时间复杂度均为 $O(2^n)$,其中, n 是指电路的目标输出端所对应的原始输入数。BN 方法以结点为计算的基本单位,除了电路的基本信息,每次计算仅需存储此结点的输出信息即可,因此其空间复杂度为 $O(n)$,其中, n 指结点数。PTM 方法以整个电路为计算的基本单位,其需要保存每次计算后的结果,因此,其空间复杂度为 $O(2^n)$,其中, n 指电路的目标输出端所对应的原始输入数。

若不考虑对已有算法进行优化,对于大电路,采用 BN 方法和 PTM 方法均难以获得有响应结果,因此,在小规模电路(全加器、schneider 和 C17)上,对以上两种方法的程序运行时间和内存占用值分别进行了比较,结果如表 2—表 3 所列,并以 Monte Carlo 的模拟结果为参照对象,在 $p=0.01$ 时对 BN 方法与 PTM 方法的计算精度进行了比较,结果如图 3 所示。

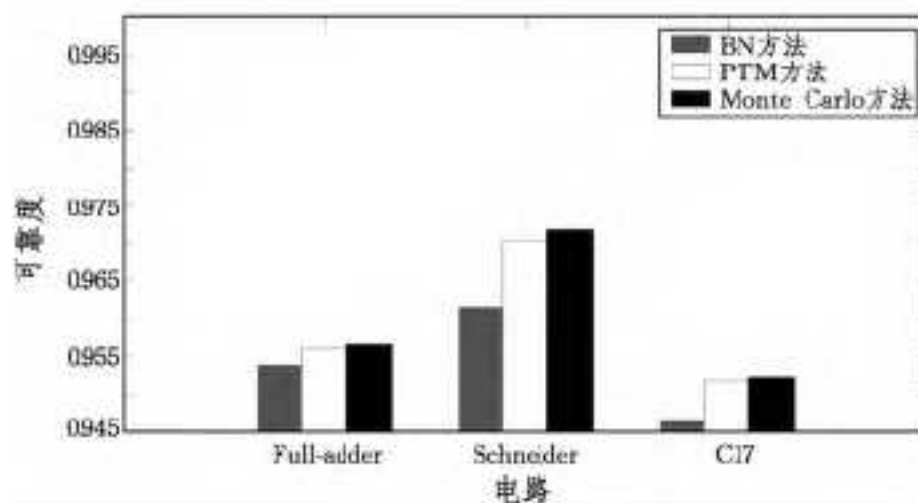


图 3 可靠度计算结果比较

从图 3 可以看出,相比 BN 方法,PTM 方法的结果与 Monte Carlo 方法更为接近;表 2 与表 3 的结果表明,相比 PTM 方法,BN 方法有更小的时间与内存开销。这是因为 PTM 方法对电路状态采用穷举式访问策略以获取电路可靠

(下转第 133 页)

$$d_{ik} = (y_{ik} - c_i) c_i (1 - c_i)$$

$$e_{jk} = [d_{ik} j_{ik}] j_{ik} (1 - b_j)$$

式中, d_{ik} 为输出层的校正误差; e_{jk} 为隐层的校正误差。

(3) 计算新的连接权及阈值, 计算公式如下:

$$v_{ji}(n+1) = v_{ji}(n) + d_{ik} b_j w_{ij}(n+1) = w_{ij}(n) + e_{ka} i_k$$

$$r_i(n+1) = r_i(n) + d_{ik} \theta_j(n+1) = \theta_j(n) + e_{jk}$$

(4) 选取下一个输入模式对返回第(2)步反复训练直到网络设定输出误差达到要求结束训练。

在原则上由非常简单的单元连接在一起组成的“网络”可以对任何逻辑和算术函数进行计算。因为网络的单元有些像大大简化的神经元, 它现在常被称作“神经网络”。

结束语 但由于课题基于手机(移动电话)的平台进行, 必须考虑到手机的智能化程度、核心处理器的处理能力、存储空间、电源供应等诸多特殊环境。特别是手机设备而具备的微型化, 虽然带来作为移动终端设备而具备的便携、用户诸多的好处, 但必须进一步研究按照将主要的计算工作交由“云计算”的模式进行, 以适应手机工作模式^[7]。

参 考 文 献

- [1] Gopel W, Schierbaum K. SnO₂ sensors: Current status and future prospects [J]. Sensors and Actuators B, 1995, 26: 1-12

- [2] Mielle P, et al. An alternative way to improve the sensitivity of electronic olfactometers[J]. Sensors and Actuators B, 1999, 58: 526-535
- [3] Noll M G. Running Hadoop On Ubuntu Linux (Single-Node Cluster), August 5, 2007. <http://www.michael-noll.com/>
- [4] Piazza L, Benedetti S. Investigation on the rheological properties of agar gels and their role on aroma release in agar/limonene solid emulsions [J]. Food Research International, 2010, 43: 269-276
- [5] 洪雪珍, 王俊. 基于逐步判别分析和 BP 神经网络的电子鼻猪肉储藏时间预测[J]. 传感技术学报, 2010, 23(10): 376-380
- [6] Hirano S H, Truong K N, Hayes G R. uSmell: a gas sensor system to classify odors in natural, uncontrolled environments, the 2012 ACM Conference on Ubiquitous Computing [C] // ACM 2012 Article Poster Bibliometrics Data Bibliometrics, 2012: 657-658
- [7] 李联宁. 基于手机平台的嗅觉网络传输研究与探索[J]. 计算机科学, 2013, 4(6A): 223-227
- [8] Ki Sato, Prof. Shoji Takeuchi, Chemical Vapor Detection Using a Reconstituted Insect Olfactory Receptor Complex [J]. Angewandte Chemie International Edition, 2014, 53(44): 11798-11802

(上接第 117 页)

度, 而 BN 方法是在忽略了电路扇出分支信号同步的情况下获得电路可靠度的。

4.2.3 基本门的敏感性比较

在电路设计的早期阶段, 为了更好地指导可靠性分析与容错设计, 在全加器、schneider 和 C17 上, 分析 PTM 模型与 BN 模型计算结果对各基本门电路的敏感性并与 Monte Carlo 方法的模拟结果进行比较。实验结果如表 4 所列, 其中, 第 2 列至第 7 列数值指通过 PTM 模型与 BN 方法得到的敏感性单元与通过 Monte Carlo 方法得到敏感性单元的重合度。

表 4 不同方法计算结果比较

电路	PTM 模型			BN 方法		
	最敏感单元	前 2 敏感单元	前 3 敏感单元	最敏感单元	前 2 敏感单元	前 3 敏感单元
C17	100%	100%	100%	0	25%	20%
全加器	100%	100%	100%	0	0	50%
Schneider	100%	100%	100%	0	67%	40%

从表 4 可知, 通过 PTM 模型得到的敏感基本门与 Monte Carlo 方法模拟结果一致, 而通过 BN 方法得到的敏感基本门则与 Monte Carlo 方法模拟结果存在差异。一方面, 与电路拓扑结构相关; 另一方面, 由两种方法的计算差异所导致。因此, 精确的可靠性评估方法有利于在电路设计的早期阶段以较小代价改善设计以提高产品的可靠性与容错性。

结束语 集成电路的可靠性评估对于电路的高可靠设计至关重要。本文选取了目前最为典型的两种可靠性评估方法进行对比研究。通过定性比较和定量的实验分析可以看出, PTM 方法与 BN 方法原理相似, 且均仅适用于小规模电路。PTM 方法可精确评估电路的可靠性, 具有良好的完备性, 而且模型简单准确, 所以值得进行深入研究, 重点在于解决其时空复杂度过大、不能直接用于大电路的问题。BN 方法在精度上有一定程度的损失, 但有较小的空间复杂度, PTM 方法可借鉴 BN 方法原理以改善其空间复杂度过大问题。

参 考 文 献

- [1] Hennessy John L, Patterson David A. Computer architecture: a quantitative approach [M]. Elsevier, 2012
- [2] 肖杰. 结合版图结构信息的门级电路可靠性评估方法的研究 [D]. 上海: 同济大学, 2013
- [3] Karthikeyan L, Sanjukta B. An error model to study the behavior of transient errors in sequential circuits [C] // Proceedings of the 22nd International Conference on VLSI Design, New Delhi. IEEE Computer Society: Los Alamitos, 2009, 485-490
- [4] Thara R, Karthikeyan L, Sanjukta B. Probabilistic error modeling for nano-domain logic circuits [J]. IEEE Transactions on Very Large Scale Integration Systems, 2009, 17(1): 55-65
- [5] Smita K, Viamontes George F, Markov Igor L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices [C] // Proceedings of the the Conference on Design Automation and Test in Europe, Munich. IEEE Computer Society: Los Alamitos, 2005, 282-287
- [6] Xiao Jie, Jiang Jian-hui, Zhu Xu-guang, et al. A method of gate-level circuit reliability estimation based on iterative PTM model [C] // Proceedings of the IEEE 17th Pacific Rim International Symposium on Dependable Computing, Pasadena, USA. IEEE Computer Society: Los Alamitos, 2011, 276-277
- [7] 肖杰, 江建慧. 考虑时间因素的不同基本门故障概率计算 [J]. 电子学报, 2013, 41(4): 666-673
- [8] Yu Chien-Chih. Probabilistic Analysis for Modeling and Simulating Digital Circuits [D]. Michigan: The University of Michigan, 2012
- [9] L Levin V. Probability analysis of combination systems and their reliability [J]. Engineering Cybernetics, 1996, 11(6): 78-84
- [10] Michael B, Agrawal Vishwani D. Essentials of electronic testing for digital, memory, and mixed-signal VLSI circuits [M]. Springer, 2000