

面向 SOC 芯片的跨时钟域设计和验证

罗 莉 何鸿君 徐炜遐 窦 强

(国防科技大学计算机学院 长沙 410073)

摘 要 随着高性能、低功耗芯片的发展,多时钟域和跨时钟域(Clock Domain Crossing, CDC)设计越来越多, CDC 设计和验证越来越重要。阐述了 5 种常用的同步器设计模板。验证方法提出了层次化的验证流程:结构化检查,基于断言的验证(assertion-based verification, ABV),对关键模块进行形式化验证。CDC 设计应用于研发的一款 65nm 工艺 SOC 芯片(最高主频 1GHz、10 个时钟域设计、多种工作模式),该芯片已流片回来。经测试,芯片的功能正确,说明设计和验证方法是完备的。

关键词 跨时钟域设计,基于断言的验证,PSL 属性说明语言,符号模型检查,LTL 线性时序逻辑

中图法分类号 TN402 **文献标识码** A

Design and Verification of Clock Domain Crossing for SOC

LUO Li HE Hong-jun XU Wei-xia DOU Qiang

(School of Computer Science of NUDT, Changsha 410073, China)

Abstract With the increasing number of clock domains and CDC signals in today's high-performance, low-power SOC, the design and verification of CDC problem become more and more important. Traditional verification methods can not find a comprehensive cross-clock domain design of functional errors in the RTL stage. In this paper, we discussed 5 types of CDC synchronizer circuit templates of our chip, and proposed hierarchy verification method: structural analysis, assertion-based verification, and formal verification. Taped sample chip tests show all CDC designs work right, and demonstrate that design and verification method are effective and complete.

Keywords Clock domain crossing design, Assertion-based verification, PSL (Property Specification Language), Symbolic model checking, LTL logic

1 引言

目前芯片高性能和低功耗的实用需求, SOC (System on Chip, SoC) 技术的广泛应用, 异步电路不需要统一的时钟脉冲、不存在时钟偏差问题, 并且移植性好、模块化程度高、抗干扰能力强、功耗低、辐射低等多项优良特性, 受到业界人士越来越多的关注。SOC 芯片一般采用全局异步、局部同步 (Globally Asynchronous Locally Synchronous, GALS) 的时钟方案, 多个部件通常工作在不同频率的时钟域中。跨时钟域 (Clock Domain Crossing, CDC) 的数据传输电路被称为跨时钟设计, 对其有效的自动化辅助设计和验证成为 SOC 片上系统中低功耗、高性能设计的关键。

本文重点研究跨时钟域 (Clock Domain Crossing, CDC) 的设计和验证。CDC 设计的正确性是 SOC 芯片各跨时钟域部件间正确传输数据的基础。我们提出了 CDC 设计规范, 提供了通常应用的设计模板, 层次化的验证方法采用结构化检查、断言模拟检查、形式化验证, 将其应用于一款研发的 65nm

工艺 SOC 芯片 (最高主频 1GHz、10 个时钟域、多种工作模式), 现流片成功, 并且实测达到设计要求。

2 研究背景

CDC 问题是学术界和 EDA 厂商都非常关注的热点领域, 其中的重点是 CDC 的验证。

文献[1]中, 主要分析了基于 enable 的同步器的设计和验证。文献[2]提出了 CDC 的覆盖率, 利用时序数据流图定义可观察变量, 提出 CDC 电路特性的覆盖率模型。文献[3]提出用有限状态机形式化验证两种典型的 CDC 设计。文献[4]说明怎样去综合断言逻辑, 相比后端 CDC 设计的形式化验证时间消耗较少。文献[5]说明的是商业工具 spyglass, 这是被业界广泛采用的 CDC 验证工具, 提供了模板匹配的方法, 但该工具没有考虑到电路特性描述的完整性问题。文献[6]分析了基于触发器构建同步器的电路特性, 主要分析主从锁存器实现触发器类型在不同的电气特性下同步器的行为特性。文献[7]阐述了 65nm 工艺下 SOC 触发器的电气参数 τ

到稿日期: 2010-10-12 返修日期: 2011-03-01 本文受 863 国家专项基金项目 (2008AA01A202) 和核高基重大专项 (2009ZX01028-002-002) 资助。

罗 莉 (1971—), 女, 博士, 副研究员, 主要研究方向为计算机体系结构等, E-mail: luoli_hi@sina.com; 何鸿君 (1968—), 男, 博士, 副教授, 主要研究方向为计算机应用等; 徐炜遐 (1963—), 男, 硕士, 研究员, 主要研究方向为计算机体系结构等; 窦 强 (1972—), 博士, 研究员, 主要研究方向为计算机体系结构等。

的测量,选用 130,90 and 65nm Altera FPGA 器件 τ 的测量,不同电气参数 τ 下同步器平均无故障时间 MTBF 的计算,并通过模拟,分析和预测了未来技术下触发器电气参数 τ 的发展趋势。

本文介绍了 CDC 的设计和验证,阐述了电平信号、脉冲控制信号、数据总线的同步器设计模板,提出了层次化验证方法:结构化检查、断言模拟检查、形式化验证,验证时间逐步增长,有效保障了设计的正确性。

3 同步器的设计

我们定义电平信号、脉冲控制信号、数据总线的同步器设计模板。因为篇幅所限,本文只介绍最常用的 5 种同步器设计。

3.1 电平信号的两级同步器

CDC 的核心问题是亚稳态现象,最简单的同步器设计加在该路径终点寄存器,同步器设计为两个背靠背的两级触发器。适用范围是单根的电平信号转换。虽然两级同步器可以消除亚稳态现象,但其输出体现输入变化的确切时钟周期仍然不可预测。图 1 是两级寄存器 FF2 和 FF3 组成的同步器,图 2 是二级同步器的信号转换波形,其输出信号 R3 虽然不存在亚稳态现象,但 R3 体现 R1 变化的时钟周期可能在 Cycle 3,也可能在 Cycle 4。这种不确定性是跨时钟域设计中功能错误的本质原因。

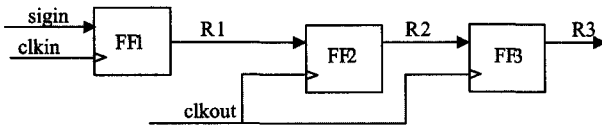


图 1 电平信号的两级同步器

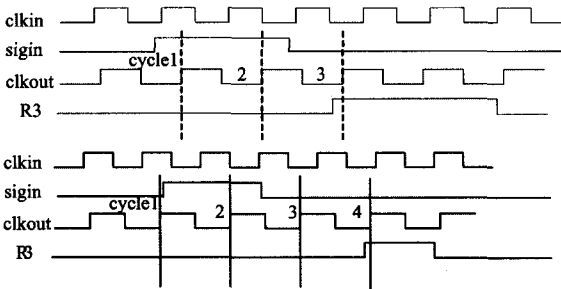


图 2 同步器的信号转换波形

3.2 脉冲信号采用 Gray 码的同步转换器

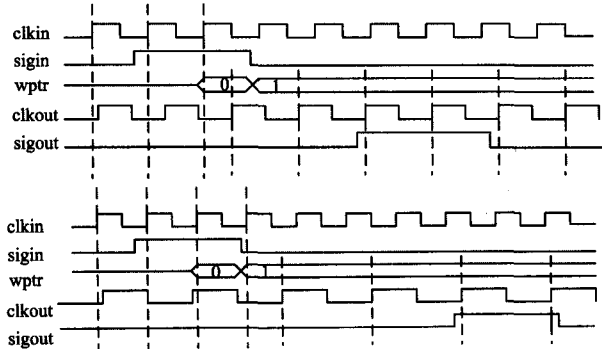


图 3 采用格雷码的二级同步信号转换波形图

采用 Gray 码的同步转换器应用单根有效信号转换,二进制计数器的位宽与源时钟、目的时钟的频差有关系,位宽 $\geq \log_2(\text{clk_in}/\text{clk_out})$,full 是计数器满的信号。其适合高速时钟

域进入低速时钟域应用场合,如数据传输的有效信号、跨时钟域的递增指针的传输,时序图如图 3 所示。源时钟域的信号经过 1 拍计数器 wptr 寄存,经过目的时钟域的 2 拍或 3 拍到达,信号是目的时钟域的第 3 拍或第 4 拍有效。

信号转换逻辑图如图 4 所示。

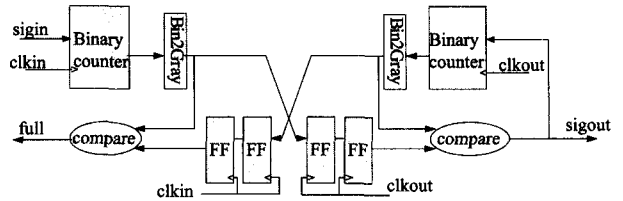


图 4 采用格雷码的二级同步信号转换逻辑图

3.3 数据总线的同步器异步 FIFO

多位同步信号转换主要使用在异步 FIFO,其读写指针在进行时钟域转换时,首先要将其转换为格雷码形式,再进行转换。信号转换逻辑图如图 5 所示。

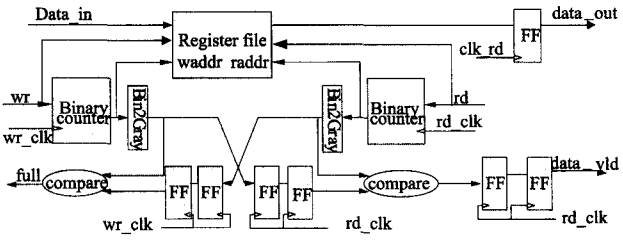


图 5 异步 FIFO 的同步信号转换逻辑图

3.4 采用使能信号的数据总线同步器

数据有效信号采用 Gray 编码同步转换器,产生目的时钟域的数据使能信号,该数据使能信号对地址和数据进行目的时钟,这种类型主要用于寄存器通路中,如图 6 所示。二进制计数器的位宽与源时钟、目的时钟的频差有关系,位宽 $\geq \log_2(\text{clk_in}/\text{clk_out})$,适合高速时钟域进入低速时钟域应用场合。

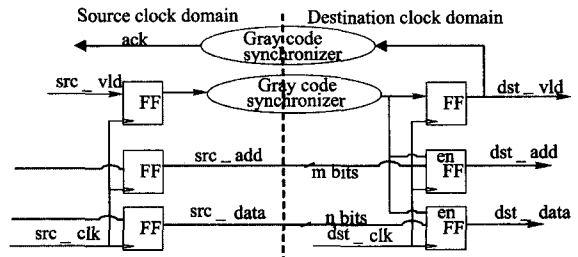


图 6 采用使能信号的同步器的逻辑图

3.5 请求-应答握手协议

跨时钟域数据总线的传输,数据的使能信号通过握手信号完成,握手信号是源电路声明它的请求信号。然后,目的电路检测到该请求信号有效后,声明它的响应信号。请求后一定有应答,请求有效的过程中数据是稳定的。具体电路如图 7 所示。适合高速时钟域进入低速时钟域应用场合。

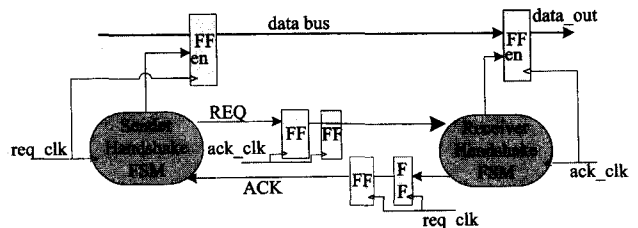


图 7 握手协议电路

4 跨时钟域设计的验证

CDC 设计的错误来源是亚稳定状态的存在,该路径终点寄存器的建立或保持时间违例(Setup/Hold Timing Violation),从而引起该寄存器的输出端进入亚稳定状态。对跨时钟域设计进行功能验证是 SoC 系统芯片验证工作中的难点,亚稳态现象很难在 RTL 验证流程中体现出来。RTL 模拟仿真工具不能模拟亚稳态现象,但如果将跨时钟域设计的功能错误遗留到 FPGA 验证阶段甚至流片后才被发现,则会严重影响产品的上市时间。因此面向跨时钟域设计的功能验证是 SoC 系统芯片 RTL 验证工作中的难点问题。我们提出了层次化验证流程。

4.1 结构检查

采用 Spyglass 工具进行结构检查。该工具采用了模板匹配方式、对代码检查、综合后的电路检查,发现了我们设计的异步 FIFO 设计空满信号不识别。我们的其它设计模板都通过了检查。

对于异步 FIFO 的检查,我们还采用了基于断言的模拟,形式化的验证都没有报告违反,证明我们的设计是正确的。经过查找原因发现,该工具的模板库缺少该类型的描述。目前设计的芯片已流片回来,经测试,芯片的功能也是正确的。

4.2 基于断言的检查

断言是描述设计的功能行为的属性语言。在仿真或形式化验证的过程中,断言可以被仿真工具检查,设计是否满足了所描述的功能行为,这就是 ABV (Assertion-based Verification, 基于断言的验证)。ABV 能够提高设计的可控性和可观察性,在模拟查错、错误追踪时,用断言很容易定位问题。回归测试、随机测试时,利用断言收集功能覆盖信息,可以实现很高的功能覆盖率验证。我们采用了 PSL 断言定义设计的属性,PSL 可以移植在 Cadence Paladium 或 Cadence Xtreme 硬件加速器上运行。

4.2.1 两级同步器的稳定性检查

电平信号同步转换时,有效电平必须保持或大于 2 个目的时钟周期,否则可能会丢掉,即采样时钟满足路径终点寄存器的建立或保持时间的要求。

```
//psl property TwoFF_stability = always ! sign | => sign [ * 2];  
@(posedge clkout)  
//psl assert property TwoFF_stability;
```

4.2.2 Gray 码的断言检查

Gray 码的特点是每个传输周期有 1 位发生变化。假设 Tx1 和 Tx2 是两个连续的传输周期的 Gray 值,Gray 码检查是它们的异或逻辑总是真的,采用断言检查这个特性:

```
//psl property gray-coding = always( Tx1 ^ Tx2);  
//psl assert property gray-coding;
```

4.2.3 异步 FIFO 的断言检查

异步 FIFO 必须满足这些属性:读写指针是 Gray 编码的、FIFO 满了不能写、FIFO 空了不能读。PSL 断言检查如下:

```
//psl wptr_chk;  
//psl assert always(rst & (! empty) -> ((prev(wptr) ^ wptr) == 1)  
@(posedge wt_clk);  
//psl rpтр_chk;  
//psl assert always(rst & (! full) -> ((prev(rpтр) ^ rpтр) == 1) @
```

```
(posedge rd_clk);  
//psl empty_full_chk;  
//psl assert always( ~(empty&full));  
//psl rd_chk;  
//psl assert always( ~empty& rd) @(posedge rd_clk);  
//psl wt_chk;  
//psl assert always( ~full& wt) @(posedge wt_clk);
```

4.2.4 握手协议的断言检查

我们使用部分握手协议。请求电路发出请求信号,保持直到接收到响应信号。响应信号收到请求无效,则撤销响应信号。响应电路要求先处理完一个请求,然后才能处理下一个请求。请求有效的过程中数据是稳定的,其检查断言如下:

```
property Handshake_req = always(tx_req | -> {[+]; ! tx_req; [ * ]; rx_req_ack}) @(posedge tx_clk);  
property DataStability = always( rst & E -> (prev(rx_buf) == rx_buf));  
assert Handshake_req;  
assert DataStability;
```

4.2.5 enable 协议的断言检查

使能协议同步器必须满足数据在有效信号使能的状态下数据保持不变,其断言检查如下:

```
default clock = (posedge rx_clk);  
property DataStability = always( rst & E -> (prev(rx_buf) == rx_buf));  
assert DataStability;
```

4.3 形式化验证

形式化验证用数学可证明的方式来验证系统。模型检验是近年来得到广泛应用的一种形式化验证方法,该方法使用状态空间搜索的办法来全自动地检验一个有穷状态系统是否满足其设计规范。这类方法的优点在于它有自动化的检测过程且验证速度快、效率高。并且,如果一个性质不满足,它能给出这个性质不满足的理由,据此可改进系统描述。模型检验的主要问题是存在状态空间爆炸,不适用于全系统的验证,只适用于模块级别的验证。

SMV^[8] 系统是使用 LTL 线性时序逻辑进行描述的一个用于检测有限状态系统的模型检验工具,是美国 CMU 计算机学院的 L. McMillan 博士于 1992 年开发出的模型检验工具软件,它基于符号模型检验技术。为了用 SMV 检验系统,首先要使用该规范语言来对系统进行描述(系统说明),即要建立系统的各个模块的有限自动机模型和系统的全局状态即 Kripke 模型,并且用 LTL 表示出该系统将被检验的性质(系统属性),然后提交给 SMV 系统运行。

在定义了 3.3 节描述的异步 FIFO 电路特性以后,利用 LTL 线性时序逻辑对电路特性的形式化描述如下:

```
G( ~(empty&full))  
G(FIFO empty -> empty)  
G(FIFO full -> full)  
G((empty&FIFO not empty) -> F( ~empty))  
G((full&FIFO not full) -> F( ~full))  
G(Hamming_Distance(wptr, wptr_reg) = 1)  
G(Hamming_Distance(rpтр, rpтр_reg) = 1)
```

其中 Hamming_Distance() 函数返回两个输入变量的汉明距离, wptr_reg/rpтр_reg 分别为变化前的 wptr/rpтр 值。

(下转第 297 页)

依赖关系对频率/电压模式调节的制约作用,采用 RDAG 算法获得的重定时任务图作为输入对象,将任务顺序调整和频率/电压模式选择同时进行。实验表明,提出的方法在满足任务集时间限制的条件下达到了良好的节能效果。由于多核处理器目前正向异构方向发展,因此下一步的工作将研究如何在满足时间限制的条件下,降低异构多核处理器上运行的依赖任务集的能量消耗。

参考文献

- [1] 钟斌,齐勇,侯迪,等. 基于 DVS 的多核实时系统节能调度[J]. 电子学报,2006,34(12):2481-2484
- [2] 刘惠,陈平,杜军朝. 可变电压处理器的最优动态电压选择算法[J]. 西安电子科技大学学报,2009,36(6):486-490,540
- [3] 解玉凤,魏少军. 实时周期任务的非占先式能耗感知调度[J]. 计算机辅助设计与图形学学报,2006,18(2):245-250
- [4] 韩建军,刘同涛,李庆华,等. 基于任务同步及节能的单机系统实时动态调度算法[J]. 高技术通讯,2008,18(11):1180-1186
- [5] 邢静宇,张立臣. 动态电压调整多处理器实时系统任务调度[J]. 微电子学与计算机,2006,23(2):51-57,61
- [6] 桑楠,李保宇,马红. 多处理器的节能调度算法[J]. 电子科技大学学报,2008,37(1):116-119
- [7] 韩建军,吴晓东,李庆华,等. 硬实时系统中基于任务同步及节能的动态调度算法[J]. 通信学报,2009,30(11):15-26
- [8] Luo J, Jha N K. Power-efficient scheduling for heterogeneous distributed real-time embedded systems[J]. IEEE Transaction

- on Computer-aided Design of Integrated Circuits and System, 2007,26(6):1161-1170
- [9] Liu H, Shao Z, Wang M, et al. Overhead-Aware System-Level Joint Energy and Performance Optimization for Streaming Applications on Multiprocessor Systems-on-Chip[C]// Proc. Euro-micro Conference on Real-Time Systems (ECRTS 08). Prague, Czech; IEEE Press, July 2008;92-101
- [10] 王颖锋,刘志镜. 一种变电压多核处理器上的有效节能方法[J]. 计算机科学,2010,35(10):294-296
- [11] Kang J, Ranka S. Assignment algorithm for energy minimization on parallel machines[C]// 2009 International Conference on Parallel Processing Workshops. Vienna, Austria; IEEE Press, Sep. 2009;484-491
- [12] Leiserson C E, Saxe J B. Retiming synchronous circuitry[J]. Algorithmica, 1986, 13(8):5-35
- [13] <http://www.kasahara.elec.waseda.ac.jp/schedule/>
- [14] Yang C C, Wang K C, Lin M H, et al. Energy efficient intra-task dynamic voltage scaling for realistic cpus of mobile devices [J]. Journal of Information Science and Engineering, 2009, 25(1): 251-272
- [15] Zeng G, Tomiyama H, Takada H. Power Optimization for Embedded System Idle Time in the Presence of Periodic Interrupt Services[C]// Proc. IESS 2007. Irvine, CA, USA; IEEE Press, May 30- June 1, 2007;241-254

(上接第 281 页)

将上述异步 FIFO 的 verilog 模型和异步 FIFO 的关键属性编码成 SMV 语言源代码 FIFO.smv, 输入到 Cadence SMV 工具中运行调试, 运行结果没有反例, 报出属性定义都是 true。

4.4 实验结果

结构检查、基于断言的模拟验证、形式化验证, 采用层次化验证方法对我们的 CDC 设计进行了检查, 验证时间逐步增长。采用 spyglass 工具进行结构检查, 发现我们设计的异步 FIFO 设计有错误。我们基于断言的模拟检查, 形式化验证都没有报告违反。查找原因是该工具的模板库缺少该类型的描述。设计的芯片已流片回来, 经测试, 芯片的功能正确, 说明我们的设计和验证方法是有效的。

结束语 随着高性能、低功耗芯片的发展, 多时钟域和跨时钟域(CDC)设计越来越多, CDC 设计和验证越来越重要, 传统 RTL 设计流程不能发现 CDC 的问题。我们提出了层次化验证流程: 结构化检查, 基于断言的验证(ABV), 对关键模块进行模型检验。设计的芯片已流片回来, 经测试芯片的功能正确, 说明我们的设计和验证方法是基本完备的。

参考文献

- [1] Shaker S. Critical clock-domain-crossing bugs[EB/OL]. <http://www.highbeam.com/doc/1G1-177439329.html>, 2008-04-03 *
- [2] Feng Yi, Zhou Zheng, Tong Dong, et al. Clock Domain Crossing

- Fault Model and Coverage Metric for Validation of SoC Design [C]//Design, Automation& Test in Europe Conference& Exhibition. 2007;1385-1390
- [3] Feng Yi, Yi Jiang-fang, Liu Dan, et al. Property Generation Method for Model Checking on Clock Domain Crossing Design [J]. Acta Elecronica Sinica, 2008, 36(5):886-892
- [4] Li Bing, Kwok C K-K. Automatic Formal Verification of Clock Domain Crossing Signals[C]//Design Automation Conference in Asia and South Pacific. ASP-DAC, 2009;654-659
- [5] Atrenta, Inc. SpyGlass ® Clock-Reset Rules Reference [EB/OL]. <http://www.atrenta.com>, 2009-03
- [6] Jones I W, Yang Su-wen, Greenstreet M. Synchronizer Behavior and Analysis[C]//IEEE Symposium on Asynchronous Circuits and Systems. 2009;117-126
- [7] Salomon B, Ran G, Michael P, et al. The Devolution of Synchronizers[C]// IEEE Symposium on Asynchronous Circuits and Systems. 2010;94-103
- [8] McMillan K L. Getting started with SMV[DB/OL]
- [9] Cummings C E. Clock Domain Crossing(CDC) Design & Verification Techniques Using SystemVerilog[R]. Boston : SNUG-2008
- [10] Ly T, Hand N, Kwok C K. Formally Verifying Clock Domain Crossing Jitter Using Assertion-based Verification[C]//Design & Verification Conference & Exhibition. DVcon, 2004;1-5