

DDR3 时序分析与设计

李晋文 胡 军 曹跃胜 史林森 肖立权

(国防科技大学计算机学院 长沙 410007)

摘 要 DDR3 存储器已经成为目前服务器和计算机系统的主流应用,虽然 DDR3 采用双参考电压片上校准引擎、动态 ODT、fly-by 拓扑以及 write-leveling 等技术在一定程度上提高了信号完整性,但其时序的分析与设计实现仍然比较困难。针对某自研处理器及服务器主板设计,简要介绍了 DDR3 源同步信号传输的基本原理,使用时域信号仿真工具,量化分析了 DDR3 系统通道中影响时序的主要因素,并对 DDR3 的写操作时序进行了分析与裕量计算。仿真结果表明,信号占空比失真程度随着信号 ODT 值的改变和同时开关的 I/O 数目增加加剧了 3%~5%,而串扰引入的时序偏斜可达 218ps。

关键词 DDR3 存储器,时序分析,仿真

中图分类号 TN41 **文献标识码** A

Timing Analysis and Design for DDR3 System

LI Jin-wen HU Jun CAO Yue-sheng SHI Lin-sen XIAO Li-quan

(College of Computer Science, National University of Defense Technology, Changsha 410007, China)

Abstract DDR3 memory has become mainstream application in current server and computer system. Though many techniques such as dual reference voltage, dynamic on-die termination (ODT), fly-by topology and write-leveling, have been adopted by DDR3 to improve signal integrity to a certain extent, it is difficult to design and realize high data rate. Combined with the design of a creative processor and correspondent server board, this paper introduced the basis theory of DDR3 source synchronous signal in brief at first, and analyzed the key factors affecting the DDR3 system timing quantative using simulation software in time domain, then calculated the timing margin for DDR3 write operation. Simulation result shows that the duty-cycle of signal become worse 3%~5% with the change of ODT value and the number of I/O simultaneous switching, and the timing skew due to crosstalk can reach 218ps.

Keywords DDR3 memory, Timing analysis, Simulation

1 介绍

当前计算机系统中已经普遍使用了高带宽的 DDR3 存储器。并行数据传输技术向来是提高数据传输率的重要手段,但是进一步发展却遇到了障碍。然而以 DDRX 系列存储器接口为代表的并行总线依然表现出极强的生命力,DDR3 并行接口电路采用源同步接口电路,选通信号 DQS 使用双边沿来采样数据 DQ,由于工艺、设计方法、体系结构等的改进,DDR3 SRAM 存储器目标速率已达到 1600Mbps,大大提高了传输带宽和传输效率。

为了降低 DDR3 的实现难度,DDR3 在 DIMM 条间和内存颗粒的拓扑都采用了 fly-by 的拓扑结构,减少了链路上的 stub;但却引起了内存颗粒之间 DQS 与 clk 信号的时延偏差,为降低实现难度,通过采用“write leveling”技术来调整控制器内部 skew 从而达到控制时延的目的。即使如此,设计实现高频率高带宽的 DDR3 系统,满足时序要求还是相当困难

的,DDR3 接口的时序分析成为 DDR3 系统设计的重中之重。文献[2,3]全面比较了 DDR3 和 DDR2,分析了 DDR3 实现的难点;C. K. Chen 通过对 DDR3 DIMM 条信号完整性仿真,发现内存颗粒采用细线连接的 fly-by 拓扑是 DIMM 条设计的关键^[4];文献[5]应用统计与瞬态的混合仿真方法分析了 GD-DR3 系统 IO 的同步开关噪声(SSO)问题。

本文简要分析了 DDR3 源同步信号传输的基本原理,使用时域信号仿真工具,量化分析了 DDR3 系统通道中影响时序的主要因素,并对 DDR3 的写操作时序进行了分析与裕量计算。本文第 2 节简述 DDR3 的时序规范;第 3 节简要分析 DDR3 源同步信号的原理;第 4 节结合仿真工具,研究分析 DDR3 系统通道中影响时序的主要因素;第 5 节对 DDR3 的写操作时序进行分析与裕量计算;最后对本文工作做总结。

2 DDR3 时序规范

DDR3 规范对信号建立时间和保持时间的定义引入了

到稿日期:2011-07-20 返修日期:2011-09-29 本文受国家自然科学基金(60873212)资助。

李晋文(1975—),男,博士,副研究员,主要研究领域为计算机系统结构、微电子与微处理器设计,E-mail:lijinwen@nudt.edu.cn;胡 军(1958—),女,副研究员,主要研究领域为高速数字设计;曹跃胜(1963—),男,硕士,研究员,主要研究领域为高速数字设计;史林森(1985—),男,硕士,工程师,主要研究领域为高速数字设计;肖立权(1969—),男,博士,研究员,主要研究领域为计算机系统互连。

AC 和 DC 电平值,上升沿时,当输入信号幅值从升高到 $V_{IH}(ac)_{min}$ 至下降到 $V_{IH}(dc)_{min}$ 定义为高电平有效时间。下降沿时,当输入信号幅值下降到低于 $V_{IL}(ac)_{max}$ 至升高到 $V_{IL}(dc)_{max}$ 定义为低电平有效时间。输入信号的建立时间定义为当信号边沿触发前,电平达到有效的的时间,如图 1 中的 t_{IS} ;保持时间定义为当信号边沿触发后,电平保持有效的的时间,如图 1 中的 t_{IH} 。

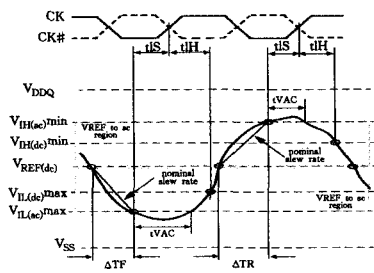


图 1 DDR3 规范中信号建立与保持时间

在规范中,对于 DDR3 SDRAM 数据信号、地址信号、命令信号的建立、保持时间需求也都有明确的定义。以 DDR3 数据信号为例, $t_{DS}=t_{DS}(base)+\Delta t_{DS}$, $t_{DH}=t_{DH}(base)+\Delta t_{DH}$,其中 t_{DS} , t_{DH} 分别为总的建立、保持时间需求, $t_{DS}(base)$, $t_{DH}(base)$ 分别为建立和保持时间的基准值,具体要求见表 1, Δt_{DS} , Δt_{DH} 分别为信号上升、下降边沿 Slew Rate 的补偿值,JEDEC 还给出了 DDR3 数据信号的建立、保持时间的斜率补偿值查表^[1]。

表 1 数据信号建立保持时间的基准值

Data rate	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	Mbps
Setup Time (AC175)	0.075	0.025	TBD	TBD	ps
Hold Time (DC100)	0.15	0.1	0.065	0.045	ps

JEDEC 给出的时序参数是基于一个固定的信号边沿斜率或一个固定的参考信号斜率,如 $1V/ns$,并没有考虑到信号在阈值之间可能存在多个斜率值。而斜率值的变化无疑会对接收端器件的建立、保持时间产生影响,成为接收端固有延时变化的一个参数。

3 DDR3 源同步信号

对于源同步时钟,驱动芯片的数据和时钟信号由内部电路提供,总线时钟由锁相环电路产生,通常是系统时钟的倍数。这个系统要能正常工作,就必须控制数据信号和时钟信号的时序关系,满足一定的建立和保持时间要求。图 2 示出单数据率源同步接口结构,源同步接口技术的优点是时钟脉冲和数据脉冲来源于同一芯片,并且与互连线一起传输,能显著提升总线的最大速度。

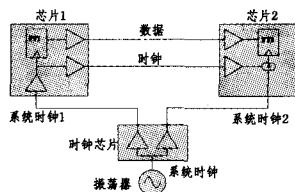


图 2 单数据率源同步接口

在理想状态下,时钟信号和数据信号在芯片内部和互连

介质中经历相同的传输条件,如何使时钟信号在数据信号的中间点采样仍是关键技术,然而理想状态只是假设,实际情况的物理效应恶化了源同步接口的时序裕度。因此,源同步总线的设计最主要取决于数据信号及源同步时钟传输延迟之间的差异,具体考虑的主要因素包括:

- 1) 芯片制造工艺中,制作晶体管的刻蚀和掺杂差异以及每个 I/O 电路片上金属的不同会导致延时差异,表现为 I/O Buffer 时钟 PLL 抖动与占空比失真等;
- 2) 芯片封装以及 PCB 板级电路走线不等长造成的偏斜;
- 3) 互连通道的阻抗不连续,长信号、窄线宽以及过孔导致的信号上升和下降边沿退化,成为了影响时序的重要因素。
- 4) 信号完整性因素,如串扰(经常发生在连接器和紧耦合微带线中)、同步开关噪声等。

每个源的变化是如何影响时钟到数据的偏斜以及对时序预算的相关贡献,对于 DDR3 的时序设计具有重要意义,可以帮助确定设计的可行性,提早地做出选择提高性能或者降低性能,并采取相应措施。

DDR3 控制器输出的 DDR3 信号可以分为 4 大类,源同步信号,源时钟地址、控制、命令信号,时钟信号以及杂散信号。DDR3 的等延迟定义为:(CPU 片内封装延迟+板上印制线延迟)相等。图 3 示出 DDR3 各个信号之间存在的长度匹配的约束关系。同一源同步信号组内所有信号必须布在相同层上,对源同步信号走线的阻抗控制要精确,尽可能保持指定的间距,使差分对与数据信号间距最大,保证源同步信号的质量。

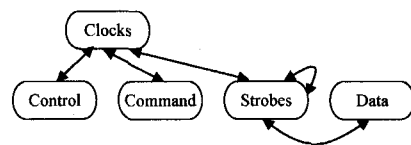


图 3 DDR3 源同步信号之间约束关系

4 影响时序的因素评估

图 4 所示为 DDR3 系统通道中影响时序的主要因素,包括芯片时钟锁相环的抖动, I/O Buffer 时钟树的偏斜,封装、PCB 布线偏斜,同步开关噪声、串扰、码间干扰等信号完整性问题共同导致的 SSO jitter^[6],以及接收端芯片的固有延时,包括接收芯片的建立、保持时间,信号边沿 Slew Rate 变化导致的建立、保持时间需求的增加。下面分别分析各方面因素对系统时序的影响,并予以量化。

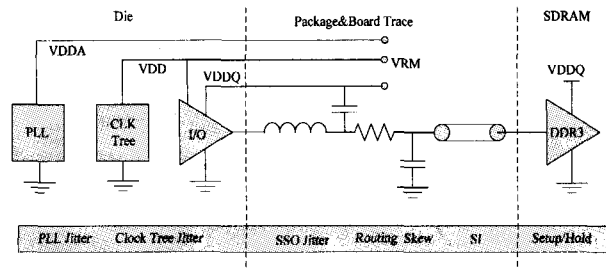


图 4 影响 DDR3 系统时序的因素

4.1 芯片内部时序偏斜

信号在芯片内部产生的时序偏斜主要由芯片时钟锁相环 PLL 的抖动、延迟锁相环路 DLL 的抖动以及时钟树偏斜问题

造成的,在输出波形上表现为信号占空比失真。

仿真条件设置:PVT TT 情况下,给 I/O Buffer 模型加理想传输线模型和实际 PCB 板上走线的 S 参数模型,并分别对 DQ、DQS 信号进行仿真,观察信号波形占空比。封装 RLC 模型采用 1.5ohm/5.9nH/2.3pF,Buffer 驱动强度为 40Ω, Slew Rate 为最慢情况。图 5 和图 6 所示为 DQ、DQS 信号分别在理想传输线模型和实际 S 参数模型下占空比的对比,DQ 信号在上述情况下的负占空比分别为 48%,47.9%,DQS_P 信号在上述情况下的负占空比分别为 47.7%,48%,DQS_N 信号在上述情况下的负占空比分别为 48%,49.2%。

仿真结果表明,DQ 信号和 DQS 信号的占空比失真 I/O Buffer 本身设计问题造成的,与 PCB 走线影响不明显,占空比失真程度为 2%~3%之间。通过仿真发现,随着信号 ODT 值的改变和同时开关的 I/O 数目增加,信号占空比失真程度加剧了 3%~5%。

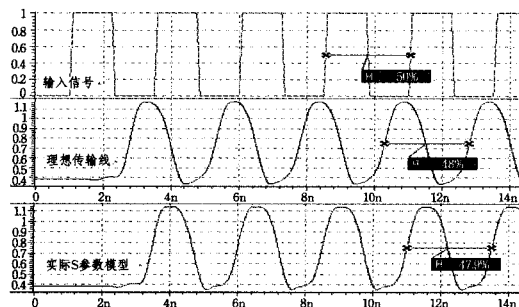


图 5 DQ 信号单个 I/O 翻转时的占空比

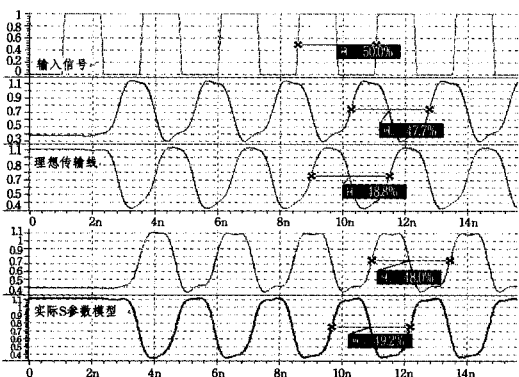


图 6 DQS 信号单个 I/O 翻转时的占空比

4.2 互连产生的时序偏斜

互连线对信号时序的影响主要反映在两个方面:一是信号互连的布线误差,包括封装基板、PCB 板走线和信号过孔导致的时序偏斜;二是由信号完整性因素造成的信号延时和抖动,包括 SSN 噪声、串扰(Crosstalk)、码间干扰(ISI)等^[6]。PCB 板级和芯片封装布线造成的时序偏斜,可以通过等长布线误差允许程度来量化最差情况的偏斜值,而对于串扰等信号完整性问题造成的时序偏斜,需要通过适当的仿真来确定^[7]。

DDR3 是典型的同步并行总线,多路信号 I/O 同时翻转,使得耦合都发生在信号翻转边沿,对信号质量以及噪声容限的影响不是主要方面,最重要的是对信号上升时间和下降时间的影响,从而大大增加了串扰引起的抖动。在设计之初通过串扰前仿真确定布线规则,包括线宽、线间距、长城走线的规则等,以保证串扰影响在可接受范围内。现在对一组

DDR3 数据信号通道进行后仿真,得到由于串扰等信号完整性问题导致的信号抖动的加剧。由于本设计 DDR3 关键信号都是用带状线布线,不需要考虑奇模传输和偶模传输对延时的影响。

对串扰进行了后仿真,仿真的条件为:使用 Ansoft 的 2.5 维参数提取软件 Siwave,提取一个 BANK 的 DDR3 数据线 PCB、封装的多端口 S 参数模型,包括 8 位 DQ、DQS、DQS#。PVT 条件设为 Worst Case,存储控制器驱动强度 40Ω,SDRAM ODT 40Ω,选择最中间的一条 DQ 线为受害线,对受害线加 PRBS 激励,其他信号线加反向的 PRBS 源,使用 Hspice 进行时域仿真,观察受扰线的抖动情况,这样仿真出的是最差情况下串扰对时序的影响。如图 7 所示,最差情况下串扰引入的时序偏斜为 218ps。

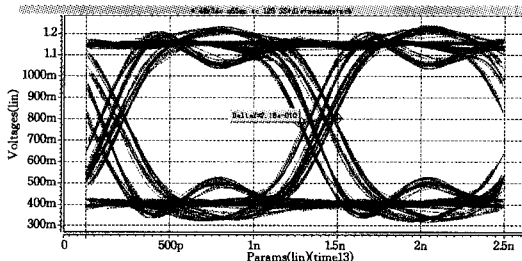


图 7 串扰引起的 DQ 信号抖动加剧

多网络信号间的串扰发生在信号路径及其返回路径上,抑制串扰的方法有多种,包括增加信号走线间距;用长城走线的方法减小耦合长度;用平面作为参考层;尽量使用带状线层布线;信号走线尽量靠近参考层;在封装和接插件处不要使用共同的返回引脚;使用两端或整条线上有地过孔的防护布线;使用适量数目地过孔的排列进行隔离等。然而串扰不能够完全消除,只能采取措施将其减小到设计目标范围内,抑制串扰的方法无疑会增大系统设计花费的代价,需要在信号质量和实现代价之间进行折中设计。最后需要对优化过的串扰对时序的影响进行量化,以便在 Worst Case 下进行系统时序裕量的预算。

4.3 接收端 SDRAM 固有时序

根据 JEDEC 中规定的 DDR3 SDRAM 建立、保持时间的需求,对于 DDR3-800,基本的建立、保持时间分别是 125ps、150ps,而由于斜率补偿对建立、保持时间的影响 Δt_{DS} 和 Δt_{DH} 采用悲观估计的方法,考虑最差情况下的边沿斜率。

5 DDR3 写操作时序裕量预算

DDR3 系统的写操作时,数据信号与选通信号是中心对齐,DQ 与 DQS 要满足建立、保持时间的要求。DDR3 系统写操作的数据窗口如图 8 所示,但由于芯片的时钟抖动、SSO 偏斜、互连引起的布线偏斜、串扰、ISI 的存在,会造成信号间的延时偏差,从而减小了数据窗口的时序裕量。在系统设计过程中,各类影响时序的容差值必须使信号总的时序裕量为正。DDR3 数据信号时序裕量计算公式如下:

$$T_{\text{Timing_margin}} = \frac{1}{4} T_{\text{Clk}} - T_{\text{Die_skew}} - T_{\text{Interconnection_skew}} - T_{\text{Memory_require}}$$

具体的时序预算可通过表 2 来进行,通过在最坏情况下对发送和接收芯片、信号互连以及信号完整性因素的充分考

(下转封三)

in nervous activity[J]. Bulletin of Mathematical Biophysics, 1943,5:115-133

[19] Wen J,Zhao J L,Luo S W. The improvements of BP neural network learning algorithm[C]// Signal Processing Proceedings, 2000 WCCC-ICSP 2000. 5th International Conference. 2000(3): 1647-1649

[20] Hopfield J J. Neural networks and physical systems with emergent collective computational abilities[C]//Proc Natl Acad Sci. USA, 1984;2554-2558

[21] 郭文生,李国和. 人工神经网络在并行计算机集群上的设计研究[J]. 计算机应用与软件, 2010, 27(5): 12-14

[22] 张代远. 基于分布式并行计算的神经网络算法[J]. 系统工程与电子技术, 2010, 32(2): 386-391

[23] 于漫,朱岩. 集中式粗粒度分布并行模型和并行进化神经网络[J]. 系统工程理论与实践, 2003, 23(6): 74-79

[24] Strigl D, Kofler K, Podlipnig. Performance and scalability of GPU-based convolutional neural networks[C]// Proc in 18th Euromicro Conference on Parallel, Distributed, and Network-Based Processing. 2010

[25] Luo Z W, Liu H Z, Wu X C. Artificial Neural Network Compu-

tation on Graphic Process Unit[C]//Proceedings of International Joint Conference on Neural Networks. Montreal, Canada, 2005

[26] Choong A, Beidas R, Zhu J. Parallelizing Simulated Annealing-Based Placement Using GPGPU[C]//Proc of the international conference on Field Programmable Logic and Applications. IEEE, 2010

[27] Czapinski M, Barnes S. Tabu Search with two approaches to parallel flowshop evaluation on CUDA platform [J]. Parallel Distribute Computer, 2011(71): 802-811

[28] Shah R, Narayanan P J, Kothapalli K. GPU-Accelerated Genetic Algorithms [C/OL]. <http://cvit.iiit.ac.in/papers/Rajvi10-GPU.pdf>, 2011-07-20

[29] Zhou Y, Tan Y. Gpu-based parallel particle swarm optimization [C]//Proceedings of the IEEE Congress on Evolutionary Computation, CEC 2009. Trondheim, Norway, 2009; 1493-1500

[30] Lopes N, Ribeiro B. GPU implementation of the multiple back-propagation algorithm[C]//Proceedings of Intelligent Data Engineering and Automated Learning, LNCS. Springer-Verlag, 2009; 449-456

(上接第 295 页)

虑,得到了 DDR3-800 Mbps 写操作时建立、保持时间的时序裕量。最后计算得到的建立、保持时间总的时序裕量为 164ps,这说明即使在工艺条件 SS 情况下以及对影响时序的因素都做保守的估计,DDR3-800Mbps 的时序设计仍然能够留有裕量,因此对时序的预算视为通过。

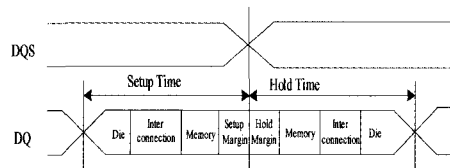


图 8 DDR3 写操作的数据窗口

表 2 Worst Case 下 DDR3-800 写操作建立、保持时序裕量预算

TimingComponent	Description	Uncertainty	Units	Method
DDR3 Controller	ASIC PLL Jitter	20	ps	Estimate
	DQS Duty Cycle	75	ps	Simulation
	ASIC DLL Jitter	20	ps	Estimate
	DQ Duty Cycle	75 * 2	ps	Simulation
	ASIC SSO	150	ps	Simulation
芯片输出驱动器总时序偏斜		415	ps	Calculate
Interconnect Timing	Package Interconnect Routing Skew	20	ps	Estimate
	PCB Interconnect Routing Skew	20	ps	Estimate
	PCB Interconnect SSN/Crosstalk/ISI	218	ps	Simulation
	互连产生的总的时序偏斜	258	ps	Calculate
SDRAM Timing Requirements	SDRAM Setup time	125	ps	SPEC
	Slew rate derating	88	ps	
	SDRAM Hold time	150	ps	SPEC
	Slew rate derating	50	ps	
总的 SDRAM 建立保持时间需求		413	ps	Calculate
Total Uncertainty		1086	ps	Calculate
Bit time at 800Mbps		1250	ps	SPEC
Worst Case Timing Margin (Setup+Hold time Margin)		164	ps	Calculate

存储系统设计,简要分析了 DDR3 源同步信号传输的基本原理,使用时域信号仿真工具量化分析了 DDR3 系统通道中影响时序的主要因素,对 DDR3 的写操作时序进行了分析,并给出了时序裕量计算表。分析表明影响 DDR3 时序的主要因素为芯片 IO 信号的时序偏斜和板级信号串扰。仿真结果表明, DQ 信号和 DQS 信号的占空比失真随着信号 ODT 值的改变和同时开关的 I/O 数目增加将会加剧 3%~5%左右,而串扰引入的时序偏斜最大可达 218ps。只有通过严格的仿真设计,才能实现 DDR3 系统的时序分析与裕量计算。

参考文献

[1] JEDEC DDR3 SDRAM Specification[S]. JESD79-3E. 2010. 07

[2] Brennan C, Tudor C, Schroeter E, et al. Signal Integrity and PCB layout considerations for DDR2-800 Mbps and DDR3 Memories [C]//CDNLIVE Silicon Valley; Cadence. 2007

[3] Raj Mahajan, MemCore Inc. Memory Design Consideration when Migrating to DDR3 interface from DDR2[C]//Proc of Designcon Santa Clara; DesignCon. 2007

[4] Chuang H-H, Wu Shu-jung, Hong Ming-zhang, et al. Power Integrity Chip-Package-PCB Co-Simulation for I/O Interface of DDR3 High-Speed Memory[C]//IEEE Electrical Design of Advanced Packaging and Systems Symposium. 2008

[5] Ren Ji-hong, Oh D, Chang S, et al. Statistical Link Analysis of High-Speed Memory I O Interfaces during Simultaneous Switching Events[C]// IEEE Electrical Design of Advanced Packaging and Systems Symposium. 2009

[6] Xu Tao. IBIS EBD Modeling, Usage and Enhancement-An Example of Memory Channel Multi-board Simulation[C]//Proc of Asian IBIS. Shanghai, IBIS, 2008

[7] Shen Huang-hui, Wang Zhen-song, Zheng Wei-min. PCB Level SI Simulation Based on IBIS Model for High speed FPGA System[C]// The Ninth International Conference on Electronic Measurement & Instruments. 2009

结束语 本文针对某自研处理器及服务器主板的 DDR3