

高层次时序电路可靠度估计方法研究进展

欧阳城添 陈莉莉 王 曦

(江西理工大学信息工程学院 赣州 341000)

摘要 时序电路的可靠性问题日益成为人们关注的焦点。讨论高层次时序电路的可靠性评估方法,重点研究分析了贝叶斯可靠性分析方法、多阶段可靠性分析方法和基于概率转移矩阵的时序电路可靠性分析方法。以 ISCAS 89 基准电路为实验对象,选择几种典型的高层次时序电路可靠性评估方法进行实验和分析。研究结果和实验结果表明,电路的抽象级别越高,评估方法所获得结果的准确性就越低,评估时间开销越小;同一抽象层次上,不同类型的方法相比,仿真模拟方法的准确性高但时间开销大,解析方法省时但准确性较低。

关键词 时序电路,可靠性评估,仿真模拟方法,模型解析方法,软差错

中图分类号 TP302.8 **文献标识码** A

Survey on Reliability Estimation Methods of Sequential Circuit in Height-level

OUYANG Cheng-tian CHEN Li-li WANG Xi

(School of Information Engineering, Jiangxi University of Science and Technology, Ganzhou 341000, China)

Abstract Reliability of sequential circuits is emerging as an important concern in scaled electronic technologies. In this paper, a survey of the research progress of the high-level reliability analysis for sequential circuits was given. Specially, we focused on Bayesian reliability analysis, multiple-pass reliability analysis and reliability estimation of sequential circuit based on probabilistic transfer matrix. And these analysis methods of sequential circuit were selected for experiment on the ISCAS 89 benchmark circuits. Research results and experimental results show that the abstraction level of circuit is higher, the accuracy of the results is lower, and the time overhead will be less. In the same abstraction level, the simulation methods have high accuracy, but also have more runtime, and analytical methods have low time overhead, but less accurate.

Keywords Sequential circuit, Reliability estimation, Simulation method, Model analytical method, Soft error

1 引言

自杰克·基尔比成功发明集成电路以来^[1],集成电路的特征尺寸不断缩小,性能不断提高,成本不断降低。50 多年来,集成电路芯片的发展基本上遵循摩尔定律^[2-3]。从集成电路的发展来说,高性能和高可靠性一直是集成电路发展的两个制高点^[4]:一方面,集成电路朝着更大规模的集成度发展,使芯片性能得到提高;另一方面,可靠性问题日益成为集成电路发展和应用中必须认真考虑的问题。

早期研究计算机可靠性问题的是美籍匈牙利科学家 John von Neumann, 1956 年他提出怎样用不可靠的器件设计可靠的计算机^[5],也提出了三模冗余的思想。早期研究时序电路可靠性问题的有:W. K. Chung 等人^[6-8]提出的敏化通路概念和差错传播方法;I. N. Chen 等人^[9]提出的基于概率布尔代数技术的时序电路评估方法;G. S. Glinski 等人^[10]用马尔可夫模型来分析时序电路可靠性。

深亚微米、纳米工艺在集成电路中的应用,使其更容易受

到软差错的影响^[4]。近年来大量可靠性评估的研究工作主要针对软差错^[11]。软差错主要由两大因素所致:1)宇宙射线引起的软差错。IBM 公司的 Ziegler 等人^[11]发现外太空的宇宙射线产生的中子轰击晶体管 pn 结,并产生足够的电子空穴对,使电流流过 pn 结,产生软差错。2)alpha 粒子引起的软差错。Intel 公司的 Timothy C. May 等人^[12]在观测动态随机存储器的存储单元时发现了由 alpha 粒子引起的软差错, alpha 粒子主要来源于芯片封装材料中的放射性杂质。

近年来,人们越来越关注时序电路的可靠性评估问题^[13-25]。时序电路可靠性评估方法,按电路抽象层次的不同可以分为:电路级、逻辑级和系统级的时序电路可靠性评估方法;按方法属性的不同,可以分为:仿真模拟方法和模型解析方法。本文重点讨论高层次(逻辑级和系统级)时序电路的可靠性评估方法;并对典型的时序电路可靠性评估方法进行实验比较和分析。研究结果和实验结果表明,电路的抽象级别越高,评估方法所获得的结果的准确性就越低,评估时间开销越小;同一抽象层次上,不同类型的方法相比,仿真

本文受国家自然科学基金(61561024, 61462034, 61563019),江西省自然科学基金项目(20151BAB207035)资助。

欧阳城添(1975-),男,博士,副教授,硕士生导师,主要研究方向为计算机系统结构、电路可靠性评估, E-mail: oyct@163.com; 陈莉莉(1992-),女,硕士生,主要研究方向为电路可靠性评估, E-mail: 792790753@qq.com; 王 曦(1974-),女,博士,副教授,硕士生导师,主要研究方向为计算机软件与理论, E-mail: wang_xi_happy@163.com。

模拟方法的准确性高但时间开销大,解析方法省时但准确性较低。

2 逻辑级时序电路可靠性评估方法

2.1 逻辑级的模拟方法

逻辑级的模拟分析方法使用 SPICE 模拟电路,依据双指数电流脉冲模型或者其他电流模型注入故障;在电路级收集瞬时脉冲的产生以及传播中衰减的信息,用以分析电气屏蔽;然后通过建立逻辑级模拟器描述逻辑屏蔽;最后依次考虑电气屏蔽、逻辑屏蔽和锁存窗屏蔽,计算锁存概率。完全基于电路级的故障注入模拟方法非常耗时,被评估电路的规模受到很大限制;而基于逻辑级的模拟分析方法抽象层次较高,且用于提取脉冲信息的电路级模拟并不耗时,所以时间开销得到了减小。

瞬时故障仿真器^[26] (FAult Simulator for Transients, FAST)提供门级瞬时故障模拟环境,它源自于真实的故障模型。FAST 使用时序故障模拟器对 SET 建模,同时用零延迟并行故障模拟器跟踪位错误,从而大幅降低时间开销。根据输出错误数占被锁存的故障的百分比计算锁存率。实验发现,多位锁存错误出现的几率很小,这说明了单位翻转是锁存差错的主要表现形式。软差错率分析工具(Soft Error Rate Analysis, SERA)^[27]结合物理层因素推导了高层抽象模型,运用图论和故障模拟方法分析逻辑屏蔽机制,用 HSPICE 模拟分析电气屏蔽和锁存窗屏蔽的作用。

时序差错传播概率分析方法^[13] (Sequential Error Propagation Probability Analysis, S-EPP)用于评估时序电路中时序单元(触发器、锁存器和存储单元)受粒子撞击时的差错锁存概率。假定轰击只能发生在时序单元中,触发器被轰击后,在触发器的输出端统计差错概率。该方法没有考虑电路内部节点受到轰击的情况,也没有考虑到逻辑屏蔽的影响。

蒙特卡洛(Monte Carlo, MC)方法^[28]是一种基于随机数的计算方法。时序电路的蒙特卡洛可靠性分析方法^[20,29]首先随机产生 $nSamples$ 个输入矢量,并加载到时序电路的原始输入端,然后根据电路差错概率 p 随机地在电路内部节点注入故障;注入故障后,SEU 在电路的敏化通路中传播;最后,在电路的原始输出端统计输出结果出错的个数 $nErrors$,并根据式(1)计算电路的可靠度。

$$R = 1 - nErrors/nSamples \quad (1)$$

采样个数 $nSample$ 越大,可靠性评估结果就越精确。如果电路原始输入端数为 n ,内部节点个数为 m ,那么采样个数 $nSamples \geq 2^n \times m$,则该类方法的时间复杂度为 $O(2^n \times m)$ 。这类可靠性评估方法比较精确,但时间开销大。

2.2 逻辑级的解析方法

逻辑级解析方法通过计算软差错从发生节点传播到电路原始输出的概率来衡量失效率,考虑电路的拓扑结构和传播路径信息以及电路中各个门的类型和连接方式,来分析时序逻辑电路的可靠度。

时序电路的多阶段(Multiple-Pass, MP)可靠性评估方法^[20]是通过电路的迭代方式来评估时序电路的可靠性,是组合电路的单阶段(Single Pass, SP)可靠性评估方法^[29]的扩展。该方法首先对时序电路近似层次进行划分,确定电路反馈的位置;然后把电路转换为组合电路和反馈电路,组合电路

部分用 SP 方法计算每个节点的可靠度,反馈电路部分用式(2)计算反馈信号对时序电路的影响,梯度因子 gr 的取值范围为 $0 \sim 1$;最后用迭代方法计算电路的可靠度。

$$P_{pr}(b_PI_i) = P_{new}(b_PI_i) + (P_{new}(b_node_i) - P_{new}(b_PI_i)) \times gr \quad (2)$$

SP 算法的基本思想是:根据电路的拓扑结构,在一个阶段内计算出每个门的差错分量和传播差错分量的累积效应,最后计算出电路的可靠度。SP 算法的基本步骤:1)计算电路中逻辑门的权重向量 W 。权重向量 W 保存的是逻辑门输入组合的出现概率。由于权重向量 W 是输入信号的联合概率分布,它可以通过随机模式模拟或用符号技术来计算。权重向量与失效概率 ϵ 无关,与电路的结构有关。2)计算加权输入差错矢量 PW 。 PW 包含两个元素, $PW(0)$ 是计算门发生 $0 \rightarrow 1$ 差错的概率,其错误由输入端错误造成。 $PW(0) = \sum(\text{输入组合的差错概率} \times \text{输入组合的权重})$ 。表 1 列出了与门的加权输入差错矢量 PW 的计算过程。3)根据门的失效概率 ϵ ,用式(3)和式(4)计算逻辑门输出端的差错概率 $\Pr(g_{0 \rightarrow 1})$ 和 $\Pr(g_{1 \rightarrow 0})$, $\Pr(g_{0 \rightarrow 1})$ 表示输出为 0 时发生 $0 \rightarrow 1$ 的差错概率。4)最后,计算电路输出端 y 的差错概率,即 $\Pr(y_{0 \rightarrow 1})$ 和 $\Pr(y_{1 \rightarrow 0})$ 。因此,输出端的可靠度 δ_y 为: $\delta_y(\cdot) = \Pr(y=0)\Pr(y_{0 \rightarrow 1}) + \Pr(y=1)\Pr(y_{1 \rightarrow 0})$ 。

$$\Pr(g_{0 \rightarrow 1}) = (1 - \epsilon) \times \frac{PW(0)}{W(0)} + \epsilon \times (1 - \frac{PW(0)}{W(0)}) \quad (3)$$

$$\Pr(g_{1 \rightarrow 0}) = (1 - \epsilon) \times \frac{PW(1)}{W(1)} + \epsilon \times (1 - \frac{PW(1)}{W(1)}) \quad (4)$$

表 1 二输入与门的加权输入差错分量表

输入矢量	权重 W	加权的 $0 \rightarrow 1$ 输入差错分量
00	W_{00}	$\Pr(i_{0 \rightarrow 1}) \Pr(j_{0 \rightarrow 1})W_{00}$
01	W_{01}	$\Pr(i_{0 \rightarrow 1})(1 - \Pr(j_{1 \rightarrow 0}))W_{01}$
10	W_{10}	$(1 - \Pr(i_{1 \rightarrow 0}))\Pr(j_{0 \rightarrow 1})W_{10}$
总计	$W(0)$	$PW(0)$
输入矢量	权重 W	加权的 $1 \rightarrow 0$ 输入差错分量
11	W_{11}	$(\Pr(i_{1 \rightarrow 0}) + \Pr(j_{1 \rightarrow 0})) - \Pr(i_{1 \rightarrow 0}) \Pr(j_{1 \rightarrow 0})W_{11}$
总计	$W(1)$	$PW(1)$

MP 方法的不足之处在于:1)假设反馈信号对时序电路的影响为一个梯度因子(gradient factor, gr),而且梯度因子 gr 的取值均为 0.5;2)对于多输入逻辑门,把它拆分为多个两输入和单输入的逻辑门进行可靠度计算,这样就改变了电路的原始拓扑结构;3)时间复杂度为 $O(4^m)^{[17,30]}$, m 为重汇聚扇出源的数目。

基于贝叶斯网络(Bayesian Networks, BN)的时序电路可靠性分析方法把时序电路建模为动态贝叶斯网络模型^[18-19],用贝叶斯网络分析工具推理计算电路的平均差错概率,再计算电路的可靠度。贝叶斯网络是一种基于概率推理的图形化网络,它由带有概率分布的有向无环图组成。贝叶斯网络中的节点代表电路中的信号,弧段代表节点之间因逻辑功能的不同而形成的概率关系,而弧段是有向的,不构成回路。时序电路存在反馈,因而时序电路不能表示成标准的贝叶斯网络,只能用动态贝叶斯网络来描述时序电路的差错模型。

BN 方法由 3 部分组成(见图 1):1)无差错逻辑(error-free logic),无差错逻辑中的逻辑门是理想的逻辑门,门的差错概率为 $p=0$;2)易出错逻辑(error-prone logic),易出错逻辑中每个门的差错概率为 p ;3)比较逻辑(comparator logic),

用 XOR 实现的比较逻辑用于比较无差错逻辑和易出错逻辑之间的原始输出。

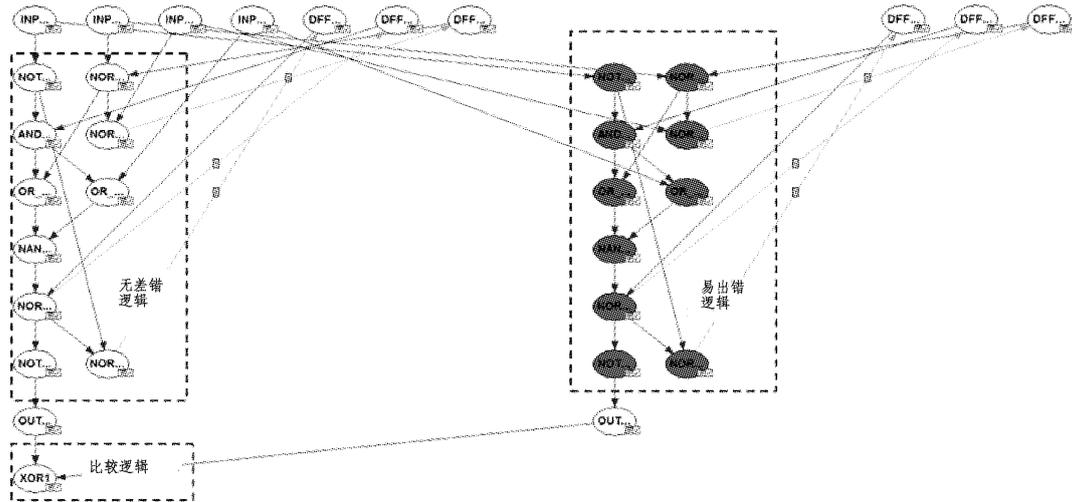


图 1 基准电路 S27 的贝叶斯网络

无差错逻辑块中的节点代表所有时间帧的理想组合逻辑部分。易出错逻辑块中的节点代表所有时间帧的出错组合逻辑部分。每个时间帧设有 XOR 比较器,用来比较无差错逻辑和易出错逻辑之间的原始输出,这些比较节点包含在比较逻辑块中。在每一个时间帧,无差错逻辑和易出错逻辑连接在相同的原始输入端。在第一个时间帧,无差错逻辑和易出错逻辑必须连接到相同的状态节点,所有时间帧的当前状态节点假设是无差错的;同时假设比较节点和原始输入端也是无差错的。

贝叶斯网络中的条件概率表是节点的条件概率的集合。当贝叶斯网络进行推理时,用条件概率表中的先验概率计算目标节点的后验概率。表 2、表 3 为与非门的条件概率表。

表 2 无差错时与非门的条件概率表

$P(X1_{tk})$	$P(X2_{tk})$	$P(O_{tk}=0)$	$P(O_{tk}=1)$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

表 3 有差错时与非门的条件概率表

$P(X1'_{tk})$	$P(X2'_{tk})$	$P(O'_{tk}=0)$	$P(O'_{tk}=1)$
0	0	ϵ	$1-\epsilon$
0	1	ϵ	$1-\epsilon$
1	0	ϵ	$1-\epsilon$
1	1	$1-\epsilon$	ϵ

BN 方法用贝叶斯网络分析工具进行分析推理,计算电路的平均差错概率,最后计算电路的可靠度。贝叶斯网络推理算法分为精确推理算法和近似推理算法。贝叶斯网络中的精确推理算法是一个 N-P 难题。对于特定拓扑结构的网络,其复杂性取决于节点数。因此,精确推理算法一般用于规模较小的时序电路。对于中大规模电路,采用近似算法进行推理可以简化推理和计算过程,但不能提供精确概率值。

BN 可靠性评估方法的不足之处在于:1)假设时序电路中的触发器是理想电路,不会发生软差错。触发器内部存在反馈,因此触发器比逻辑门更易发生软差错,这种假设一定程度上影响了其评估结果的精确性。2)该方法对小规模时序电路的贝叶斯网络模型采用精确算法进行推理,但对于大规模时序电路只能采用近似算法进行贝叶斯网络推理。

传统的概率转移矩阵 (Probabilistic Transfer Matrix, PTM) 方法是一种用于估计软差错对组合电路可靠度影响的有效方法^[31-34],但目前传统 PTM 方法只适用于组合逻辑电路的可靠性评估。触发器电路是时序逻辑电路的重要组成部分,其可靠性评估对时序电路的可靠性研究至关重要。为此,文献[35]提出了一种新 PTM 方法,用于计算触发器电路的可靠度。新 PTM 方法首先从触发器电路的特征方程出发,再用电路 PTM 判定定理推理计算触发器电路的 PTM,最后根据输入信号的概率分布函数计算出电路的可靠度。与传统 PTM 方法相比,新 PTM 方法既能计算组合电路的 PTM,也能计算带有反馈的电路的 PTM,其通用性强。触发器电路也是小规模时序电路,因此,该方法可扩展到时序电路的可靠性评估中。

基于 PTM 的时序电路可靠度计算方法^[24](reliability estimation of Sequential circuit based on PTM, S-PTM)把时序电路划分为输出逻辑模块和次态逻辑模块,用时序电路 PTM 计算模型分别计算出输出逻辑模块和次态逻辑模块的 PTM;然后计算时序电路在第 1 个时间帧的 PTM,用迭代方式计算电路在第 k 个时间帧的 PTM,再考虑输入向量的概率分布,计算时序电路的可靠度。

3 系统级时序电路的可靠性分析方法

3.1 系统级的故障注入法

系统级的故障注入法首先选取合适的故障模型来代表实际可能发生的故障,同时建立目标系统的抽象模型,通过硬件描述语言进行模拟,然后在模拟系统中增加故障注入机制。在系统级分析软差错影响下的可靠性多采用位翻转的故障模型,通过 VHDL 描述系统,注入故障并运行一组典型工作负载,观察系统的运行情况,分析可靠性影响因素。

系统级时序电路失效率 (the Failures In Time, FIT) 的估计方法^[15]按电路功能规格设计的检测器监测系统级的失效。该方法首先根据电路的规格说明和工作负载模拟时序电路,并输出状态和输入矢量集;再分析组合逻辑节点的失效率 (FIT due to combinational Logic strike, CFIT) 和锁存器的失效率 (FIT due to strike in latch, LFIT);最后,执行故障注入并确定系统级失效来自于组合逻辑节点的 CFIT 和锁存器的

LFIT 的概率,并估计时序电路系统级的失效率(System-level FIT, SFIT)。

系统级时序电路失效率估计的流程如图 2 所示。分析工具有 3 种输入:时序电路 Cs;它的规格说明书 S;工作负载 W。有 3 个操作步骤:1)在工作负载 W 下模拟时序电路 Cs,模拟输出状态和输入矢量集,这些矢量集输出给出两个子步骤;2)估计组合电路节点的 CFIT 和锁存器受到粒子轰击后的 LFIT,CFIT 可以翻转一个或多个锁存器,而 LFIT 只能翻转受到粒子轰击的锁存器;3)通过执行故障注入并确定系统级失效来自于组合逻辑节点或锁存器的概率,来估计时序电路系统级的 SFIT。

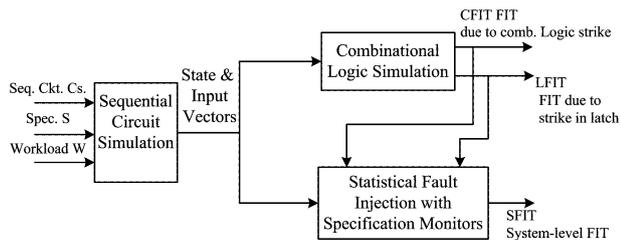


图 2 系统级时序电路失效率估计的流程图

IBM 公司用软差错蒙特卡洛建模^[41](Soft-Error Monte Carlo Modeling, SEMM)的方法分析器件的 SER。分析 SER 时,需要提供芯片详细的版图、工艺和临界电荷等信息。SEMM 方法将芯片划分成 3-D 的长方体网格,每个小长方体代表芯片中的某一个特定区域,具有一定的物理性质;然后采用蒙特卡罗随机模拟的方法对每个小长方体进行研究,利用辐射源能谱等特性随机生成一系列的粒子,并分析这些随机生成的粒子如何在网格中生成电子-空穴对,以及这些电子-空穴对如何传播,是否超过了本区域的临界电荷;最后,验证芯片整体的 SER 是否达到了设计要求。文献^[36]对龙芯 1 号进行软差错敏感性分析,提出了一种同时运行两个处理器 RTL 模型的故障注入与分析方法,从而实现处理器仿真的故障注入。

3.2 系统级的模型解析法

系统级的模型解析法首先建立描述系统级时序行为的模型,并用该模型描述 SEU,分析各种类型的屏蔽作用,最后计算系统级的失效率。SEU 引发系统级失效的概率可以衡量系统级正确性。SEU 可能不会影响系统输出,或可能出现延

迟。因此,通过仿真模拟方法评估系统级的影响比较困难,系统级时序电路的可靠性分析常采用模型解析法。

马尔可夫链模型^[21-22]可以描述时序系统的行为,并计算系统级的失效率。它用基于 BDD 和 ADD 的符号模型描述 SEU 和处理逻辑屏蔽、电气屏蔽以及锁存窗屏蔽。在小规模电路中,可以很好地评估电路在受到粒子撞击后的几个时钟周期中产生差错的概率。该方法可评估最大规模为 540 个门的时序电路^[15]。

结构易感因子(Architectural Vulnerability Factors, AVF)分析法^[37]是在系统级评估软差错对微处理器内核的影响。结构易感因子定义为故障在特殊结构中产生错误的概率。AVF 是评估在系统各种功能模块中位翻转导致不正确执行的概率。AVF 运行于系统结构级,比较适合大规模系统,对于不属于处理器内核的设计,如片上互连网络,AVF 评估的用处不大。

基于电路节点签名的 SER 评估工具 AnSER^[38]既可以评价组合逻辑电路,又可以评价时序逻辑电路,但是 AnSER 没有考虑电气屏蔽对系统 SER 的影响,而电气屏蔽对于电路 SER 的影响是不可忽视的。

估计元件失效率是时序电路可靠性分析的一个重要方面。传统集成电路可靠性预计标准^[39-40](美国军用标准 MIL-HDBK-217, MIL)可以估计组合电路和时序电路的失效率。假设被评估的时序电路是在同样环境、同样工艺下生产的一批产品,而且都处在偶发失效期,即失效率近似为常数,这样,就可参照 MIL-HDBK-217 中的公式^[40]计算集成电路的失效率。计算出时序电路的常数失效率后,依据公式 $R(t) = e^{-\lambda t}$ 计算电路的可靠度。

4 实验与分析

4.1 比较分析实验

为了分析比较高层次可靠性评估方法的优劣,选择几种典型的可靠度分析方法(Monte Carlo 仿真方法、BN 评估方法、MP 评估方法和 S-PTM 方法)进行评估实验。BN 评估方法的评估工具 GeNie 2.0^[41]是文献^[18-19]的作者提供的;Monte Carlo 方法和 MP 方法的实验程序用 C++ 实现。Monte Carlo 方法实验中为每个电路注入 499998~740130 个故障。实验的结果如表 4 和图 3 所示。

表 4 时序电路可靠度计算多种方法相对于 Monte Carlo 方法的误差($p=1E-6$)

电路	可靠度				相对误差/%		
	R_{S-PTM}	R_{BN}	R_{MP}	$R_{Monte Carlo}$	γ_{S-PTM}	γ_{BN}	γ_{MP}
s27	0.9999921	0.9999913	0.9999929	0.9999916	5.29E-05	2.58E-05	1.35E-04
s208.1	0.9999899	0.9999143	0.9999899	0.9999882	1.70E-04	7.39E-03	1.71E-04
s298	0.9997768	0.9978874	0.9997181	0.9999219	1.45E-02	2.03E-01	2.04E-02
s344	0.9997428	0.9995287	0.9997453	0.9999396	1.97E-02	4.11E-02	1.94E-02
s349	0.9997600	0.9993573	0.9997402	0.9999396	1.80E-02	5.82E-02	1.99E-02
s382	0.9997951	0.9984580	0.9997466	0.9999281	1.33E-02	1.47E-01	1.82E-02
s386	0.9999410	0.9985436	0.9999388	0.9999214	1.96E-03	1.38E-01	1.74E-03
s420.1	0.9999819	0.9997000	0.9999819	0.9999694	1.25E-03	2.69E-02	1.25E-03
s444	0.9998277	0.9985865	0.9996963	0.9999311	1.03E-02	1.34E-01	2.35E-02
s526	0.9997809	0.9972030	0.9997089	0.9999198	1.39E-02	2.72E-01	2.11E-02
s713	0.9994597	0.9959077	0.9993370	0.9995420	8.23E-03	3.64E-01	2.05E-02
s832	0.9998164	0.9987756	0.9997536	0.9999432	1.27E-02	1.17E-01	1.90E-02
s838.1	0.9999659	0.9995750	0.9999659	0.9999882	2.23E-03	4.13E-02	2.23E-03
s1423	0.9999261	0.9986003	0.9999215	0.9999335	7.40E-04	1.33E-01	1.20E-03
s1488	0.9998123	0.9959077	0.9998279	0.9997782	3.42E-03	3.87E-01	4.97E-03

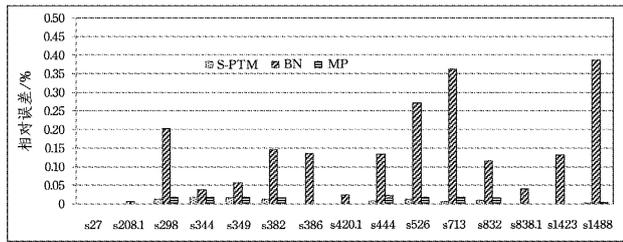


图 3 多种时序电路可靠度计算方法相对于 Monte Carlo 方法的误差($p=1E-6$)

通过对比表 4 和图 3 中各种评估结果的相对误差发现: BN 方法所得结果的相对误差 γ_{BN} 较大, MP 方法所得结果的相对误差 γ_{MP} 次之, S-PTM 方法所得结果的相对误差 γ_{S-PTM} 最小。这是由于: 1) 对于 S27 这样的小规模电路, BN 方法采用精确的 Clustering 算法进行推理, 但规模比 S27 大的电路不能再精确的 Clustering 算法, 而采用近似算法 EPIS Sampling 进行 BN 推理, 从而影响了结果的精确度; 2) SP 方法是一种比较精确的方法, 但推广为 MP 方法时, 用梯度因子估计反馈信号对电路可靠度的影响, 梯度因子在 0~1 之间人为设置^[20], 一定程度上会影响评估结果的精度; 3) 对于规模较大的时序电路, S-PTM 方法采用电路划分算法^[42]对时序电路中的组合逻辑部分进行分割。虽然电路划分可能导致评估结果产生一定不精确性^[42], 但因为 PTM 方法在估计电路可靠度时, 电路的 PTM 考虑了所有输入组合的差错概率, 并且所有输入组合可以同时计算, 不涉及输入向量的采样就可以精确地计算出差错概率; 又因为相对于 BN 方法和 MP 方法, S-PTM 方法更详尽地考虑了触发器对时序电路可靠度的影响, 所以它能够精确地评估时序电路的可靠度。

可靠度估计实验的时间开销如图 4 所示, 图中纵坐标为可靠度计算的时间开销。从实验可以发现, Monte Carlo 方法的时间开销最大, BN 方法的时间开销次之, S-PTM 和 MP 方法的时间开销较小, 差别不大。这是因为: 1) Monte Carlo 方法是基于故障注入的仿真模拟实验, 实验中需要对不同的输入矢量随机注入大量的差错故障, 因此这种评估方法特别耗时; 2) BN 评估方法的 BN 推理也是比较耗时的; 3) S-PTM 方法中的矩阵运算虽然比较耗时, 但由于其针对规模较大的电路进行了划分^[42], 并对时序电路中的组合逻辑部分进行了分割, 因此降低了计算电路可靠度的时间。

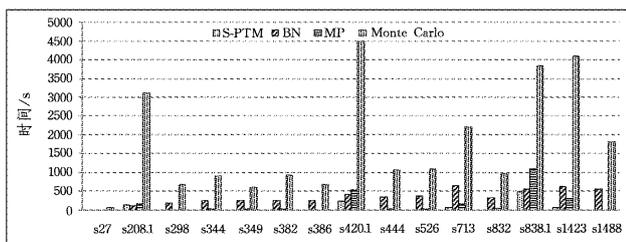


图 4 可靠度计算时间开销的比较($p=1E-6$)

时序电路可靠度计算的内存开销如图 5 所示, 图中纵坐标为可靠度计算的内存开销。实验数据表明, BN 方法的内存开销最大(49.77~211.39MB), 而其他方法的内存开销差别不大, 相差 0.64~2.54MB。这是因为, BN 方法的 BN 推

理内存开销很大; 而 S-PTM 方法对规模较大的电路进行了划分^[42], 且对时序电路中的组合逻辑部分进行了分割, 因而内存开销较小, 大约在 22.70~60.79MB。

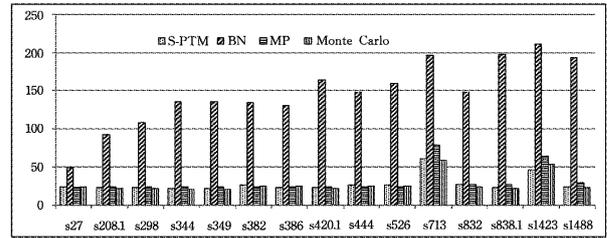


图 5 可靠度计算的内存开销的比较($p=1E-6$)

研究结果和实验结果表明, 电路的抽象级别越高, 评估方法所获得的结果的准确性就越低, 评估时间开销越小; 同一抽象层次上, 不同类型的方法相比, 仿真模拟方法的准确性高, 但时间开销大, 解析方法省时, 但准确性较低。

4.2 进一步的研究方向

综合分析上述研究结果与实验结果可知, 当前时序电路可靠度评估模型还存在以下几个问题: 高层次时序电路的可靠度评估精度有待提高; 被评估的时序电路规模还不是很大。因此, 对于时序电路的可靠度评估, 未来可能的研究方向有:

(1) 深入研究影响高层次时序电路的可靠度评估精度的各种因素, 提出具有更高精度的时序电路可靠度估计模型。

详细分析电路的拓扑结构、电路的逻辑屏蔽、电气屏蔽和锁存窗屏蔽的作用、电路的反馈和逻辑门失效的相关性等因素对时序电路可靠度的影响, 特别是电路的反馈作用和失效相关性是影响时序电路可靠度精度的主要因素。考虑电路的反馈作用时, 把时序电路展开为组合电路, 并进行迭代计算, 因此, 研究合适的时序电路展开技术是研究电路的反馈作用对可靠度影响的关键之一; 失效相关性的研究重点在于如何处理重汇聚扇出带来的失效相关性问题。关于这个问题, 有学者用相关系数进行处理, 该方法虽然可以提高可靠度评估的精度, 但其时间复杂度也为指数级。因此, 这个问题有待进一步研究。

(2) 深入研究影响评估算法运行速度的因素, 提出能够评估大规模时序电路可靠度的解析模型。

解析模型法相对于仿真模型方法时间开销更少, 但是由于时序电路的输入组合随输入端数呈现指数级增长、电路中存在的反馈和失效相关性等因素影响, 时序电路的解析模型法的时间开销也较大。针对这个问题, 要详细分析可靠度评估算法的复杂度, 找到影响评估算法运行速度的关键因素。从当前研究来看, 影响评估算法运行速度的因素主要是: 输入组合随输入端数呈现指数级增长。针对这个问题: 1) 可以研究适合时序电路可靠度评估的电路划分算法; 2) 可以在基于 PTM 的电路可靠度估计方法的基础上对并行算法理论进行研究, 设计 PTM 的并行算法, 并在并行开发环境下进行实验。这部分已经做了一些探讨性研究, 但是还需继续深入。

结束语 本文按电路的抽象层次综述了时序电路可靠性分析的研究进展情况; 对于相同抽象层次, 又按方法属性比较了不同的时序电路可靠性评估方法, 并重点讨论了高层次时

序电路的可靠性评估方法。通过对比分析,指出了当前的时序电路可靠性评估模型还存在的问题,并指明了时序电路的可靠性评估方法未来可能的研究方向。以 ISCAS 89 基准电路为实验对象,选择了几种典型的高层次时序电路可靠性评估方法进行实验和分析。实验结果表明,电路的抽象级别越高,评估方法所获结果的准确性就越低,评估时间开销也越小;同一抽象层次上,不同类型的方法相比,仿真模拟方法的准确性高但时间开销大,解析方法省时但准确性较低。希望本文能够为国内学术界在时序电路可靠性评估方面的研究工作提供有用的参考。

参考文献

- [1] ECKSTEIN A A P, MICHIGAN. Jack Kilby [J]. IEEE Annals of the History of Computing, 2007, 29(1): 90-95.
- [2] MOORE G E. Cramming more components onto integrated circuits [J]. Electronics, 1965, 38(8): 114-117.
- [3] Executive Interview: Bill Bottoms Talks about Revamping the ITRS Roadmap [OL]. <http://www.3dincites.com/2015/03/executive-interview-bill-bottoms-talks-revamping-itrs-roadmap>.
- [4] CONSTANTINESCU C. Trends and challenges in VLSI circuit reliability [J]. IEEE Micro, 2003, 23(4): 14-19.
- [5] NEUMANN J V. Probabilistic logics and the synthesis of reliable organisms from unreliable components [M] // Shannon C, ed. Automata Studies. Princeton: Princeton University Press, 1956: 43-98.
- [6] CHUNG W K. Topics in reliability of sequential circuits [D]. Ottawa: University of Ottawa, 1970.
- [7] MARAIS P D. Reliability Analysis of sequential circuits [D]. Ottawa: University of Ottawa, 1972.
- [8] MARAIS P D, KRIEGER M. Reliability Analysis of Logic Circuits [J]. IEEE Transactions on Reliability, 1975, 24(1): 46-52.
- [9] CHEN I N. Analysis and reliability estimation for probabilistic switching circuits [J]. IEEE Transactions on Reliability, 1971, 20(1): 36-38.
- [10] GLINSKI G S, CHUNG W K. A markov model for the reliability of probabilistic sequential circuits with bernoulli inputs [C] // Proceedings of 6th Annual Allerton Conference on Circuit and System Theory. Urbana, Illinois: Illinois University Press, 1968: 568-577.
- [11] ZIEGLER J F, CURTIS H W, MUHLFELD H P, et al. IBM experiments in soft fails in computer electronics (1978-1994) [J]. IBM Journal of Research and Development, 1996, 40(1): 3-18.
- [12] MAY T C, WOODS M H. Alpha-particle-induced soft errors in dynamic memories [J]. IEEE Transactions on Electron Devices, 1979, 26(1): 2-9.
- [13] ASADI H, TAHOORI M B. Soft error modeling and protection for sequential elements [C] // Proceedings of 20th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems. Monterey, USA: IEEE Computer Society, 2005: 463-471.
- [14] FAZELI M, MIREMADI S G, ASADI H, et al. A fast analytical approach to multi-cycle soft Error rate estimation of sequential circuits [C] // Proceedings of 13th Euromicro Conference on Digital System Design: Architectures, Methods and Tools. Lille, France: IEEE Computer Society, 2010: 797-800.
- [15] HOLCOMB D, WENCHAO L, SESHIA S A. Design as you see FIT: System-level soft error analysis of sequential circuits [C] // Proceedings of Design, Automation & Test in Europe Conference & Exhibition. Nice, France: IEEE Computer Society, 2009: 785-790.
- [16] JAHANIRAD H, MOHAMMADI K, ATTARSHARGHI P. Sequential circuits reliability analysis using conditional probabilities [C] // Proceedings of 19th Iranian Conference on Electrical Engineering (ICEE). Tehran, Iran: IEEE Computer Society, 2011: 1-4.
- [17] JAHANIRAD H, MOHAMMADI K, ATTARSHARGHI P. Sequential circuits reliability analysis using conditional probabilities [C] // 2011 19th Iranian Conference on Proceedings of Electrical Engineering (ICEE). 2011: 1-4.
- [18] LINGASUBRAMANIAN K, BHANJA S. Probabilistic error modeling for sequential logic [C] // Proceedings of 7th IEEE Conference on Nanotechnology. Hong Kong: IEEE Computer Society, 2007: 616-620.
- [19] LINGASUBRAMANIAN K, BHANJA S. An error model to study the behavior of transient errors in sequential circuits [C] // Proceedings of 22nd International Conference on VLSI Design. New Delhi, India: IEEE Computer Society, 2009: 485-490.
- [20] MAHDAVI S J S, MOHAMMADI K. SCRAP: Sequential circuits reliability analysis program [J]. Microelectronics Reliability, 2009, 49(7): 924-933.
- [21] MISKOV-ZIVANOV N, MARCULESCU D. Soft error rate analysis for sequential circuits [C] // Proceedings of Design, Automation & Test in Europe Conference & Exhibition. Nice, France: IEEE Computer Society, 2007: 1-6.
- [22] MISKOV-ZIVANOV N, MARCULESCU D. Modeling and Optimization for Soft-Error Reliability of Sequential Circuits [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(5): 803-816.
- [23] MOHAMMADI K, JAHANIRAD H, ATTARSHARGHI P. Fast Reliability Analysis Method for Sequential Logic Circuits [C] // 2011 21st International Conference on Proceedings of Systems Engineering (ICSEng). 2011: 352-356.
- [24] 欧阳城添, 江建慧. 基于概率转移矩阵的时序电路可靠度计算方法 [J]. 电子学报, 2013, 41(1): 171-177.
- [25] ZHU D, LI T, LI S K. An Approximate Soft Error Reliability Sorting Approach Based on State Analysis of Sequential Circuits [C] // 2010 IEEE 25th International Symposium on Proceedings of Defect and Fault Tolerance in VLSI Systems (DFT). 2010: 209-217.
- [26] CHA H, RUDNICK E M, CHOI G S, et al. A fast and accurate gate-level transient fault simulation environment [C] // Proceedings of 23th International Symposium on Fault-Tolerant Computing. Toulouse, France: IEEE Computer Society, 1993: 310-319.

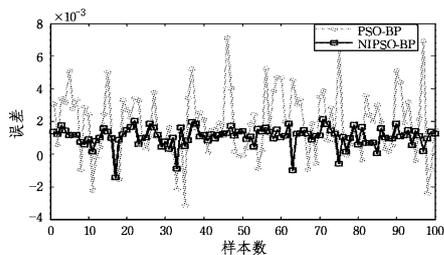


图3 PSO-BP与NIPSO-BP的预测误差对比

由图2和图3可知,新的改进粒子群算法(NIPSO)优化BP神经网络对非线性函数的拟合和预测取得了良好的效果,其精度高于标准PSO算法和改进的粒子群(IPSO)算法,误差也更小,收敛速度有很大改善,达到了我们改进的要求。

结束语 本文对粒子群算法中的权重进行非线性变换,对学习因子进行线性变换,目的在于使得在粒子群位置和速度变化的前期具有较大的权重和学习因子,有较强的全局搜索能力,减小陷入局部极小值的概率;在后期具有较小的权重和学习因子,使得粒子能较快地收敛到最小值。将上述的算法优化BP神经网络之后用于拟合非线性函数,实验表明,新的改进粒子群算法可以更合理有效地提高BP神经网络的预测精度,比标准的PSO算法、IPSO算法的BP神经网络在收敛速度、计算精度、算法稳定性等方面有明显优势,具有更小的训练误差和检测误差。

参考文献

[1] 皮倩瑛,叶洪涛.一种动态调节惯性权重的粒子群算法[J].广西科技大学学报,2016,27(3):27-31.
[2] 李松,刘力军,等.改进粒子群算法优化BP神经网络的短时交

通流预测[J].系统工程理论与实践,2012,32(9):2045-2049.

[3] 王慧,刘希玉.基于最具影响粒子群优化的BP神经网络训练[J].计算机工程与应用,2007,43(18):69-71.
[4] BASHIR Z A, EL-HAWARY M E. Applying Wavelets to Short-Term Load Forecasting Using PSO-Based Neural Networks[J]. IEEE Transaction on power system February, 2009, 24(1): 20-26.
[5] 王德明,王莉,张广明.基于遗传BP神经网络的短期风速预测模型[J].浙江大学报(工学版),2012,46(5):837-841.
[6] 刘冰,郭海霞. MATLAB神经网络超级学习手册[M].北京:人民邮电出版社,2014:159-163.
[7] 许以山,曾碧,尹秀文,等.基于改进粒子群算法的BP神经网络及其应用[J].计算机工程与应用,2009,45(35):233-235.
[8] 李炳宇,萧蕴诗.新的进化计算算法-粒子群优化算法[J].计算机科学,2003,30(6):19-21.
[9] GUDISE V G, VENAYAGAMOORTHY G K. Comparison of Particle Swarm Optimization and backpropagation as training algorithms for neural networks[C]//IEEE Department of Electrical and Computer Engineering University of Missouri-Rolla. USA,2003:110-116.
[10] 赵宏伟,李圣普.基于粒子群算法和RBF神经网络的云计算资源调度方法研究[J].计算机科学,2016,43(3):113-117.
[11] 吕振肃,侯志荣.自适应变异的粒子群优化算法[J].电子学报,2004,32(3):416-420.
[12] CLERC M, KENNEDY J. The Particle Swarm-Explosion, stability, and convergence in a Multidimensional Complex Space[J]. IEEE Transaction on Evolutionary Computation, 2002, 6(1): 58-71.
[13] 沈学利,张红岩,张纪锁.改进粒子群算法对BP神经网络的优化[J].计算机系统应用,2010,19(2):57-61.

(上接第38页)

[27] MING Z, SHANBHAG N R. Soft-Error-Rate-Analysis (SERA) Methodology [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(10): 2140-2155.
[28] FISHMAN G. Monte carlo: concepts, algorithms and applications [M]//Operations Research. New York: Springer-Verlag, 1995.
[29] CHOUDHURY M R, MOHANRAM K. Accurate and scalable reliability analysis of logic circuits [C]//Proceedings of IEEE/ACM Conference on Design, Automation & Test in Europe Conference & Exhibition, 2007 (DATE'07). 2007: 1-6.
[30] FLAUQUER J T, DAVEAU J M, NAVINER L, et al. Fast reliability analysis of combinatorial logic circuits using conditional probabilities [J]. Microelectronics Reliability, 2010, 50(9-11): 1215-1218.
[31] KRISHNASWAMY S, VIAMONTES G F, MARKOV I L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices [C]//Proceedings of IEEE/ACM Conference on Design, Automation and Test in Europe. Orlando, USA: IEEE Computer Society, 2005: 282-287.
[32] 王真,江建慧,员春欣.高性能处理器的差错校正技术[J].计算机研究与发展,2008,45(2):358-366.
[33] 肖杰,江建慧,等.一种基于迭代PTM模型的电路可靠性评估方法[J].计算机学报,2014(7):1508-1520.

[34] 肖杰,江建慧,等.面向晶体管级广义门电路的PTM可靠性计算[J].中国科学:信息科学,2014(10):1226-1238.
[35] 欧阳城添,江建慧,等.触发器可靠性计算的F-PTM方法[J].电子学报,2016(9):2219-2226.
[36] 黄海林,唐志敏,许彤.龙芯1号处理器的故障注入方法与软差错敏感性分析[J].计算机研究与发展,2007,43(10):1820-1827.
[37] MUKHERJEE S S, WEAVER C, EMER J, et al. A systematic methodology to compute the architectural vulnerability factors for a high-performance microprocessor [C]// Proceedings of 36th Annual IEEE/ACM International Symposium on Microarchitecture. San Diego, CA, USA: IEEE Computer Society, 2003: 29-40.
[38] KRISHNASWAMY S, PLAZA S M, MARKOV I L, et al. Signature-Based SER Analysis and Design of Logic Circuits [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(1): 74-86.
[39] 胡谋.计算机容错技术[M].北京:中国铁道出版社,1995.
[40] 徐拾义.可信计算机系统设计和分析[M].北京:清华大学出版社,2006.
[41] GeNIe & SMILE[OL]. http://genie.sis.pitt.edu. 2010.
[42] 王真,江建慧.基于概率转移矩阵的串行电路可靠性计算方法[J].电子学报,2009,37(2):241-247.