

航天器图像压缩小波变换的 FPGA 设计

唐 珏^{1,2} 曹剑中¹ 刘 波³ 周祚峰¹

(中国科学院西安光学精密机械研究所 西安 710119)¹ (中国科学院研究生院 北京 100039)²

(中国科学院空间科学与应用研究中心 北京 100190)³

摘 要 为了实现基于 FPGA 的 CCSDS 图像压缩算法,在提升小波变换结构的基础上,提出了一种改进的基于行的并行 3 级 2-D 整数 9/7 小波变换实现结构。结构充分利用流水线设计技术,对于每一级 2-D DWT,结构包含 2 个行处理器同时处理 2 行数据,借助 10 个行缓存存储变换的中间数据,实现了行、列变换的并行运算。同时对于 3 级小波变换,也采用了流水线结构,减少了存储器的使用量 and 对其访问造成的时间延迟,提高了变换速度。本结构完成分辨率为 $N \times N$ 灰度图像的 3 级小波分解所用的时钟周期约为 $O(N^2/2)$ 。采用 Altera 的 Stratix II FPGA 实验,结果表明,本整数小波变换结构具有较高的吞吐率和变换速度,可以工作在 86.5MHz 的频率下,实现 1024×1024 灰度图像 100fps 的图像实时变换。

关键词 小波变换,图像压缩,CCSDS,FPGA

中图分类号 TP391.41, TN911.73 **文献标识码** A

FPGA Design of Wavelet Transform in Spatial Aircraft Image Compression

TANG Yao^{1,2} CAO Jian-zhong¹ LIU Bo³ ZHOU Zuo-feng¹

(Xi'an Institute of Optics and Precision Mechanics of CAS, Xi'an 710119, China)¹

(Graduate University of the Chinese Academy of Sciences, Beijing 100039, China)²

(Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing 100190, China)³

Abstract A novel architecture based on lifting wavelet transform was proposed to implementing CCSDS image compression algorithm on FPGA. The line-based parallel architecture which consists of two row processors performs 3 level 2-D 9/7 integer to integer forward discrete wavelet transform and can process the 2 row image data simultaneously. The row and column data are processed in parallel way by storing the middle data in the 10 row buffer. The whole 3 level wavelet transform architecture is optimized in the pipeline design way and achieve lower utilization and less storage time. The architecture which has been demonstrated on Altera Stratix II FPGA performs a decomposition in approximately $N^2/2$ clock cycles for an $N \times N$ gray image. According to the experimental results, the new architecture can implement the wavelet transform for 1024×1024 gray image at 100 frame per-second and working at 86.5MHz.

Keywords 2-D 3level discrete wavelet transform(DWT),FPGA,CCSDS,Image processing,Parallel array

随着航天器相机载荷图像分辨率的日益提高,图像数据量的与日剧增,对航天器图像数据的传输、处理和应用提出了严峻的挑战。2005 年 11 月,空间数据系统咨询委员会(CCS-DS)推出了一种基于小波变换的图像压缩标准^[1]。该算法从性能和复杂性之间均衡,具有优良的图像压缩效率和针对空间数据的高可靠策略。算法实现了近 JPEG2000 标准的速率失真性能,同时具有较低的复杂度,有利于快速和低功耗硬件的实现,在航天器图像压缩方面具有广阔的应用前景。

CCSDS 图像压缩算法的基本系统结构如图 1 所示,包括离散小波变换(Discrete Wavelet Transform, DWT)和位平面编码器(Bit Plane Encoder, BPE)两个基本结构^[2]。其中小波变换实现解相关,位平面编码则用来对变换后的数据进行熵编码。该算法最大支持 16 比特的图像数据,既可实现无损压

缩,又可实现有损压缩。

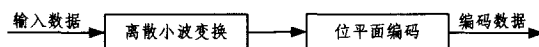


图 1 编码器基本原理图

算法建议采用三级 9/7 整数或浮点小波变换对图像进行处理。其中浮点 DWT 与 JPEG2000 中的浮点 DWT 相同。整数 DWT 为 9/7 整数 DWT^[3]。有损压缩方面,在率失真性能上优于 5/3 整数小波变换。对于无损压缩来说,其性能也稍好,且利于硬件实现。为了实现基于 FPGA 的高速图像压缩,采用了整数 9/7DWT。经过 DWT 变换后的数据进入位平面编码器,实现图像压缩的嵌入式编码。实验表明,采用本文中基于 FPGA 的小波变换结构进行 CCSDS 图像压缩,取得了较好的实时性和图像质量。

到稿日期:2009-10-28 返修日期:2010-01-19 本文受中科院“西部博士资助基金”项目(0929361213)资助。

唐 珏(1977—),男,助理研究员,主要研究方向为图像处理等,E-mail: tangyao77@163.com;曹剑中(1969—),男,研究员,主要研究方向为高速电视测量与航天监视测量等;刘 波(1957—),男,研究员,主要研究方向为光电探测技术、计算机控制和应用、图像处理与融合等;周祚峰(1982—),男,助理研究员,主要研究方向为图像处理等。

1 算法描述

1.1 提升小波变换

相比于传统的卷积原理,提升小波变换在内存利用率和读取次数上都表现出了更好的优势^[4]。提升小波的原理是将多相位小波滤波矩阵分解为两个连续的上下三角矩阵和一个对角矩阵。

$$\tilde{P}_1(z) = \begin{bmatrix} K & 0 \\ 0 & \frac{1}{K} \end{bmatrix} \prod_{i=1}^m \begin{bmatrix} 1 & \tilde{s}_i(z) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \tilde{t}_i(z) & 1 \end{bmatrix} \quad (1)$$

$$\tilde{P}_1(z) = \begin{bmatrix} K & 0 \\ 0 & \frac{1}{K} \end{bmatrix} \prod_{i=1}^m \begin{bmatrix} 1 & 0 \\ \tilde{t}_i(z) & 1 \end{bmatrix} \begin{bmatrix} 1 & \tilde{s}_i(z) \\ 0 & 1 \end{bmatrix} \quad (2)$$

其正反变换具有对称的结构,如图2所示。

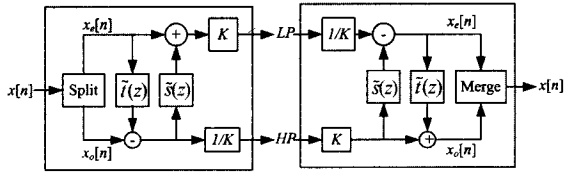


图2 正/反提升小波变换原理图

1.2 9/7 整数小波变换

在提升格式小波变换的步骤中,加入取整操作,使得原始数据能够精确重构,发展出了一种整数到整数的9/7小波变换。式(3)、式(4)定义了1-D整数小波变换,对应一行或一列小波变换。 D_j, C_j 分别为高通和低通两个分量,输入为 x_i ,式(3)中先计算出 D_j ,然后由式(4)计算 C_j 。式中, $\lfloor \cdot \rfloor$ 表示取整运算。针对边界滤波,变换中采用了对称延拓的方式,分别对应式中 $j=0, j=N-2$ 和 $j=N-1$ 的情况。

$$D_0 = x_1 - \left\lfloor \frac{9}{16}(x_0 + x_2) - \frac{1}{16}(x_2 + x_4) + \frac{1}{2} \right\rfloor$$

$$D_j = x_{2j+1} - \left\lfloor \frac{9}{16}(x_{2j} + x_{2j+2}) - \frac{1}{16}(x_{2j-2} + x_{2j+4}) + \frac{1}{2} \right\rfloor$$

for $j=1, \dots, N-3$

$$D_{N-2} = x_{2N-3} - \left\lfloor \frac{9}{16}(x_{2N-4} + x_{2N-2}) - \frac{1}{16}(x_{2N-6} + x_{2N-2}) + \frac{1}{2} \right\rfloor$$

$$D_{N-1} = x_{2N-1} - \left\lfloor \frac{9}{8}x_{2N-2} - \frac{1}{8}x_{2N-4} + \frac{1}{2} \right\rfloor \quad (3)$$

$$C_0 = x_0 - \left\lfloor -\frac{D_0}{2} + \frac{1}{2} \right\rfloor \quad (4)$$

$$C_j = x_{2j} - \left\lfloor -\frac{D_{j-1} + D_j}{4} + \frac{1}{2} \right\rfloor \quad j=1, \dots, N-1$$

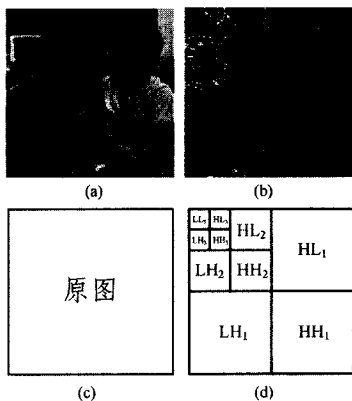


图3 图像的3级2-D小波变换

对一帧图像先进行行变换,再对变换结果做一列列变换,就能够实现二维DWT,其中行、列变换采用相同的变换式(3)、式(4)。对于三级二维离散小波变换,每次分解产生一个低频子带LL和水平子带LH、垂直子带HL、对角子带HH3个高频子带。下一级小波变换是在前级产生的低频子带LL的基础上进行的,如此重复3次,可以得到如图3(b)和(d)所示的10个子带。

2 实现的体系结构

2.1 二维9/7小波变换的结构

对于2-D DWT,传统的变换方法是直接变换,先变换图像的行或列,将中间结果存储,然后再进行列或行的变换,这需要至少整帧图像大小的缓存来存储中间结果。基于行的变换方法^[5]只需缓存几行的数据,相对于传统的提升小波变换需要缓存整帧图像来说,能够很显著地提高运算速度和减少内存的使用量。文献[6]提出了一种通过同时处理两行数据而在一个时钟周期内处理两个像素数据的方法,有效地利用了并行原理,提高了计算速度。这种结构必须具备两行数据,方可开始处理。

本文采用了一种结合BPE编码的、改进的、基于行的3级小波变换。在单级二维小波变换中,用容量为 $10 \times N$ 的行缓存(Line Buffer)来存储单级小波变换中行变换的结果。变换时一个时钟输入两行数据进行并行处理,存储满10行数据以后,即开始读取这些行变换中间结果进行列变换。在存储的同时进行列变换,减少了缓存的使用,同时实现了行变换与列变换并行计算,提高了变换速度。

考虑到结构在不同FPGA平台的兼容性,且鉴于小波滤波器的系数是固定的,本设计采用将乘法操作优化为移位寄存器和加法器操作,只需要简单的延迟、加法和移位等操作,就进一步降低了对硬件的要求,提高了计算速度。

该结构完成一级小波分解所用的时钟周期数是 $O(N^2/2)$,包含边界对称扩展,且控制逻辑比文献[7]提出的结构简单。

2.2 小波变换的三级分解

CCSDS图像压缩算法建议采用三级小波变换对图像进行处理,由于分解级数固定,在整个三级分解的结构设计中,为了能够不间断地快速进行变换,设计采用全流水线结构,增加了处理速度和硬件利用率。整个三级小波变换共需要 $35 \times N/2$ 的行缓存。

三级小波分解的结构如图4所示。每级分解后的LL, LH和HH分量直接送入BPE编码器,进行预处理。而LL分量送入下一级小波变换,进行同样的基于行的分解。如此经过三级流水线的小波分解,得到所有分量。同时较高频的分量已在分解的同时送入BPE编码器进行预处理,节约了存取分解系数的时间,减少了输出的延时。

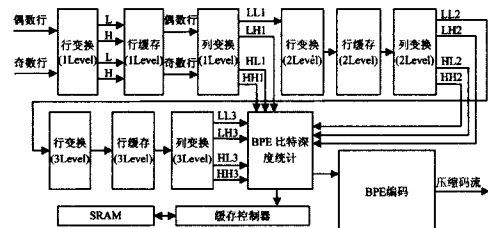


图4 三级2-D小波变换滤波器的结构

2.3 结合BPE进行编码

在进行小波变换的过程中,即可从 LH,HL,HH 子带中读取码块,进入 BPE 编码的预处理阶段,统计每个片中的子系数和孙系数^[2]交流系数的比特深度。待 LL 子带变换的同时,其它子带的数直接以流水线的方式进入 BPE 编码的比特深度统计模块。这样,当最后完成小波变换时,可以减少中间数据的等待时间。在得到 LL3 子带后直接进入 BPE 编码模块,因为减少了一次缓存 LL3 子带数据的操作,降低了读取外部存储器的时间,加快了变换速度。

3 结果分析

本文结构完成三级小波分解所用的时钟周期数是 $O(N^2/2)$ 。我们在 Stratix II FPGA EP2S30 实验板上实现了文中提出的硬件结构,如图 5 所示。输入图像通过 USB 接口传输到实验板,经过预处理后送入 FPGA 进行变换。三级 2-D 小波变换的结果再送回计算机,与 Matlab 变换的结果进行比较。实验验证了设计的正确性。

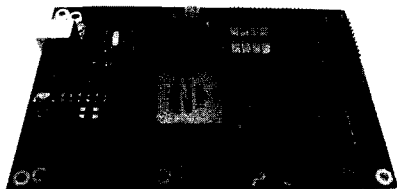


图 5 Stratix II FPGA 实验板

硬件结构全部采用 VHDL 语言进行描述,可以较方便地在不同 FPGA 平台上进行移植。实现 1024×1024 灰度图像小波变换的 CCSDS 压缩功能,经过 synplify pro 综合,结果如表 1 所列。

表 1 FPGA 综合结果

器件	Stratix II EP2S30F67214
Logic Element	9486(28%)
Memory	907520bit(66%)
Maximum Frequency	86.5MHz

(上接第 238 页)

因素的权值为 $\{A_1, A_2\} = \{0.5, 0.5\}$, 由式(15)得社区学习综合水平评价(100 分制)为:

$$S = 0.5 \times S_1' + 0.5 \times S_2' = 90.096532$$

为了测试此模型的有效性,我们设计了程序来实现此算法,并收集了 E-learning 社区学生的真实记录,结果和真实情况非常吻合。限于篇幅,这里不再赘述。

结束语 基于虚拟学习社区和 E-learning 的特点,针对目前对学生评价大多仅限于对在线测验成绩进行评价的不足,充分利用综合评判带来的信息,结合社区交互学习、协作学习和自主学习的特点,综合社区学习者知识水平和能力水平来评估学生能力,建立了社区学习者能力模糊综合评价模型。各评价模块的模糊评价结果是与评语集相对应的隶属度向量。为了降低评价结果的模糊度,提高评价准确度,提出并建立了隶属度向量等级量化精确模型,对评价结果做进一步量化,达到了进一步准确区分学生能力的目的。用等级量化精确模型改进了通常使用的量化初等模型,并通过两个模型的比较分析体现了其准确性。

结束语 本文提出了 CCSDS 图像压缩标准中的 9/7 整数小波变换的一种 FPGA 结构设计,采用了改进的基于行变换的方法,实现了三级 2-D 变换的实时并行运算。设计中结合 FPGA 结构的特点,充分利用了流水线结构和并行执行的思想,减少了运算量和存储器的使用,降低了资源使用量,提高了运算速度。FPGA 实验结果证明,整数小波变换结构具有较高的吞吐率和变换速度,可以工作在 86.5MHz 的频率下,能够实现 1024×1024 灰度图像 100fps 的图像实时压缩。

参 考 文 献

- [1] Image Data Compression. Recommendation for Space Data System Standards [R]. CCSDS 122. 0-B-1. Blue Book, Issue 1. Washington, D. C. :CCSDS, November 2005
- [2] Image Data Compression. Report Concerning Space Data System Standards [R]. CCSDS 120. 1-G-1. Green Book, Issue 1. Washington, D. C. :CCSDS, June 2007
- [3] Adams M D, Kossentni F. Reversible Integer-to-Integer Wavelet Transforms for Image Compression; Performance Evaluation and Analysis [J]. IEEE Trans. on Image Processing, 2000, 9(6): 1010-1024
- [4] Daubechies I, Sweldens W. Factoring wavelet transforms into lifting steps [J]. Fourier Anal. Appl, 1998, 4(3): 245-267
- [5] Chrysafis C, Ortega A. Line Based, Reduced Memory, Wavelet Image Compression [J]. IEEE Trans. on Image Processing, 2000; 378-389
- [6] Dillen G, Georis B, Legat J D, et al. Combined linebased architecture for the 5-3 and 9-7 wavelet transform of JPEG2000 [J]. IEEE Trans. Circuits Syst. Video Technol., 2003, 13(9): 944-950
- [7] Souani C, Abid M. VLSI design of 1-D DWT architecture with parallel filters [J]. INTEGRATION, the VLSI Journal, 2000 (29): 181-207
- [8] Lan X, Zheng N, Liu Y. Low-power and high-speed VLSI architecture for lifting-based forward and inverse wavelet transform [J]. IEEE Trans. Consum. Electron., 2005, 51(2): 379-385

参 考 文 献

- [1] 张阳, 王东, 杨贯中. 基于模糊 AHP 理论的网络学习评价模型研究 [J]. 湖南师范大学: 自然科学学报, 2007, 30(2): 71-75
- [2] 程向荣, 周竹荣, 邓小清. 计算机支持的协作学习的伙伴模型 [J]. 计算机应用, 2007, 27(7): 4671-6671
- [3] 程乾生. 属性识别理论模型与应用 [J]. 北京大学学报, 1997, 33(1): 12-20
- [4] 陈守煜. 工程模糊集理论与应用 [M]. 北京: 国防工业出版社, 1998: 6-39
- [5] 舒军龙, 潘仲麟. 属性识别理论模型二级评判法在城市总体环境质量评价中的应用 [J]. 环境工程, 1999, 17(1): 65-67, 54
- [6] 陈守煜. 系统模糊决策理论与应用 [M]. 大连: 大连理工大学出版社, 1994: 8-221
- [7] Katz S, Lesgold A, Eggan G, et al. Modeling the student in Sherlock II [J]. Journal of Artificial Intelligence in Education, 1993, 3(4): 495-518
- [8] Gured D, Desjard I, Schlager M. Representing a students learning states and transitions [C]// The 1995 American Association of Artificial Intelligence Spring Symposium on Representing Mental States and Mechanisms. Stanford, CA: [s. n], 1995
- [9] 王万良. 人工智能及其应用 [M]. 北京: 高等教育出版社, 2005