

# 一种硬件表决系统模型设计<sup>\*</sup>

赵 鹏<sup>1</sup> 吴开贵<sup>2</sup> 王 勇<sup>1</sup>

(重庆大学经济与工商管理学院 重庆400044)<sup>1</sup> (重庆大学计算机学院 重庆400044)<sup>2</sup>

**摘 要** 无论在工业控制领域的多模集群控制系统,还是在群体决策支持系统中,表决器始终作为最核心的部件,是整个系统工作效率以及可靠性的保障。一般情况下,表决器可以采用纯软件方式实现。但是在相对恶劣的工控现场,特别是在集群控制或远程决策等网络环境下,很容易受到电磁干扰,甚至计算机病毒或黑客程序的攻击和破坏,系统在一定程度上存在安全隐患。另外,在一些对响应速度有较高要求的应用场合,如电网的瞬态调度控制系统、电力系统极短期负荷预测及调配决策系统等,软件表决方式就难以满足系统的速度要求。而主要基于硬件逻辑方式实现的硬件表决器则相对具有速度和可靠性方面的一些优势。

**关键词** 集群控制系统,群体决策支持系统,表决器,偏差,逻辑模型

## The Model Design of Hardware Voter

ZHAO Peng<sup>1</sup> WU Kai-Gui<sup>2</sup> WANG Yong<sup>3</sup>

(College of Business Administration, Chongqing University, Chongqing 400030)<sup>1</sup>

(College of Computer Science, Chongqing University, Chongqing 400030)<sup>2</sup>

**Abstract** The voter, as the key component in either multi-model group system in the field of industry control or in the group decision support system, is the guarantee of efficiency of whole work and reliability. In the common situation, the voter can be realized by the pure-software. However, in the comparative rigid industry-control field, especially in the group control or decision in distance under Internet environment, the voter is easy to be interfered by the electromagnetism, even computer virus or hacker program and system has some degree of patient danger. On the other hand, to some situations of high requirement of responsible time, such as instant control system in the electronic net, prediction of short time charge in electronic system and adjustable decision system, software voter model is hard to meet with the requirement of system velocity. Hardware voter, however, based on the hardware logic model, has much more advantage in the velocity and reliability than software one.

**Keywords** Group control system, Group decision support system, Voter, Deviation, Logic model

## 1 引言

随着计算机技术,尤其是单片机在工业控制领域的广泛应用,以及控制网络技术的发展,控制局域网络(CAN)也深入应用到各行各业之中。在现行的诸多高可靠性控制系统中,单机控制方式已越来越难以满足设备控制的复杂要求,而采用控制网络技术,将多个控制端有机结合成一个整体的多模控制技术,则可以保证整个系统安全可靠地运行。而作为多模集群控制系统的表决器,其工作效率和可靠性将是整个控制系统安全与高效的保障<sup>[1]</sup>。

此外,随着IT技术和现代管理理论的发展,管理信息系统(MIS)在各行各业也得到了大量的推广和应用,其中决策支持系统(DSS)与计算机网络技术紧密结合的(GDSS)更是备受推崇。然而,在GDSS中,无论参与共同决策的各决策终端如何优秀,若没有一个高效、可靠的GDSS协调系统,就很难保障最终决策结果的正确性<sup>[2]</sup>。群策表决器(GDSS Voter)的作用是按照事先确定的表决规则,对各决策方的决策信息进行群体表决,从而形成群体决策支持系统最终的输出结果<sup>[6]</sup>。

一般情况下,表决器可以采用纯软件方式实现。但是在相对恶劣的工控现场,特别是在集群控制或远程决策等网络环境下,很容易受到电磁干扰,甚至计算机病毒或黑客程序的攻击和破坏,系统在一定程度上存在安全隐患。另外,在一些对响应速度有较高要求的应用场合,如电网的瞬态调度控制系

统、电力系统极短期负荷预测及调配决策系统等,软件表决方式就难以满足系统的速度要求。而主要基于硬件逻辑方式实现的硬件表决器则相对具有速度和可靠性方面的一些优势,值得进行研究<sup>[3]</sup>。

## 2 表决模型设计

由于表决器是系统的核心部件,故其表决效率和可靠性都是第一重要的,必须采用较特殊的方法来进行设计,如引入避错和容错的观念,同时还应该尽量选用高可靠性器件加以实现,以确保整个系统最终输出的高可靠性<sup>[4]</sup>。除此之外,从系统输出安全性的角度出发(不正确的信息输出有导致灾难性后果的危险),设计中还应该考虑到对输出进行安全性控制。表决器系统除了具备高可靠的通讯能力,还应具有被测试能力,能够在正式表决输出以前完成整个系统的自检,以便及时发现已经出现的系统故障,立即进行故障定位指示并发出警告信息,同时封锁输出,确保系统安全可靠。

### 2.1 表决模型逻辑结构设计

在有三个权值均等的输出方参与的表决系统,即三模均权表决系统中,表决逻辑在实现方法上可采用两两比较限制输出的方法。

其表决函数较为简单:

$$D_{Vi} = D_{Ai} \cdot D_{Bi} + D_{Bi} \cdot D_{Ci} + D_{Ai} \cdot D_{Ci}$$

其中  $i=0, 1, 2, \dots, n$ 。

另一种方法是将三个待表决的输入数据进行统一表决。

<sup>\*</sup> 本文受重庆大学基础应用研究资金资助。赵 鹏 博士生,主要从事计算机应用、管理信息系统理论与应用研究。

可得表决函数:

$$D_{V_i} = \overline{D_A} \cdot D_B \cdot D_C + D_A \cdot \overline{D_B} \cdot D_C + D_A \cdot D_B \cdot \overline{D_C} = D_A \cdot D_B + D_B \cdot D_C + D_A \cdot D_C$$

由此可见,两种不同的表决方式的表决函数确实相同。但需要注意的是,由于后者的表决逻辑在结构上更为统一,显然也更利于采用 GAL 等逻辑芯片加以电路实现<sup>[5]</sup>。

以上仅对表决数据其中一位进行了分析,只需要将三模各输出数据的每一位均等同处理,即可实现三模的信息表决输出。同理,只要在三模表决的基础上加以扩展,此方法当然也可用于更多模的表决系统。

### 2.2 表决控制逻辑设计

表决器要实现正确的表决输出功能,必须具备相应的控制逻辑。可以采用异步输入,同步表决输出模式。除实现基本的表决输出功能以外,还能够进行仿多模方式的表决,以进一步提高整个表决系统的工作效率。

表决器中每一模数据的输入均配置一个有效数据计数器 DCT(Data Counter),其初始值为“0”,每“打入”一个有效数据,DCT 加1。只要 DCT 达到规定值,就可进行表决输出。此外,每完成一次表决输出,立即给出对各模的偏差指示和任务同步信号(表决级同步),同时自动将 DCT 复位,以便准备进行下一个数据的表决。

### 2.3 表决条件的逻辑分析

要得到正确的表决输出,首先应该对系统中的各模输出数据的所有可能组态进行逻辑分析,为简单起见,以下仍以三模表决系统为例。可以用  $l, m, n$  分别表示  $A, B, C$  三模输出数据的倍数,即用  $lA+mB+nC$  表示系统的  $A$  模有  $l$  个相同输出、 $B$  模有  $m$  个相同输出、 $C$  模有  $n$  个相同输出需要进行表决输出。若系统具备仿多模表决方式(以软件方式实现单模仿多模或多模仿多模的表决系统),则三模表决系统的  $l, m, n$  分别可能取值 0, 1, 2, 3。(本模型中假设各模有效数据输出计数为 2bit,即采用两位的数据输出计数器)

这样,因为各模输出可能有“无输出数据、一模拟输出数据、两模相同输出数据和三模相同输出数据”等四种表决情况(与之相应的有效数据输出计数分别为 00、01、10 和 11 等 4 个状态)。于是,三模表决系统的输出表决组态总数为:  $4^3=64$  个。

首先根据前述表决原则要除去“空、 $C, 2C, B, 2B, A, 2A, 2A+2B, 2B+2C, 2A+2C$ ”等 10 个不能进行表决的组态。进一步分析后可知“ $2A+2B+2C, 2A+2B+3C, 2A+3B+2C, 2A+3B+3C, 3A+2B+2C, 3A+2B+3C, 3A+3B+2C, 3A+3B+3C$ ”等 8 个组态是不可能产生的,事实上在这些组态产生之前,表决器已经表决输出!

经分析可以列出可能的表决组态共有 46 个,如下表 1 所示。

表1 三模均权表决系统有效表决组态表

表决模式	表决组态
单模(3个)	3A, 3B, 3C
双模(24个)	A+B, B+C, A+C, A+2B, 2A+B, B+2C, 2B+C, A+2C, 2A+C, A+3B, 3A+B, B+3C, 3B+C, A+3C, 3A+C, 2A+3B, 3A+2B, 2B+3C, 3B+2C, 2A+3C, 3A+2C, 3A+3B, 3B+3C, 3A+3C
三模(19个)	A+B+C, A+B+2C, A+B+3C, A+2B+C, A+2B+2C, A+2B+3C, A+3B+C, A+3B+2C, A+3B+3C, 2A+B+C, 2A+B+2C, 2A+B+3C, 2A+2B+C, 2A+3B+C, 3A+B+C, 3A+B+2C, 3A+B+3C, 3A+2B+C, 3A+3B+C

其中,  $3A+3B, 3B+3C$  和  $3A+3C$  这三个组态的表决较为特

殊,因其产生的几率实在太小,故可以简单地分别以对应的  $A, B, C$  各模输出作为最终表决输出。这种处理方式尽管确实有一定的输出风险(其实,  $3A+B, A \neq B$  这类组态的表决输出也有极小的表决风险),但在实际应用上对整个表决系统可靠性的影响极小。

当然,更为可靠的方法是在上述组态情况产生时同时对三模发出偏差指示,通知各输出方重新进行计算输出,或者根据各模的偏差记录,选择可靠性高的一方输出。对于计权硬件表决系统(另文讨论),则可依据各输出方的权值判定输出。

此外,部分组态仅当某种特定输出时才可能成立,如  $A+B, A+2B$  等,仅当  $A, B$  模输出方对应输出为  $D_A=D_B$  时才可能表决输出。又如  $A+2B+2C, A+2B+3C, A+3B+3C$  等组态已不可能有  $D_B=D_C$  的取值,因为,若有  $D_B=D_C$ ,则早在该组态成立之前的其它组态,如  $B+C, B+2C$  等就已经表决输出了。所以只可能有  $D_A=D_C$  的取值。

基于以上组态做表决器硬件逻辑真值分析,并进行简化可以得到具有 94 个有效逻辑真值取值项的真值表。由于表决器逻辑电路最后可以使用 GAL 等可编程逻辑器件来实现,在采用高级开发软件 CUPL 进行编程设计时,其设计说明书文件(输入文件)可采用高级的逻辑描述方式:高级逻辑方程(不限于与-或形式)、真值表(状态表)和状态转换图。而表决器逻辑电路的 GAL 电路实现(包括增加容错冗余),设计说明书文件使用真值表较好,这样对于不同的系统要求,如多模计权表决或动态表决条件等情况,就仅需修改真值表即可实现。故不必化简其逻辑方程式,这使得硬件设计和实现更容易。

限于篇幅,以下按单、双和三模等三类表决组合分别简单说明。

#### (1) 单模表决

表2 均权表决器逻辑有效真值表1(单仿三表决)

表决组态	INPUT									OUTPUT					
	A			B			C			V		DIS			
	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	E <sub>i</sub>	D <sub>i</sub>	A <sub>i</sub>	B <sub>i</sub>	C <sub>i</sub>	
3A	1	1	X	0	0	φ	0	0	φ	1	X	0	1	1	
3B	0	0	φ	1	1	X	0	0	φ	1	X	1	0	1	
3C	0	0	φ	0	0	φ	1	1	X	1	X	1	1	0	

(2) 双模表决。两模表决,以  $A, B$  表决为例,  $A, C$  及  $B, C$  类同,此外,以下仅列出典型表决组态,其它相似组态从略,如  $2A+B$  与  $A+2B$  相似,  $3A+B$  与  $A+3B$  相似,  $3A+2B$  与  $2A+3B$  相似,故均从略。

表3 均权表决器逻辑有效真值表2(双模表决)

表决组态	INPUT									OUTPUT					
	A			B			C			V		DIS			
	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	E <sub>i</sub>	D <sub>i</sub>	A <sub>i</sub>	B <sub>i</sub>	C <sub>i</sub>	
A+B	0	1	X	0	1	X	0	0	φ	1	X	0	0	1	
A+2B	0	1	X	1	0	X	0	0	φ	1	X	0	0	1	
A+3B	0	1	X	1	1	X	0	0	φ	1	X	0	0	1	
	0	1	X	1	1	X	0	0	φ	1	X	1	0	1	
2A+3B	1	0	X	1	1	X	0	0	φ	1	X	0	0	1	
	1	0	X	1	1	X	0	0	φ	1	X	1	0	1	
3A+3B	1	1	X	1	1	X	0	0	φ	1	X	0	0	1	
	1	1	X	1	1	X	0	0	φ	1	X	0	1	1	

(3)三模表决。同样,三模表决中以下仅例出典型表决组态,其它相似组态从略,如  $A+2B+C$ 、 $2A+B+C$  与  $A+B+2C$  相似; $A+3B+C$ 、 $3A+B+C$  与  $A+B+3C$  相似; $A+2B+2C$ 、 $2A+2B+C$  与  $2A+B+2C$  相似等等。

表4 均权表决器逻辑有效真值表3(三模表决)

表决组态	INPUT									OUTPUT				
	A			B			C			V		DIS		
	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	T <sub>1</sub>	T <sub>2</sub>	D <sub>i</sub>	E <sub>i</sub>	D <sub>i</sub>	A <sub>i</sub>	B <sub>i</sub>	C <sub>i</sub>
A+B +C	0	1	X	0	1	X	0	1	X	1	X	0	0	0
	0	1	X	0	1	X	0	1	X	1	X	0	0	1
	0	1	X	0	1	X	0	1	X	1	X	0	1	0
	0	1	X	0	1	X	0	1	X	1	X	1	0	0
A+B +2C	0	1	X	0	1	X	1	0	X	1	X	0	0	0
	0	1	X	0	1	X	1	0	X	1	X	0	0	1
	0	1	X	0	1	X	1	0	X	1	X	0	1	0
	0	1	X	0	1	X	1	0	X	1	X	1	0	0
A+B +3C	0	1	X	0	1	X	1	1	X	1	X	0	0	0
	0	1	X	0	1	X	1	1	X	1	X	0	0	1
	0	1	X	0	1	X	1	1	X	1	X	0	1	0
	0	1	X	0	1	X	1	1	X	1	X	1	0	0
A+2B +2C	0	1	X	1	0	X	1	0	X	1	X	0	0	1
	0	1	X	1	0	X	1	0	X	1	X	0	1	0
A+2B +3C	0	1	X	1	0	X	1	1	X	1	X	0	0	1
	0	0	X	1	0	X	1	1	X	1	X	0	1	0
A+3B +3C	0	1	X	1	1	X	1	1	X	1	X	0	0	1
	0	1	X	1	1	X	1	1	X	1	X	0	1	0

### 3 偏差指示逻辑设计

在硬件表决系统中,除了正常的表决输出以外,系统还应该就各输出方的输出与最终表决输出结果进行比较,确定其输出信息的偏差,给出偏差指示,同时形成偏差记录。偏差记录也代表着对应输出方的“信誉”,即它的输出在表决时的可信度。尤其是对于计权表决系统而言,各输出方的偏差记录将直接影响其表决权重。

显然,偏差指示逻辑的主要作用就是指示出其输出与表决系统最终输出结果有差异的输出方,以便表决系统按预定的处理程序进行下一步处理。一般情况下是对存在偏差的模进行偏差记录(计权表决系统则还要同时修改相应权重),若此次未能形成最终的表决输出(如三模输出数据均不相同,或者均有输出超时等情形),则必须执行卷回处理,通知各模重新进行计算和输出。此外,偏差指示信号还要送往偏差计数器做偏差记录。

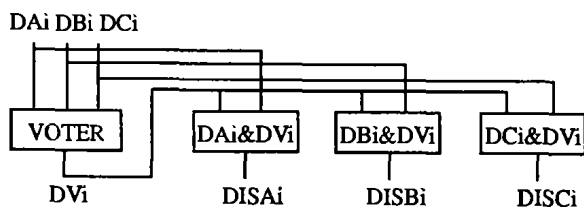


图1 分离偏差逻辑

偏差指示的形成也有两种方法,一种是将各模的输出数据与最终表决结果进行比较,若有异就形成偏差指示,如图1所示。这种方法由于需要以表决结果为判断基准,缺点是在各模输出未能形成最终表决结果时不能自动产生正确的偏差指示。另一种更好的方法是将偏差指示逻辑与表决逻辑统一设

计,直接针对各模输入进行判断,这样即使在未能形成最终表决结果的情况下也能自动对各模同时产生偏差指示,如图2所示。很明显,该方法也更适合于使用 GAL 逻辑芯片的电路实现。

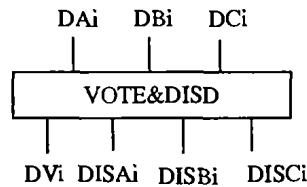


图2 整合偏差逻辑

图1、图2中 DISAi、DISBi、DISCi 分别为 A、B、C 三模表决的偏差指示(DISAGREEMENT)。图1的偏差逻辑函数为:

$$DISA_i = D_{A_i} \oplus D_{V_i}; DISB_i = D_{B_i} \oplus D_{V_i}; DISC_i = D_{C_i} \oplus D_{V_i}$$

而对于图2方式,分析其偏差真值表可得其相应的整合偏差指示逻辑函数分别如下:

$$DISA_i = \overline{D_{A_i}} \cdot D_{B_i} \cdot D_{C_i} + D_{A_i} \cdot \overline{D_{B_i}} \cdot \overline{D_{C_i}}$$

$$DISB_i = D_{A_i} \cdot \overline{D_{B_i}} \cdot D_{C_i} + \overline{D_{A_i}} \cdot D_{B_i} \cdot \overline{D_{C_i}}$$

$$DISC_i = D_{A_i} \cdot D_{B_i} \cdot \overline{D_{C_i}} + \overline{D_{A_i}} \cdot \overline{D_{B_i}} \cdot D_{C_i}$$

以上仅是对各模输出的某一位进行的逻辑分析。显然,对于各模相应的完整数据而言,其中任一位数据有异,则意味着该模的整个数据有异。因此,各模的整体偏差逻辑函数为各自位偏差逻辑函数的“或”。因此,对于各模输出的整体偏差函数有:

$$DISA = \sum_{i=1}^n DISA_i = DISA_0 + \dots + DISA_i + \dots + DISA_n$$

$$DISB = \sum_{i=1}^n DISB_i = DISB_0 + \dots + DISB_i + \dots + DISB_n$$

$$DISC = \sum_{i=1}^n DISC_i = DISC_0 + \dots + DISC_i + \dots + DISC_n$$

结束语 该模型方案设计是基于硬件逻辑实现的,故只要选用高可靠性器件,整个系统的可靠性就可得到保障。除了最基本的硬件表决以外,也考虑到了结合软件技术实现单仿多或多仿多的仿模表决模式,使整个表决系统具备动态界面的软、硬件容错能力。当系统中具备硬件冗余资源时,尽量以硬件方式实现表决功能,以提高系统速度;而对于由于硬件故障或网络传输干扰等引起的表决障碍,则自动增加软件开销,以确保表决的正常进行。更重要的是,可用软件随时对整个表决器进行功能测试,验证表决器自身的功能是否正常,从而确保系统表决输出的安全性。

### 参考文献

- 1 Siewiorek D P. The Theory and Practice of Reliable System Design[M]. 1998. 64~72
- 2 Anderson D L. Managing Information Systems[M]. the Publishing Company of tsinghua University, 2001, 8: 220~239
- 3 Zhao Peng, Zhang Qian. The Design of Voting Model for Group Decision Support System[D]. In: Proc. of 2003 Intl Conf. on Management Science&Engineering Georgia, USA Aug. 2003, 1: 327~331
- 4 陈廷槐,曹泽翰,陈以农. 数字系统的测试与容错[M]. 东南大学出版社1990, 7: 33~108
- 5 周永钊,张雷,陈铭. 通用逻辑阵列 GAL[M]. 中国科技大学出版社. 1989, 9: 22~96
- 6 赵鹏. 一种群策系统表决模型设计[J]. 重庆大学学报自然版, 2002, 11: 147~150