

数据传输系统的可编程逻辑技术实现^{*})

蒋 溢

(重庆邮电大学计算机学院 重庆 400065)

摘要 本文介绍了数据传输系统体系结构的设计方法,主要针对数据传输系统进行设计,详细论述了系统的总体设计、模块设计、PCI(Peripheral Component Interconnect——外围部件互连)总线高速数据传输系统硬件接口设计方法,给出了系统的设计与实现方案。克服了系统中的有关数据传输速率、可靠性等方面的问题,提高了数据传输过程中抗干扰能力。

关键词 数据传输,可编程逻辑技术,外围部件互连

The Design and Realization of the Data Transport System Based on Programmable Logic Device

JIANG Yi

(College of Computer Science and Technology, Chongqing University of Posts and Telecommunications, Chongqing 400065)

Abstract A design of computer system for the data transport is introduced in this paper, the author discusses the architecture of data transport, the design of model, the way to design a data transport and storage system with high speed based on peripheral component interconnect BUS, then the author discusses the design and realization of data transport. It is proved through practices that the system is more reliable, flexible and secret.

Keywords Data transport, Programmable logic device(PLD), Peripheral component interconnect(PCI)

1 引言

数据传输系统是以前端的模拟信号处理、数字化、数据信号处理和计算机等高科技为基础而形成的一门综合技术,是联系模拟世界与计算机之间的桥梁^[1~3]。计算机控制的数据传输系统通过探测器把物理量转化成电信号,经过放大滤波等模拟信号的处理后,由 A/D 转换将模拟信号数字化,将其转换为数字信号,再经必要的数字信号处理,最后经过接口电路传送给计算机^[4]。

数据传输系统是基于 PCI 总线结构,能有效地克服系统中的有关数据传输速率、可靠性等方面的问题,以及提高数据传输过程中抗干扰能力等方面的问题^[5]。设计的数据传输系统采用数据缓冲存储卡和数据采集卡,直接插入计算机的 PCI 插槽,使其与计算机协调一致工作,再配以相应的数据采集软件,就可以实现数据传输工作。由于数字系统设计的不断发展,设计中大量采用了 CPLD,以缓解元器件数量过多、印制板面积过大以及因此而引起的稳定性和可靠性较差的问题,为数据传输系统的研究工作奠定了良好的基础。

2 数据传输系统的总体设计

数据传输过程时间非常短,完全采用软件进行数据接收、转换、存储和发送比较困难,若采用硬件控制方式则相对容易实现,硬件控制方式要设计专门的数据采集控制电路,以便利用控制信号进行数据接收、转换、存储和发送,这就意味着必须设计新型的数据传输模块和缓冲存储模块。

采用的 PCI 接口芯片完成 PCI 接口功能,同时采用高速 14 位转换器 AD9241(用两片 AD9241 并成 28 位,满足系统需要 24 位的要求)、通道切换、程控增益控制、高速数据缓存

等功能来实现快速、高精度数据采集与存储。按功能划分,数据传输模块由以下几个部分组成:前置模拟信道、模数转换电路、接口逻辑与控制电路、数据缓存电路、PCI 总线接口电路等部分。

3 数据传输模块的设计与实现

按功能划分,一个数据传输模块由以下几个部分组成:多路选择开关、程控增益放大器、模数转换电路、锁存器等。数据传输模块见图 1。

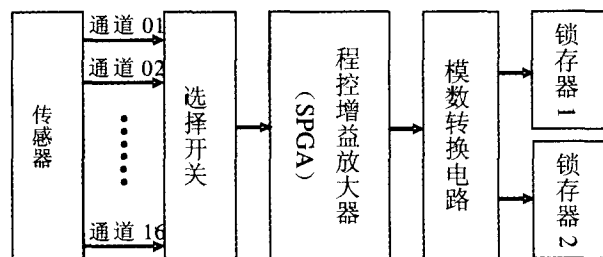


图 1 数据传输模块结构框图

考虑到利用 PCI 总线的 32bit 数据宽度高速“突发”传输,就将每个转换完的 16bit 数据分别通过高位锁存(锁存器 1)和低位锁存(锁存器 2)合并组成 32bit 的数据输出到局部数据总线或帧缓存器中,数据读到微机中后由 Windows 驱动软件或应用软件完成数据的拆分和组合,在系统启动的时候通过对这些数据的 OTR 的判断,由软件自动完成对 PGA(可编程增益放大)部分的放大倍数调整。

3.1 数据传输系统的总线结构

在数据传输系统的设计中,常常选用 PCI 总线作为数据传输总线。PCI 总线规范由 PCISIG (PCI Special Interest Group)

^{*} 基金项目:重庆市自然科学基金支持项目(CSTC,2004BB2182)。蒋 溢 高级工程师,主要研究方向为:计算机应用技术、数据采集系统、数字化校园等。

发布,PCI 总线和 PCI-PCI 桥(bridge)是系统组件联系在一起的粘合剂。由于 PCI 总线的接口逻辑关系比较复杂,其配置读、写功能及数据传输协议用普通的逻辑电路是很难实现的。因此,一般采用专用的 PCI 接口芯片来简化系统设计。

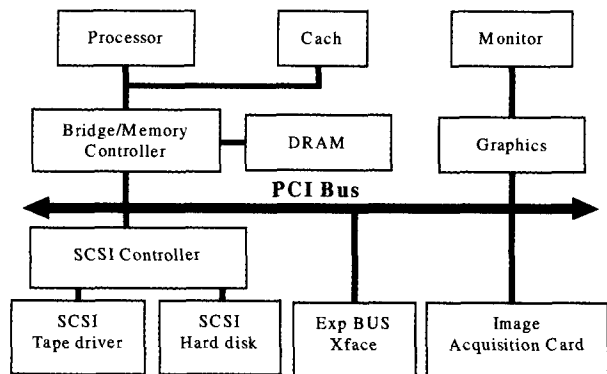


图 2 PCI 总线结构

3.2 前置模拟信道

前置模拟信道由多路开关和程控增益放大部分组成,其中多路选择由 LF357 和 CD4051 组成,LF357 的 GWB 为 1MHz,CD4051 的允许信号通过频率最高为 20 MHz,满足信号的要求。设计中选用的 A/D 是 9241,它的模拟差动输入是 0~5V 的摆幅,当测量信号的波动幅度变化范围比较大时,会出现大信号放大过大而小信号得不到有效放大,从而降低 A/D 转换精度的情况。为解决这个问题,在设计中采用了由电阻网络和多路开关组成程控增益放大电路,其设计指标达到了输入信号范围为 0~5V 时,频率响应带宽为 ≥ 1.0 MHz,增益放大倍数可为 2.0 倍、2.8 倍、4.0 倍几种。

3.3 模数转换

AD9241 是一个 1MBps、单电源、14 位模数转换器(ADC)。AD9241 的输入有高度的灵活性,可用于图像、通讯、医药和数据采集系统接口。其真正的差分输入结构允许

在随着输入范围内的单端和差分输入接口。内带采样保持放大器(SHA),可适用于多路复用系统和采样频率小于等于 Nyquist 频率的单通道输入。

考虑到利用 PCI 总线的 32-bit 数据宽度高速“突发”传输,就将每个转换完的 16-bit 数据分别通过高位和低位锁存合并组成 32-bit 的数据输出到 S5933 局部数据总线或帧缓存器中,数据读到微机中后由 Windows 驱动软件或应用软件完成数据的拆分和组合,在系统启动的时候通过对这些数据的 OTR 的判断,由软件自动完成对 PGA(可编程增益放大)部分的放大倍数调整。

4 存储模块的设计与实现

信号经 A/D 转换后,所有模拟信号都变成数字信号,每个模块的 FIFO 需要连续存储 20 次传输的数据。

加上进行 A/D 转换及控制切换时间,从发出命令到获得一次采样数据的时间可以控制在 2ms 之内,即使再考虑将数据传送至采集计算机主存之间的时间,也完全可以满足要求,实际上,由于系统中设置了 FIFO 内存,数据传输系统可以在接收数据的同时进行数据发送。

4.1 数据缓存

系统中采用了 4 片 128k \times 8 的 SRAM,组合成 32 位局部总线,且深度为 128k 字节。局部总线通过数据缓存和 PCI 总线控制器打交道。数据缓存读写操作通过片选信号 IO-RAMCS#(RAM 输入、输出读/写)和 MEMRAMCS#(RAM 存储器读/写)。SRAM 子系统支持 S5933 突发操作(如存储器读写),也可采用 Single 操作(如 I/O 读写)。

4.2 PLD 逻辑框图

一个数据采集模块采用一片 Altera 公司的 EPM7128 作为硬件逻辑控制,该器件有 128 个宏单元。分为三个模块功能分别为控制 AD9241、帧计数、高、低 16bit 锁存;局部总线 I/O 地址译码;SRAM 地址产生、SRAM 的 I/O 读控制、SRAM 的 MEM 读控制。CPLD 逻辑图如图 3 所示。

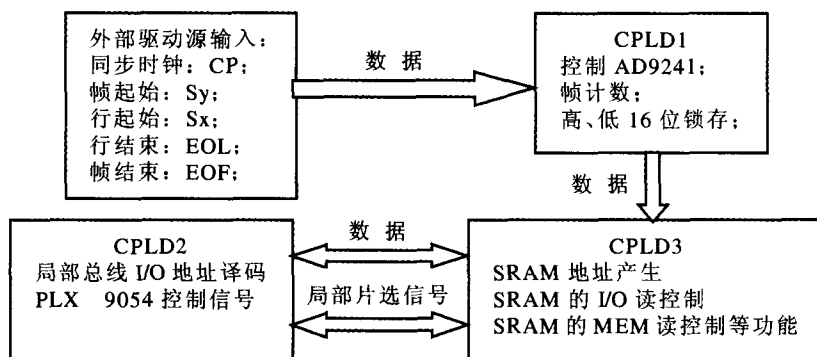


图 3 PLD 逻辑图

结论 本文主要针对数据传输系统进行设计,在设计的过程中,对整个数据传输系统进行了系统结构分析、设计与实现了采集模块和缓冲存储模块,保证了数据传输系统的正确性。

参考文献

- Joseph P M, Ruth C. A method for simultaneous correction of spectrum hardening artifacts in CT images containing both bone and iodine. Med. Phys, 1997, 24: 1629~1634

- How to build a data acquisition system in 4 steps, Research & Development. Barrington, ISSN: 07469179, Mar 1999, 41(3)
- Aycinena P. Programmable Logic Design Tools. Integrated System Design, September 2000. 68~74
- Maniwa T. ASICs Today. Integrated System Design, July 2000. 93~95
- New Fifos Offer Data Queuing, Switching Ebn. Manhasset, Special Volume/Issue, Issue: 1305, Column Name: Memory, Mar 2002