

时序逻辑电路设计的 Petri 网方法^{*}

Design of Sequential Logic Circuit Based on Petri Net

张继军 吴哲辉

(山东农业大学 泰安271018) (山东科技大学 泰安271019)

Abstract A new method for designing sequential logic circuits is put forward in this paper. The method is that driving condition for flip-flops is obtained by means of the transition firing condition of petri net and that designing asynchronous sequential circuits and synchronous sequential circuits can be unified.

Keywords Petri net, Sequential circuit, Extended petri net with inhibitor arcs, Flip-flop

1 引言

Petri 网是一种系统模拟和分析的工具,它可以揭示出被模拟系统在结构和动态行为方面信息,利用这些信息可以对被模拟系统进行性能评估并提出改进系统的建议,从而设计出一个高质量的实际应用系统。文[1,2]利用 Petri 网的特性分别给出了组合逻辑电路和时序电路的 Petri 网分析方法,其基本思想是将已设计好的逻辑电路转化成 Petri 网,利用 Petri 网的各种分析方法(可达树、状态矩阵)进行分析。

时序电路的设计是分析方法的逆过程,是根据给定的状态图或通过对设计要求的分析得到的状态图,设计出时序电路的过程;时序逻辑电路可分为同步和异步,然而采用传统的时序电路的设计方法时,即使是同步时序电路的设计也需要七步^[3],要进行复杂的计算来求状态方程、驱动方程,既繁琐又容易出错;对异步设计就更为复杂了。

本文利用 Petri 网的模拟能力和性质,提出了一种新的时序电路的设计方法。该方法是由待设计系统的要求说明或系统的状态图,得到相应的状态变化条件,设计出 Petri 网模型;借助于 Petri 网变迁的引发条件确定触发器的驱动条件,进而选择适当的触发器转换成时序逻辑电路。这种方法不仅设计

同步时序电路,而且还可以设计异步时序电路,使同步、异步电路的设计过程统一,更避免了异步设计的复杂性。这种设计过程简洁,并可设计出性能高,工作可靠的时序电路。为了讨论方便,这里主要讨论给定状态图的情况下的时序电路的设计。

2 带拟止弧的增广 Petri 网及基本逻辑电路的 Petri 网模型

文[4]对基本 Petri 网进行扩展,提出了带拟止弧的增广 Petri 网。这种网是在普通的 Petri 网基础上引入一种拟止弧,一个位置 s_i 到变迁 t_j 的拟止弧是在靠 t_j 的一端有一个小圆圈而不是一个箭头,其含义是:只有在位置 s_i 中无标识时,变迁 t_j 可能引发,这样的输入位置称为拟止位置,其余的位置为基本位置。

定义 2.1^[1] 带拟止弧的增广 Petri 网为五元组 $\Sigma = (S_1, S_2, T; F, M_0)$, 其中 S_1 为基本位置集, S_2 为拟止位置集; $S_1 \cup S_2 = \{s_1, s_2, \dots, s_n\}$, 其余符号的含义同基本 Petri 网。

带拟止弧的增广 Petri 网中变迁 t_i 的引发规则为: $t_i \in T$ 在标识 M 下可以引发, 当且仅当 $\forall s \in {}^*t_i \cap S_1: M(s) \geq 1; \forall s \in {}^*t_i \cap S_2: M(s) = 0$ 。

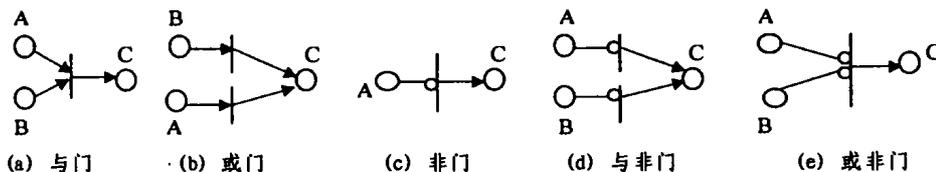


图1 基本门电路的增广 Petri 网模型

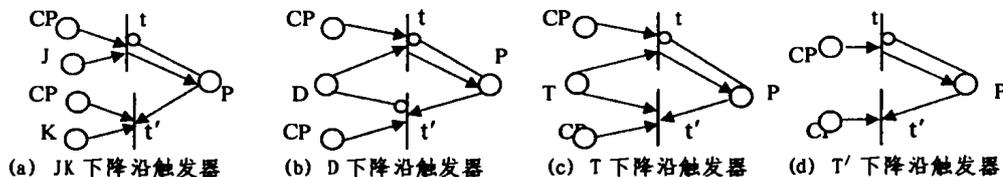


图2 触发器的增广 Petri 网模型

在逻辑电路的设计中,所使用的逻辑元件为:与门、或门、非门、与非门、或非门,根据所定义的带拟止弧的增广 Petri 网

^{*} 本课题的工作得到国家自然科学基金(60173053)的资助。张继军 副教授,主要研究方向为 Petri 网理论及应用、软件工程。吴哲辉 教授,博士生导师,主要研究方向为 Petri 网理论及应用、算法设计与分析等。

及引发规则,可以构造它们的 Petri 网模型,如图1所示,其中 A、B、C 为逻辑变量,当位置 A、B、C 中含有一个标识,表示电路的逻辑值为“1”,否则为“0”。

构造时序电路的主要元件是 J-K、D、T、T' 触发器,每个触发器都有 0、1 两个状态,且状态的变化由时钟及触发条件而引发。下面建立带有时钟 CP 的触发器特征方程及对应的 Petri 网模型。

触发器的特征方程是设计和分析时序电路的基本依据,它表达了触发器输出与输入的逻辑关系,但这种关系只有在时钟脉冲 CP 到达时才是有效的。因此将 CP 作为一个输入变量(引发条件)考虑进去,如 J-K 触发器的特征方程可以写成: $Q^{n+1} = (J\bar{Q} + KQ) \cdot CP$; 对于同步时序电路时钟脉冲 $CP = 1$,在特征方程中没有必要写出来。

根据每种触发器的激励表以及增广 Petri 网的引发规则,可以构造图2的 Petri 网模型。(假设各触发器的初始状态为 0,并用位置 P 代表各触发器的状态,CP 是时钟脉冲)

由图2的 Petri 网模型可得下列结论:

- 1) 变迁 t, t' 不引发,触发器保持原态;
 - 2) 变迁 t 引发,触发器状态由 0→1;
 - 3) 变迁 t' 引发,触发器状态由 1→0;
- 即:对于状态 P,有:

$$M'(p) = \begin{cases} M(p) + 1, & \text{当 } M[t > \\ M(p) - 1, & \text{当 } M[t' > \\ M(p), & \text{不引发} \end{cases}$$

3 时序逻辑电路的设计

在传统时序逻辑电路的设计方法中,从开始拟定原始的 STD 到设计出电路,共有七步,是一个既繁琐又容易出错的复杂的设计过程,且对异步电路的设计则更为复杂。然而,如果我们借助增广 Petri 网,即把描述电路设计要求的 STD 图可以直接转换成一个安全的(增广)Petri 网,再由安全的(增广)Petri 网转换成时序逻辑电路,就可得到一种新的简便的时序逻辑电路的设计方法。为了便于讨论,在本文中使用的 STD 图都是二进制编码形式的状态转换图(表)。

定义 3-1(转换系统) 一个转换系统是一个五元组 $ST = (X, Y, Q, \delta, \lambda)$, 其中:

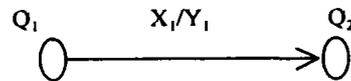
- 1) $X = \{0, 1\}^n (n \geq 0)$ 为输入信息集合,一个输入元素可表示为: $x_1 x_2 \dots x_{n-1} x_n \in X$;
- 2) $Y = \{0, 1\}^m (m \geq 0)$ 为输出信息集合,一个输出元素可表示为: $y_1 y_2 \dots y_{m-1} y_m \in Y$;
- 3) $Q = \{0, 1\}^r (r \geq 0)$ 为记录状态集合,一个状态元素可表示为: $q_1 q_2 \dots q_{r-1} q_r \in Q$, 称 $\forall q_i \in \{q_1, q_2, \dots, q_{r-1}, q_r\}$ 为一个位置状态;
- 4) 映射: $\delta: Q \times X \rightarrow Q$, 称为转换映射; $\lambda: Q \times X \rightarrow Y$, 称为输出映射。

一个转换系统可以用图或表描述,分别称为转换图 STD、转换表 STB。

3.1 STD 转换成 Petri 网的基本思想

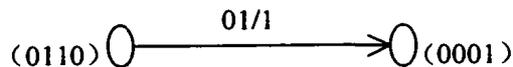
由定义 3-1 可知,一个转换系统状态的改变是由现状态及当前的输入而决定的,一个状态 $(q_1 q_2 \dots q_{r-1} q_r) \in Q$, 对 $\forall q_i \in \{q_1, q_2, \dots, q_{r-1}, q_r\}$ 若要改变(0→1, 1→0)必有引起变化的条件。

设现状态为 $Q_1 = (q_1 q_2 \dots q_{r-1} q_r)$, 输入信息为 $X_1 = x_1 x_2 \dots x_{n-1} x_n$, 变换后产生新状态为 $Q_2 = (q'_1 q'_2 \dots q'_{r-1} q'_r)$, 输出信息为 $Y_1 = y_1 y_2 \dots y_{m-1} y_m$, 可用下图表示:



假设状态中第 i 个位置状态,在 Q_1 中 $q_i = 0$, 在 Q_2 中 $q'_i = 1$, 并假设 Q_1 中还有第 k_1, k_2, \dots, k_r 中的位置状态也改变了,那么,状态位置 q_i 由 0→1 的变化是由 X_i 及 Q_i 引起的。

对于 $x_i \in X_i$, 若第 i 个位置为 1, 则用 x_i 表示, 若第 i 个位置为 0, 则用 \bar{x}_i 表示, 所以输入信息 X 可以表示为变量 $x_1(\bar{x}_1) x_2(\bar{x}_2) \dots x_n(\bar{x}_n)$ 的连接(注:式中“ $x_i(\bar{x}_i)$ ”表示两者选一); 对于 $q_{k_1}, q_{k_2}, \dots, q_{k_r}$ 也进行同样的规定; 则第 i 个位置状态的变化,可以用输入符号和位置符号描述。例如: 状态位置顺序为: $q_1 q_2 q_3 q_4$, 输入信息顺序为: $x_1 x_2$, 第四个位置 q_4 由 0→1 是由 $x_1 x_2$ 及 q_2, q_3 引起的, 所以变换条件为: $\bar{x}_1 x_2 q_2 q_3$ 。



对于时序逻辑电路,由于状态的变化在时钟脉冲的作用下,所以上面例子中第四个位置 q_4 由 0→1 的变换条件 $\bar{x}_1 x_2 q_2 q_3$ 中包含 q_2, q_3 的时钟 CP_2, CP_3 , 设第四个位置 q_4 的驱动条件为 W , 那么变换条件可表示为: $W \cdot CP_4 \cdot CP_2 \cdot CP_3 = \bar{x}_1 x_2 q_2 q_3$ 。

对于转换系统状态 $(q_1 q_2 \dots q_{r-1} q_r)$ 中的每一个位置 $\forall q_i \in \{q_1, q_2, \dots, q_{r-1}, q_r\}$ 及其引起该位置状态改变的条件,可以用图2中的某种模型来描述,这样就把一个转换系统变换成一个安全(增广)Petri 网模型。

根据(增广)Petri 网的引发规则,要使 $\forall q_i \in \{q_1, q_2, \dots, q_{r-1}, q_r\}$ 中的状态改变必须使 t 或 t' 引发,即必须使 t 或 t' 中的位置配置一个标识。表1给出了图2中每种类型的 Petri 网模型的引发配置条件及引起的位置状态的改变。

3.2 时序逻辑电路的设计方法

根据时序逻辑电路状态转换的同时性,可分为同步和异步两类。在前面已经讨论过,进行时序逻辑电路设计和分析时将 CP 作为一个输入变量(引发条件)考虑进去,改写触发器的特征方程; 由于同步时序电路使用每拍都有外部时钟 CP 触发,所以在设计电路时,可以不考虑时钟信号(时钟脉冲 $CP = 1$); 而异步时序电路中各触发器的时钟信号并不是每拍都有,设计时必须考虑各触发器的时钟条件和驱动条件。应用异步时钟的目的是为了简化电路,故在设计时,采用异步时钟 CP_i 取自其前面各级触发器 $i (i < j)$ 的输出(Q_i 或 \bar{Q}_i)的原则。

表1 触发器状态改变条件

图2中类型号	配置标记	t 引发引起的变化	t' 引发引起的变化
J-K 触发器	J=1 K=1	0→1 —	— 1→0
D 触发器	D=1	0→1	1→1(不引发)
T 触发器	T=1	0→1	1→0
T' 触发器	—	0→1	1→0

由 STD 图及表1,可以直接将 STD 图转换成 Petri 网模型,其过程如下:

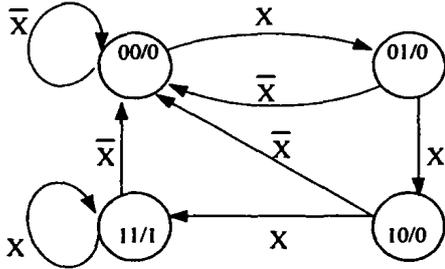
- 1) 选择所使用的触发器类型,并从图2中选择对应的模型,指定描述状态 $(q_1, q_2, \dots, q_{r-1}, q_r)$ 中的每一个位置状态 q_i ;
- 2) 根据选择的类型及对应表1中的配置情况,采用由 STD 转换成 Petri 网的基本思想中处理过程,求出每个位置状态的引发条件,并化简;(对于异步电路,需将时钟作为引发条件)

3)对于 STD 图中的输出部分,每一个输出分量的求法,也采用由 STD 转换成 Petri 网的基本思想中处理过程,求出每个输出的引发条件,并化简;

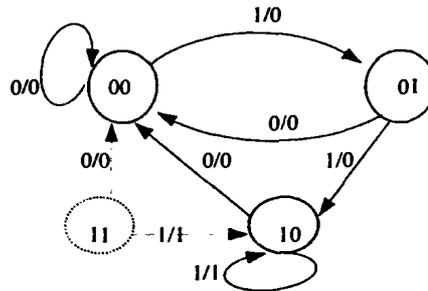
- 4)画出安全(增广)Petri 网模型;
- 5)对安全(增广)Petri 网进行分析,修正;
- 6)将修正后的 Petri 网转换成时序电路图。

对于上述处理过程中第二步的一个说明:

(1)在时序电路的设计中,由于存在“无效状态”,应同时考虑到电路的自启动性,所以对于从“无效状态”到有效状态的转化条件应加以考虑。(2)由于在异步时序电路中,时钟条件和驱动条件同时作用才能使触发器产生一个跳变,所以将



(a) 原始状态转换图



(b) 简化的状态转换图

图3 例1的 STD 图

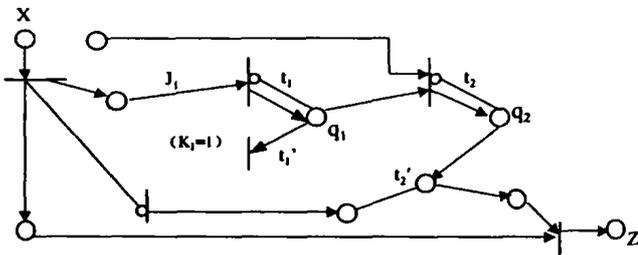


图4 例1的 Petri 网模型

1)根据题目要求,选用 J-K 触发器,因而选用图2中的 a 型(因采用同步, J-K 触发器的状态方程为: $Q^{n+1} = J\bar{Q} + KQ$),由于有两个位置状态,所以可以得到:

a)对于位置状态 q_1 :引起由 $0 \rightarrow 1$ 的变化有 $(00 \xrightarrow{1/0} 01)$,所以 $J_1 = X$;引起由 $1 \rightarrow 0$ 的变化有 $(01 \xrightarrow{0/0} 00, 01 \xrightarrow{1/0} 00)$ 及附加

位置状态的驱动条件和时钟脉冲的“与运算”作为引发条件。

4 时序逻辑电路的设计举例

4.1 设计同步时序电路

例1 使用 J-K 触发器设计一个串行数据检测器的同步时序电路,它具有一个输入端 X 和一个输出端 Z,输入 X 为一串随机信号,当连续输入三个或三个以上的“1”时,输出 $Z = 1$,否则 $Z = 0$ 。

解:根据题意,该数字电路的原始和简化的状态转化图如图 3(a)、(b)所示。(图 a 中结点为: q_2q_1/Z ;图 b 中结点为: q_2q_1 ,边标注为 X/Z;虚线部分为无效状态及附加转化)。

情况 $(11 \xrightarrow{0/0} 00, 11 \xrightarrow{1/1} 10)$,共四种,所以 $K_1 = \bar{X} + X\bar{q}_2 + Xq_2 + X = 1$;

b)同样,对于位置状态 q_2 :引起由 $0 \rightarrow 1$ 的变化有 $(01 \xrightarrow{1/0} 10)$,所以 $J_2 = Xq_1$;引起由 $1 \rightarrow 0$ 的变化有 $(10 \xrightarrow{0/0} 00)$ 及附加情况 $(11 \xrightarrow{0/0} 00)$,所以 $K_2 = \bar{X} + Xq_1 = \bar{X}$;

c)对于输出 Z(有两种情况),可以得到: $Z = Xq_2q_1 + Xq_2\bar{q}_1 = Xq_2$;

2)利用图1、图2的模型可构造图4所示的增广 Petri 网模型:(注:图中省略了时钟 $CP_i = 1$);

3)利用文[2]中描述的分析方法,进行分析;(具体的分析方法见文[2]);

4)转换为时序逻辑电路,见图5。

对于该例也可以利用表1列出的其它类型的触发器来实现。

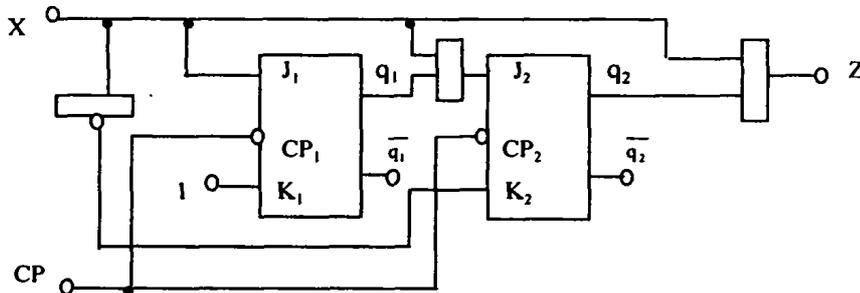


图5 对应图4的时序逻辑电路

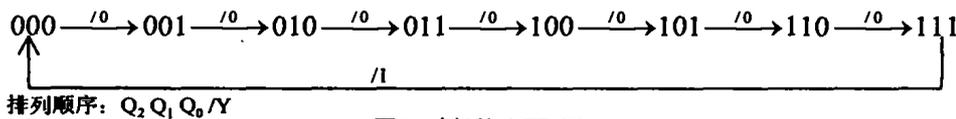


图6 例2的 STD 图

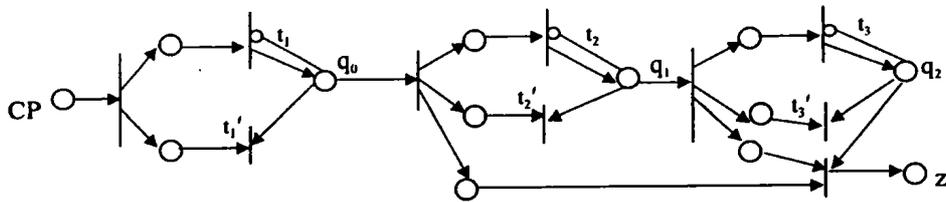


图7 例2的 Petri 网模型

4.2 设计异步时序电路

例2 使用 J-K 触发器设计一个3位二进制异步加法计数器。图6所示的是其状态转换图。

1) 根据题目要求, 选用 J-K 触发器, 因而选用图2中的 a 型(由于采用异步, J-K 触发器的状态方程为: $Q^{n+1} = (J\bar{Q} + KQ) \cdot CP$; 采用异步时钟 CP, 取其前面各级触发器 i (i < j) 的输出 (Q_i 或 \bar{Q}_i) 的原则。由于有三个位置状态, 所以可以得到:

a) 对于位置状态 q_0 : 引起由 0 → 1 的变化有四种情况(000 $\xrightarrow{/0}$ 001; 010 $\xrightarrow{/0}$ 011; 100 $\xrightarrow{/0}$ 101; 110 $\xrightarrow{/0}$ 111), 可得:

$$J_0 \cdot CP_0 = CP + CP + CP + CP = CP; \tag{2.1}$$

同理, 引起由 1 → 0 的变化时, 可得:

$$K_0 \cdot CP_0 = CP + CP + CP + CP = CP; \tag{2.2}$$

由 (2.1)(2.2) 式可得:

$$CP_0 = CP, J_0 = 1, K_0 = 1 \tag{2.3}$$

b) 对于位置状态 q_1 : 引起 0 → 1 的变化有 (001 $\xrightarrow{/0}$ 010; 101

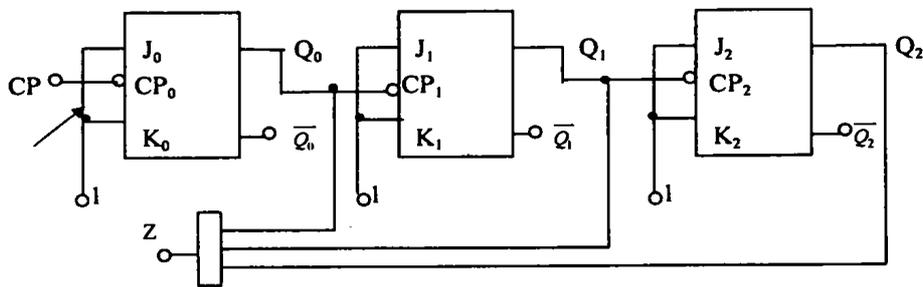


图8 对应图7的时序电路

d) 对于输出 Z, 可以得到: $Z = q_1 q_2 q_3$;

2) 利用图1、图2的模型可构造如图7的增广 Petri 网模型;

3) 利用文[2]中描述的分析方法, 进行分析;(具体的分析方法见文[2])

4) 将图7转换为时序逻辑电路, 见图8。

结束语 本文的设计方法, 借助于 Petri 的模拟能力, 使设计更直观清楚, 特别是对异步时序电路的设计, 简便了设计过程。本文的设计方法只有三步, 比传统方法简便、快捷, 避免了对状态方程、驱动方程的复杂计算; 使同步、异步的设计采用统一的过程。该方法使时序电路的设计、分析使用 Petri 网模型同时进行, 为时序电路的设计、分析提供了一种新的方

$\xrightarrow{/0}$ 110), 可得:

$$J_1 \cdot CP_1 \cdot CP_0 = q_0 + q_0 = q_0; \tag{2.4}$$

引起 1 → 0 的变化有 (011 $\xrightarrow{/0}$ 100; 111 $\xrightarrow{/0}$ 000), 可得:

$$K_1 \cdot CP_1 \cdot CP_0 = \bar{q}_2 q_0 + q_2 q_0 = q_0; \tag{2.5}$$

由 (2.3)(2.4)(2.5) 可得:

$$CP_1 = q_0, J_1 = 1, K_1 = 1. \tag{2.6}$$

c) 同理, 对于位置状态 q_2 : 由 0 → 1 的变化有 (011 $\xrightarrow{/0}$ 100), 可得:

$$J_2 \cdot CP_2 \cdot CP_1 \cdot CP_0 = q_0 q_1; \tag{2.7}$$

由 1 → 0 的变化有 (111 $\xrightarrow{/0}$ 000), 可得:

$$K_2 \cdot CP_2 \cdot CP_1 \cdot CP_0 = q_0 q_1; \tag{2.8}$$

由 (2.3)(2.6)(2.7)(2.8) 可得:

$$CP_2 = q_1, J_2 = 1, K_2 = 1.$$

法。

参考文献

- 1 吴哲辉, 王培良. 逻辑电路的增广 Petri 网模拟和分析. 山东矿业学院学报, 1985(9): 16~22
- 2 司玉娟, 王万树, 等. 时序逻辑电路的 Petri 网分析方法. 计算机学报, 1996, 19(7): 492~498
- 3 余孟尝编. 数字电子技术基础简明教程. 高等教育出版社, 1999
- 4 吴哲辉译. Petri 网理论与系统模拟. 中国矿业大学出版社, 1999
- 5 Resing W. Petri nets, An Introduction. Springer Verlag, 1982
- 6 袁崇义. Petri 网. 东南大学出版社, 1989

(上接第201页)

移动 IP 中基于分布式注册服务器的指针优化策略 ... (128)

一种可靠名字服务的设计与实现 ... (131)

PRMA 中的允许概率动态决定算法 ... (135)

Ad-Hoc 网络中的密钥建立协议 ... (138)

基于遗传算法的计算机通信网的拓扑优化设计 ... (141)

用完成端口实现可扩展的服务器应用 ... (144)

软件体系结构: 一个新的研究领域 ... (146)

面向主体的开发方法和可视化建模工具 ... (150)

支持动态策略的安全核(Security Kernel)机制的研究 ... (154)

Ⅱ 可扩展操作系统设计方法 ... (157)

分布式系统中对象获取方法的研究 ... (161)

实时系统时段性质的模型检验 ... (165)

基于 XML 远程教学系统的设计与实现 ... (168)

第12期(略)