维普资讯 http://www.cqvip.com

一种基于CPLD的I/O总线驱动液晶显示的方法*)

程晓东　郑为民　唐志敏
（中国科学院计算技术研究所　北京100080）

A Liquid Crystal Displayed Method of I/O Bus Driving Based on CPLD

CHENG Xiao-Dong　ZHENG Wei-Min　TANG Zhi-Min
(Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100080)

Abstract　The paper discusses a new kind of driving the LCD via I/O bus using CPLD and realizing the precise I/O control timing sequence by establishing the corresponding Verilog-HDL model. The results of application show that this solution can not only solve the matching of low-speed device with high-speed bus but also provide the display interface during the motherboard debugging process, and also prove that the whole system is reliable and stable.

Keywords　Godson-1 motherboard, Input/output bus, Liquid crystal display

1　引言

Shiekds等人采用了计算机串口驱动的A240×320液晶显示的方法[3]，而在研制自主设计的基于MIPS CPU的Godson-1主板时，为了能及时显示调试信息，本文提出了一种I/O总线直接驱动5×7点阵液晶字符显示的新方法。由于主板BIOS需要边调试边开发，串口及其它外设初始时不能使用，因此作者直接使用Bonito北桥芯片中系统控制器的I/O数据线和读写信号线，附加相应的硬件电路来实现液晶显示LCD驱动功能。LCD为慢速设备，而主板系统I/O总线的速度较快，而且有些控制信号的有效电平与液晶显示的控制电平正好相反，于是利用了一片CPLD来驱动LCD显示，在BIOS程序中编写了相应的字符显示模块。在调试Godson-1主板的各部分功能时，可以随时调用字符显示子模块，来显示相应的调试信息。这种由计算机总线直接驱动液晶显示的方法既解决了慢速设备与高速总线的速度匹配问题，又提供了调试主板BIOS的各种交互信息，大大地节省了调试时间。

2　硬件实现原理

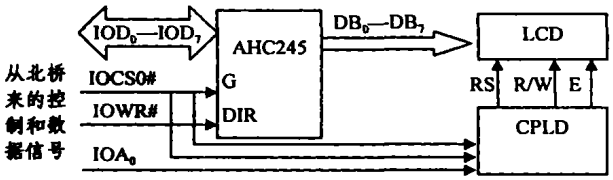

图1　硬件驱动电路原理图

双向数据由Bonito北桥给出，经过AHC245驱动控制后直接作为LCD的数据输入，将北桥芯片的一个管脚：外部设备使能信号端IOCS0接到AHC245的片选端，这样控制数据有效时的时间范围，读信号IOWR接到AHC245的方向选择端，控制数据读写时不同的流向。由于LCD进行初始化时，需要读出内部的状态寄存器的标志位，因此数据必须满足双向传输的要求。图1是硬件驱动电路的原理示意图。

2.1　北桥给出的IO读写信号的时序

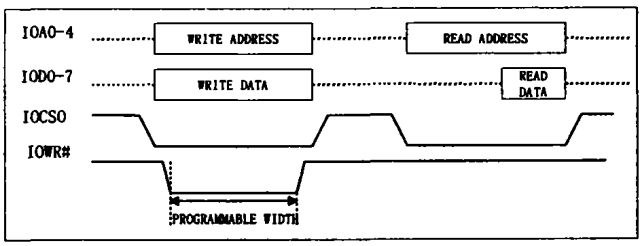

图2　北桥I/O读写信号时序图

2.2　LCD数据及读写控制信号应满足的时序关系

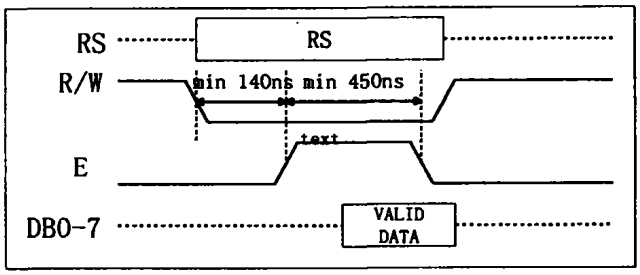

图3　LCD要求的写(读)操作的时序图

通过比较图2和图3的时序关系可以看出，LCD的读写时间是比较长的，一般要几百ns到1μs左右，而计算机的时钟周期至少在10ns，I/O读写也可在100ns左右完成，存在着如何将计算机的高速的控制指令与低速的设备响应相配合的问题。采取了两个步骤解决：首先在BIOS中对北桥(Bonito)进行初始化时，将其中的名字为IOdevcfg Register的bit 1置为0：表示外设是一个"slow device"，这样产生的读写脉冲(IOWR)宽度为800ns，脉冲长度满足了要求；接下来通过CPLD编程，用北桥输出的控制信号：地址线IOA0、片选IOCS0及读写控制IOWR作为输入，来产生LCD驱动信号

*)本文得到中国科学院知识创新方向性项目(高性能通用CPU芯片研制)的资助。程晓东　博士生，主要研究方向为计算机体系结构和芯片逻辑设计。郑为民　博士后，主要研究方向为计算机体系结构、SoC系统芯片研究及高速电路设计。唐志敏　博士，研究员，博士生导师，主要研究方向为高性能计算机体系结构、网络并行处理、高速信号处理及高速电路与芯片设计技术。

维普资讯 http://www.cqvip.com

RS、R/W 和使能信号 E。

驱动信号 RS 代表 LCD 电路中状态寄存器或数据寄存器选择信号，LCD 控制器根据这一位的高低来选择要操作的寄存器，只要在初始化程序中将这两个地址空间划分为相邻即可。例如，一个为0xb1，另一个为0xb0，这样只用 IOA0一位地址线就可以将两个寄存器区分开来，同时 RS 也存在着一种与 IOA0简单对应的关系。

R/W 读写控制信号：读操作时为高电平，写操作时为低电平，宽度至少为600ns。E 使能信号：高电平时有效，要求 R/W 至少在 E 信号有效之前140ns 就有效，而且 E 的周期不能小于1μs，保证该时序关系主要通过在显示程序中延时或查询"忙"标志位来实现。

3. 建立 Verilog 描述模型

在控制功能中，输入信号有：clk、iocs0、iowr、ioa0。clk 使用系统主频时钟，作为控制变换的时基；iocs0是北桥 I/O 外设的片选信号中的一个，低电平有效；iowr 是外设写选通信号，可以将 IO 总线上的有效数据写到被选中的外设中去，高电平时表示读有效；ioao 是北桥 IO 地址线的低位，可以用它来区分外设中的数据或状态寄存器。

输出有 LCD 的三个控制信号：rs、rw、e。三个控制信号可以按如下模型产生：输出信号都用 iocs0下降沿来触发；rw 与 iowr 波形相似，利用将 iowr 左右进行压缩来满足时序要求；rs 由 ioa0来决定，有效脉宽也要进行压缩来满足时序要求；e 为 LCD 的片选使能端，与一般片选信号有效时的值相反，有效时为高电平。

以下是在 CPLD 中的 Verilog 硬件描述语言模块：

```
module control(clk, iocs,iowr ,a_0,rs,rw,e);
    input clk,
iocs,iord,iowr,a_0;
    //clk 为 CPU 及北桥的主频
    output rs,rw,e;
    reg iowr1,rs0,iocs1,e0;
    reg[7:0] counter;
    //定义一个8位的计数器
    parameter T 1 //时钟周期为10ns
    assign rw=iowr&iowr1;
    assign rs=(iocs|a_0)&rs0;
    always@(posedge clk)
    begin
      if (~iocs|(iocs&(counter>0)&(counter<85 * T)))counter
        <=counter+1;
        //当 IOCS0有效或计时小于850ns 时，计数器加1。
        else counter<=0;
    end
  always@(posedge clk)
      if ((counter ==15 * T)|(counter>80 * T))
                  begin
                    iowr1<=iowr;
                    rs0=iocs|a_0;//RS 由地址线 IOA0决定
                    iocs1<=iocs;
      end
  always@(posedge clk)
      if ((15 * T<counter)&(counter<75 * T))//保证 E 的时序在
        IOCS0有效后 150ns 至750ns 之间
    e0<=1;
      else e0<=0;
  endmodule
```

通过在 Verilog 编程仿真及用逻辑分析仪进行波形测量显示，经过转换的信号的时序关系与 LCD 要求的完全一样，在底层 EPROM 中用 MIPS 汇编语言编写了 LCD 的字符显示子程序，由于与大多数的液晶显示驱动方式类似，这里就不再赘述了。当主板时钟频率从66MHz 变到100MHz ，北桥输出信号的脉宽也在发生变化，由于做信号变换时已经考虑了这一因素，输出信号的时序在允许变化的范围内，因此液晶显示稳定正常。

图4是整个 GSMB-1主板系统图，包括 CPU、Bonito 北桥芯片、VT82C686A 南桥芯片、Matrox 显卡、Intel pro100网卡、168线 SDRAM 和硬盘等。

图4　GSMB-1主板实物图

小结　在液晶显示的辅助下，在底层 EPROM 中编写各种调试模块，通过液晶显示进行硬件错误查找、修改，先后调试通过了 DRAM、串口、PCI 总线、IDE 接口，最后将操作系统从硬盘引导到内存成功。在没有 BIOS 底层驱动，没有显示器提示的情况下，利用在底层的 EPROM 或 Flash 来开发针对性强的调试短程序，配合 I/O 总线直接驱动的液晶字符显示信息，是一种计算机主板研发、调试初始阶段查错、改错的有效手段。

参 考 文 献

1　代永平，耿卫东，孙钟林. 硅基液晶显示器(LCoS)核心——显示系统芯片的设计分析. 光电子技术，2001，21(2)：79～88

2　Altera Corporation. MAX+PLUSII Getting Started[M]，1996

3　Shiekds S E，Fletcher B G，Bleha W P. A240×320 element MOS addressed high resolution LCD. SID intl Symp Digest Tech，1983. 178～179

4　刘晓明，黄克初，安敏，等. 基于 CPLD 的智能泵冲泥浆测量仪的研究. 计算机自动测量与控制，2001，9(2)：65～67

5　刘明业，蒋敬旗，刁岗松，等. 硬件描述语言 Verilog. 清华大学出版社，2001