

软差错影响下的电路可靠性分析

王 真¹ 江建慧²

(上海电力学院计算机科学与技术学院 上海 200090)¹ (同济大学软件学院 上海 201804)²

摘 要 随着大数据时代的到来,人们对微处理器可靠性的要求也越来越高,同时处理器芯片内电路密度的增大使其更易受到软差错的侵害,因此软差错影响下的电路可靠性问题显得尤为重要。针对这一问题,从系统结构级、RTL、门级及电路级 4 个抽象层次进行了全面的分析,并在每个抽象层次上依据方法属性做了分类介绍和比较。

关键词 可靠性分析,电路级,门级,RTL,系统结构级

中图分类号 TP302.8 **文献标识码** A **DOI** 10.11896/j.issn.1002-137X.2016.5.002

Reliability Analysis of Circuit under Soft Error

WANG Zhen¹ JIANG Jian-hui²

(School of Computer Science and Technology, Shanghai University of Electric Power, Shanghai 200090, China)¹

(School of Software Engineering, Tongji University, Shanghai 201804, China)²

Abstract With the coming of the big data era, people demand more reliable microprocessor. While the intensive technology scaling make the circuit encounter greater sensitivity to soft errors. It's very important to analyze the reliability of the circuit under soft errors. This paper gave a survey on the reliability analysis methods, which are categorized into circuit-level, gate-level, register-transfer-level (RTL) and architecture-level, and introduced and compared these methods according to method property in each level.

Keywords Reliability analysis, Circuit level, Gate level, RTL, Architecture level

1 引言

近年来,随着数字集成电路制造技术的迅速发展,人们加快了对电子科技的研究和开拓,同时越来越多的应用领域对 VLSI 电路的可靠性提出了更高的要求,比如航天飞机飞行姿态控制系统、原子核反应堆控制系统、导弹防御系统、铁路运输信号控制系统以及金融部门的监督系统都要求计算系统具有极高的可靠性。VLSI 电路的可靠性分析是高可靠设计的必备前提,相对准确省时的可靠性评估技术将有效指导电路设计,帮助设计者选择节省开销的高可靠性结构。

本文将从不同抽象层次对近年来软差错影响下的电路可靠性问题进行全面的分析和总结,对有代表性的研究成果作分类介绍。针对软差错影响的分析方法,从方法属性来分,一般包括基于模拟的故障注入方法、通过强辐射压力测试的实验分析以及建立模型计算评估的解析方法;从分析过程基于的抽象层次来看,主要包括电路级、门级、寄存器传输级(RTL)和系统结构级。本文以抽象层次进行粗分类,以方法属性进行细分类,对受软差错影响的电路可靠性分析方法展开介绍。

2 软差错的产生及量化

软差错主要由两大因素所致:中子和 alpha 粒子。受到这两类粒子的撞击,晶体管源级及扩散结点就会积聚电荷,当

积聚量超过关键电荷值(Q_{crit})后,则会导致逻辑器件的状态翻转或者位差错,这种故障差错由于不会导致器件出现永久错误,因此称为软差错。一般而言,高能粒子引起的发生频率较高的瞬时效应包括单事件翻转(Single Event Upset, SEU)和单事件瞬态(Single Event Transient, SET)。当高能粒子轰击锁存器或触发器等时序逻辑电路时,将引发 SEU,时序逻辑电路的值将发生翻转,错误的值将保持到下一个值写入。高能粒子轰击组合逻辑电路将发生 SET,产生一个宽 0.35~1.3ns 的毛刺^[1],并且有可能沿组合逻辑通路传递,如果毛刺恰好被时序逻辑采样到,将会导致集成电路功能错误。

作为一个常用的可靠性度量指标,单位时间失效数(Failure-in-time, FIT)表示运行 10^9 小时内出现的失效次数,用于度量工业逻辑模块差错率,与平均故障间隔时间 MTTF 呈反相关,MTTF 为 1 年相当于 FIT 为 114155(即 $10^9/(24 * 365)$)。在一个典型结构的芯片上,存储阵列、锁存单元和组合逻辑都会受到软差错的威胁。逻辑电路对软差错一般存在逻辑屏蔽、电气屏蔽和锁存窗屏蔽 3 种屏蔽作用,因此软差错率(Soft Error Rate, SER)也通过错误传播到原始输出或者被锁存器捕获的概率来度量。

3 电路级可靠性分析

3.1 故障注入法

电路级的软差错分析多采用模拟故障注入方法,即先分

到稿日期:2015-03-27 返修日期:2015-08-11 本文受国家自然科学基金重点项目(61432017),上海电力学院人才启动基金项目(K-2013-017),上海高校青年教师资助计划项目资助。

王 真(1980-),女,博士,讲师,主要研究方向为容错计算、高层电路可靠性评估,E-mail:wangzhenqq@gmail.com;江建慧(1964-),男,博士,教授,博士生导师,主要研究方向为可信系统与网络、软件可靠性工程、VLSI 测试与容错等。

析故障机制建立电路级故障模型,依据模型在 SPICE 或 HSPICE 等工具模拟的电路的内部节点上注入故障,仿效由于粒子撞击、电荷积聚而形成的瞬时脉冲,即单事件瞬态 SET;然后经历敏化通路上的传播,观察组合逻辑输出端的脉冲变化,包括振幅高度和时间宽度,分析 SET 的削弱程度,结合触发器上升沿与下降沿分析锁存窗屏蔽,推导 SEU 的发生概率。

电路级的故障模型主要有电流模型和电压模型。比较典型的电流模型有 Messenger 提出的双指数脉冲变化模型^[2]:

$$I_{inj}(t) = I_0(e^{-t/t_1} - e^{-t/t_2}) \quad (1)$$

其中, I_0 表示最大电流, t_1 表示结上电荷收集时间, t_2 表示离子踪迹建立时间。这个模型主要针对 alpha 粒子撞击 PMOS 器件的情形建模,改变参数可以得到对其他类型瞬时故障的仿真。

电压脉冲在传播中振幅变化不大,而宽度变化较大,变化幅度因注入位置、电荷积累量和注入脉冲的波形不同而不同。Alexandrescu^[3]在模拟故障传播过程中使用标准延迟格式文件提供时序信息,并将电路的组合逻辑与锁存单元分开实验。Rajeev^[4]建立了基于查找表的威布尔波形转换函数,脉冲在传播过程中查找对应的波形转换函数,波形转换的结果相同则合并为一次,从而大大降低了时间开销。Adam^[5]在前者的基础上引入了威布尔累积分布,用以拟合上升沿和下降沿的电压脉冲波形,继而提出模拟脉冲传播算法,以便准确模拟故障。

在故障产生和传播的基础上,故障被锁存的概率将最终决定电路对瞬时故障 SET 的敏感度。瞬时故障是否被捕获由触发器的数据建立时间 t_{setup} 、数据保持时间 t_{hold} 以及传播到寄存器输入的脉冲宽度决定,例如文献[3]中推出锁存概率为:

$$P = \begin{cases} \frac{1}{2} \frac{t_{hold} + t_{setup} + \omega}{T_{clk}}, & \omega < t_{hold} + t_{setup} \\ \frac{\omega}{T_{clk}}, & \omega > t_{hold} + t_{setup} \end{cases} \quad (2)$$

其中, T_{clk} 表示时钟周期, ω 表示到达寄存器的脉冲宽度。

还有一类是基于故障注入的解析方法,通过分析电荷收集量与关键电荷值的关系,以变化的电荷量为主要参数代入解析模型,直接计算 SER^[6] 的值。这类解析式中,软差错率与粒子流强度、撞击节点横截面积、电荷收集效率成正比,与关键电荷值呈反比。但解析方法由于一般不考虑逻辑屏蔽作用,有一定的局限性。

在电路级注入故障的方法和工具已有很多,如 SERA^[7]、SEAT-LA^[8],以及针对存储单元的 ROBAN^[3]、DASIE 方法^[9]、TMC-DASIE^[10]等,这些方法通常模拟电路内部属性,在此基础上还有学者考虑了环境等外界条件影响。例如,乔治亚理工学院集成 Cadence Spectre 模拟器开发了 CAD 可靠性分析工具^[11],用以分析电迁移和热载流子效应影响下芯片的可靠性;Ramakrishnan^[12]基于 SEAT-LA 工具分析了不同电源电压、工作温度、热载流子注入、负偏置温度不稳定性等因素对组合逻辑电路 SER 的影响。

3.2 模型分析法

文献[13]提出一种矩阵建模的分析方法,其中考虑了 SET 的产生、传播、被锁存以及 3 种屏蔽作用,将故障影响分析分为 4 个部分,如图 1 所示。1)“瞬时故障建模”过程通过矩阵的形式描述 SET 发生的概率,即建立噪声概率密度函数

(Noise Probability Density Function, NPDF); 2)“电路故障免疫度分析”过程分别通过建立矩阵和计算概率量化了电气屏蔽、锁存窗屏蔽和逻辑屏蔽 3 种屏蔽作用; 3)通过“NPDF 转换”过程,以矩阵运算的形式反映故障在敏化通路上的传播情况; 4)设计解析式计算“故障捕获率”来衡量整个电路的 SER。

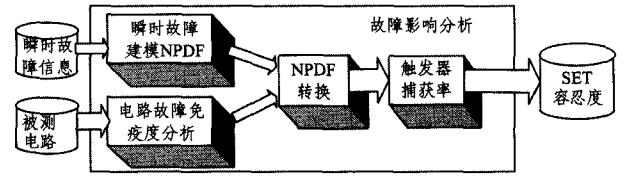


图 1 故障影响分析

4 门级可靠性分析

可将门级分析软差错影响的方法分为两类,比较多的一类是结合电路级故障注入的综合分析方法,另外一类是基于信号概率的门级模型分析方法。

4.1 综合分析方法

综合分析方法通常使用 SPICE 模拟电路,依据式(1)或者其他电流变化模型注入故障,在电路级收集瞬时脉冲的产生以及传播中衰减的信息,用以分析电气屏蔽;然后在门级建立模拟器或者通过解析方法描述逻辑屏蔽;最后在结合前两个阶段的基础上提取参数,计算锁存概率。这类方法中的电路级模拟仅用于提取脉冲信息,结合了门级的分析,时间开销减小。

1) 门级模拟器的建立

Sonza Reorda^[14]采取了将故障传播过程中时间信息折合成结构信息的方法,把不同时间间隔后的同一个门看作不同门,作为扩展部分重新模拟电路结构,从而可以实施零延迟的故障模拟而不损失准确性。在 ISCAS85 基准电路上的实验表明,这种扩充电路的模拟方法与 VHDL 的时序模拟器实现方法相比,注入同样多故障时,速度可以提高 5000 倍,而输出的差错相同。FASER 工具^[15]在门级运用 BDD 结构对故障传播建模,并叠加电路级的脉冲信息,通过电路分割减小复杂度。根据 7 个组合电路上的实验统计,FASER 方法的实施速度是基于 SPICE 模拟方法的 9000 倍,而误差在 12%。ZhangMing 等人开发了 SERA 工具^[16],结合物理层因素推导了门级高层抽象模型,运用图论算法和故障模拟方法分析逻辑屏蔽机制,HSPICE 电路模拟分析电气屏蔽和锁存窗屏蔽作用,与基于蒙特卡罗的模拟方法相比,加速比达到 10^5 的数量级,而误差损失不到 5%。

2) 结合解析模型的分析方法

Mohanram^[17]在分析 SER 时给出了 $R_{SEU}(n) * P_{sensitized}(n, l) * P_{latched}(n, l)$ 的解析模型,计算逻辑电路中的节点 n 到锁存器 l 的软差错易感度。其中 $R_{SEU}(n)$ 表示在节点 n 发生 SEU 后逻辑值被改变的机率, $P_{sensitized}(n, l)$ 表示从 n 到 l 存在敏化通路的概率, $P_{latched}(n, l)$ 表示 n 点故障被 l 锁存的概率。Nieuwland^[18]面向组合电路,通过所有门失效率 FR_{gate} 的总和来衡量整个电路失效率,其中 $FR_{gate} = G_{ser} * Glit_{observ} * EMF$, 这里门的软差错率 G_{ser} 通过输入向量出现的概率乘以这种输入组合下易感性系数得到;毛刺可观测度 $Glit_{observ}$ 表示毛刺在没被其他门逻辑屏蔽的情况下传播到原始输出的概率;电气屏蔽因子 EMF 表示一个毛刺从产生位置到原始输出的传播通路

上不被其他门削弱掉的概率。 FR_{gate} 越高,则这个门对电路软差错率的影响越大。最终算得的 $SER_{circuit}$ 可以用于比较针对软差错的不同容错设计,帮助设计者做出选择。

4.2 门级建模

这类方法通过计算发生在门级的软差错传播到电路原始输出的概率来衡量失效率,计算过程通常考虑电路的拓扑结构和传播路径信息,以及电路中各个门的类型和连接方式。典型的方法有计算单个输出节点 SER 的 TP 算法^[19]、通过计算差错传播率表征电路 SER 的 EPP 方法^[20],以及通过概率转移矩阵计算电路整体可靠度的 PTM 方法^[21]。

本文作者对上述 3 种方法做了全面的分析与比较^[22],TP 方法和 EPP 方法计算部分电路的失效率,PTM 方法度量整个电路的可靠性,较为完备准确。而 PTM 方法的复杂度为指数级,只能用于中小规模电路,为了解决此问题,文献^[23,24]分别提出了概率决策图和电路分割的方法,文献^[25]针对改进后的 PTM 模型的精度问题提出宏门的概念,将电路级因素考虑其中。S-EPP 方法对基于线性复杂度的 EPP 方法加以扩展,专门用于对时序单元差错锁存率的评估^[26]。

另外,通过门级概率差错传播模型度量电路可靠性的方法还包括基于布尔差分的差错率计算(Boolean Difference-based Error Calculator, BDEC)^[27]、PGM 模型^[28]。PGM 模型针对每个 PO 端进行计算,若电路中没有扇出则为线性复杂度;否则,采用多路径算法,以便缓解指数增长的复杂度。与 PGM 相比^[29],BDEC 对输入向量较为敏感,不同的原始输入组合会引起可靠度的较大波动。

以上定位在门级估计 SER 的方法一般先以门为单位建立模型计算差错率,然后沿敏化通路逐级计算直到 PO 端,这类方法主要分析了逻辑屏蔽的影响,属于局部分析方法。文献^[30]曾提到将电气屏蔽因素结合到 EPP 方法,通过电路级的模拟以及统计信息使分析过程更加全面准确。

5 RTL 级及系统级可靠性分析

根据已有的研究工作,系统级的可靠性评估方法可以分为故障注入法和故障分析法。

5.1 故障注入法

故障注入法是一种按照选定的故障类型在目标计算机系统中人为地产生故障并对系统响应信息收集处理的实验过程。目标计算机系统可以是系统原型,也可以是系统的一个抽象模型。一般地,直接向硬件原型系统注入故障时准确度高,但评估周期长,不易控制和观测;向抽象模型注入故障可以方便地控制故障的注入时间和注入地点,能够直接观测故障在模型中的行为,但要仔细平衡抽象层次、模拟速度以及准确度三者之间的关系。

基于原型系统的方法多采用非接触式的故障注入,通过特定的物理手段(包括重离子辐射、电磁干扰、激光放射等)从外界对目标系统施加影响,引起目标芯片内的突发性电流。这种方法的优点在于可以模拟目标系统在真实环境中所遭遇到的物理现象,缺点是不能精确确定重离子辐射或电磁场产生的时刻,导致无法控制故障注入的准确时间和位置。

系统级的软差错率可以通过存储器和逻辑单元的原始差错率即无工作负载时的分析结果以及它们的降级因子合成得到,如式(3)所示^[31]:

$$SER_{system} = A_{mem} SER_{mem} + A_{logic} SER_{logic} \quad (3)$$

其中, A_{mem} 和 A_{logic} 分别对应存储器和逻辑电路的降级因子,用以反映各自占系统差错率的比例,其取值依赖于芯片结构、版图布局和运行的应用程序。而对原始 SER,可以通过在强辐射的实验环境下统计单个位的失效率来测量,例如文献^[31]模拟 alpha 粒子和中子辐射观察 SER, Sierawski 等人探讨了 μ 介子对软差错率的影响^[32,33]。

基于原型系统的方法往往遇到用于测试的存储单元类型以及逻辑单元数目受限的问题,于是提出了基于模拟的故障注入方法,即采用位翻转的故障模型,通过 VHDL/Verilog、HDL 在 RTL 级描述系统,注入故障并运行一组典型工作负载,观察系统的运行情况,分析可靠性影响因素。

文献^[34]对龙芯 1 号进行软差错敏感性分析,同时运行 Golden CPU 和 Fault CPU,监视两个处理器的运行过程、收集故障信息并比较,将软差错敏感性定义为导致处理器运行失效的软差错总数占故障注入软差错总数的比例。文献^[35]对其设计的微控制器 FT51 评估容错性能时,提出的故障注入机制采取了随机复位寄存器的值和在组合逻辑中模拟毛刺,检测时将程序的运行轨迹与预期轨迹比较的方法。文献^[36]针对 AMD 的一款新设计的微处理器 Bulldozer,在 RTL 级注入差错,通过计算逻辑降级屏蔽因子来分析软差错敏感单元,以期在结构设计中有针对性地进行防错。

基于模拟的故障注入方法更多用于目标系统被制造之前对设计、功能进行验证和评估,不存在对目标系统可访问性方面的限制,并且可以精确监控所注入的故障,这样就可以直接验证设计,从而节省生产成本,同时提前对产品容错特性有了量化的评价;缺点在于建立模型所需的参数和设计细节往往很难得到,而且建模也比较耗时。而基于原型的故障注入方法可以直接发现目标系统设计中的问题,还可以较准确地考评系统在其所处的典型应用环境中对恶劣条件的反应,但需要在原型系统设计之后。

5.2 故障分析法

故障分析法源于 Mukherjee 等人提出的结构脆弱因子 AVF(Architectural Vulnerability Factors)分析^[37]。AVF 指发生在某一部件中的软差错能够引起程序执行结果错误的概率,其通过在结构级和微结构级分析结构正确执行位(Architecturally Correct Execution bit, ACE bit)来计算。某一结构的 AVF 值即为该结构包含 ACE 位的时钟数占总时钟数的比例。AVF 值越小,表明软差错对该结构的影响越小,也就是该结构在软差错影响下可靠性较好。

AVF 是在系统级分析一个故障位对程序最终输出的影响,AVF 的计算方法包括基于 ACE 位的分析方法^[37]和故障注入统计法^[38]。结合 AVF, Shubhendu^[39]给出了详细的失效率的因子分析法,该方法的流程如图 2 所示。图 2 中每一层父结点都是儿子结点的乘积,直至算出根结点部件 FIT,而系统 FIT 是部件 FIT 的和。

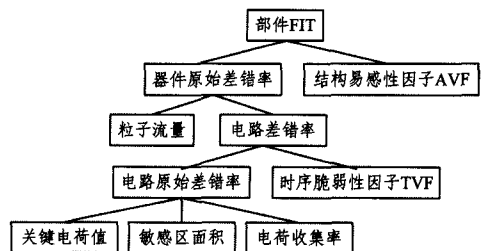


图 2 系统失效率计算因子分析

近来有工作^[40]将 ACE 分析结合到故障注入中,提出 CriticalFault 注入方案,即通过对故障位进行脆弱性分析来找出不同指令在不同寄存器上的 ACE 位,然后在这样的比特位上有导向地注入故障,从而使多数故障在没有容错机制的情况下不会被屏蔽降级。基于 CriticalFault 的故障注入统计法能够更加严格地评测容错系统的差错覆盖率。

6 方法比较

6.1 基于抽象层次的比较

本文分类的主干线即电路(或系统)的抽象级别,根据介绍的方法由低层到高层包括电路级、门级、RTL 及系统级。一般而言,基于的抽象层次越低,方法的准确性越高,尤其是通过故障注入方法分析可靠性时,抽象级别越接近物理实现,

则可以进行更为精确的故障建模,得到更为真实的故障行为分析。但低层方法的时间开销较大,过程更复杂,难以用于大规模复杂的电路结构。比如具有统计意义的大量故障注入,若是针对复杂结构在低层模拟,耗时难以想象。解析方法同理,基于的抽象级别越低,则考虑的因素、参数越多,模型越复杂;反之,基于的抽象级别越高,电路可靠性的度量过程及模型相对简单,容易实施,但在一定程度上损失了准确性。

表 1 总结了各类方法在具体技术、主要技术、适用范围、优缺点等方面的不同。显而易见,RTL 和系统级的方法适用范围明显增大,而门级方法与电路级方法的适用规模差别不大,这是因为多数电路级方法的输入就是门级网表,不同的是,处理同样规模的电路,一般门级方法耗时要少得多。

表 1 软差错率评估方法比较

方法分类	具体技术	主要技术	适用范围	优点	缺点
电路级	故障注入	基于 SPICE 模拟,以电流/电压变化仿效故障	中、大规模电路	准确	耗时
	模型分析	以故障概率为元素,振幅、时间为下标构成矩阵,并运算			
门级	综合分析	电路级分析电气屏蔽,门级分析逻辑屏蔽	大规模电路	较准确	耗时减小
	解析模型	计算信号概率,依据电路结构建立解析模型			
RTL、系统级	故障注入	通过物理方法(如电磁干扰)对原型系统注入故障;或者对模拟系统设计微结构级故障注入(如随机复位寄存器)	存储器、微处理器	适用规模大	低层参数未知
	故障分析	通过在结构级和微结构级分析结构正确执行位来计算 AVF			

6.2 基于方法属性的比较

各个抽象级别的分析按照方法属性又可以分成故障注入法和解析模型法。在同一个抽象级别上,解析模型方法省时、易处理,故障注入方法准确度高但时间开销大。

结束语 本文面向软差错影响下的电路可靠性分析问题,从不同层面多个角度介绍并分析了近十多年来的各种方法。各类方法都有其局限性和优越性,当面向具体的可靠性评估目标时,应根据需要和评估对象的特点选择适合的方法类型或者不同方法的结合,采取低层的模拟信息叠加到高层的解析模型、低层故障映射到高层进行分析等措施,平衡准确性与时间开销。

参考文献

[1] Eaton P, Benedetto J, Mavis D, et al. Single event transient pulse width measurements using a variable temporal latch technique [J]. IEEE Trans. on Nuclear Science, 2004, 51(6): 3365-3368

[2] Messenger G C. Collection of charge on junction nodes from ion tracks [J]. IEEE Trans. on Nuclear Science, 1982, 29(6): 2024-2031

[3] Alexandrescu D, Anghel L, Nicolaidis M. New methods for evaluating the impact of single event transients in VDSM ICs[C]// Proc. of the 17th IEEE Int. Symp. on Defect and Fault Tolerance in VLSI Systems. Vancouver, 2002: 99-107

[4] Rao R R, Chopra K, Blaauw D T, et al. Computing the soft error rate of a combinational logic circuit using parameterized descriptors [J]. IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 2007, 26(3): 468-479

[5] Watkins A, Tragoudas S. Transient pulse propagation using the weibull distribution function[C]// IEEE Int'l Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems(DFT). Austin, TX, USA, 2012: 109-114

[6] Ramanarayanan R, Degalahal V, Vijaykrishnan N, et al. Analysis of soft error rate in flip-flops and scannable latches[C]// IEEE Int. SOC Conference. Portland, 2003: 231-234

[7] Zhang M, Shanbhag N R. A soft error rate analysis (SERA) methodology[C]// Proc. of International Conf. on Computer Aided Design. Taipei, Taiwan, 2004: 111-118

[8] Rajaraman R, Kim J S, Vijaykrishnan N, et al. SEAT-LA: A soft error analysis tool for combinational logic[C]// Proceedings of the 19th International conference on VLSI Design. Hyderabad, India, 2006: 499-502

[9] Hubert G, Palau J M, Castellani-Coulie K, et al. Detailed analysis of secondary ions' effect for the calculation of neutron-induced SER in SRAMs[J]. IEEE Trans. on Nuclear Science, 2001, 48(6): 1953-1959

[10] Hubert G, et al. Prediction of transient induced by neutron/proton in CMOS combinational logic cells[C]// 12th IEEE Int. On-Line Testing Symposium, Lake of Como. Italy, 2006

[11] Xuan X, Chatterjee A. Sensitivity and reliability evaluation for mixed-signal ICs under electromigration and hot-carrier effects [C]// IEEE Int'l Symp. On Defect and Fault Tolerance in VLSI Systems. San Francisco, California, 2001: 323-328

[12] Ramakrishnan K, Rajaraman R, Suresh S, et al. Variation impact on SER of combinational circuits[C]// The 8th International Symposium on Quality Electronic Design(ISQED'07). San Jose, 2007: 911-916

[13] Zhao C, Bai X L, Dey S. Evaluating transient error effects in digital nanometer circuits[J]. IEEE Trans. on Reliability, 2007, 56(3): 381-391

[14] Sonza R M, Violante M. Accurate and efficient analysis of single event transients in VLSI circuits[C]// IEEE Int'l On-Line Testing Symposium. Kos Island, Greece, 2003: 101-105

[15] Zhang Bin, Wang Wei-shen, Orshansky M. FASER: fast analysis of soft error susceptibility for cell-based designs[C]// The 7th Int'l Symp. on Quality Electronic Design(ISQED'06). San Jose, CA, USA, 2006: 755-760

[16] Zhang Ming, Shanbhag N R. Soft-error-rate-analysis (SERA) methodology [J]. IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(10): 2140-2155

(下转第 21 页)

- Numbers of De Bruijn Graphs[J]. Taiwanese Journal of Mathematics, 2011, 15: 1101-1113
- [8] Xu Xi-rong, Yang Yuan-sheng, Ming Di. Feedback Vertex Set of Generalized De Bruijn Digraphs $GB(d, n)$ [J]. Utilitas Math, 2009, 79: 107-124
- [9] Xu Xi-rong, Yin Chun, Zhang Si-jia, et al. Improved Feedback Vertex Sets in Kautz Digraphs $K(d, n)$ [C]//International Conference on Computational Intelligence and Security. Kunming, China, 2014, IEEE, 2014: 161-165
- [10] Wang Lei, Xu Xi-rong, Yang Yuan-sheng, et al. Feedback Number of Generalized Kautz Digraphs $GK(2, n)$ [J]. Ars Combinatoria, 2014, 116: 147-160
-
- (上接第 12 页)
- [17] Mohanram K, Touba N A. Cost-Effective Approach for Reducing Soft Error Failure Rate in Logic Circuits[C]//International Test Conference. Charlotte, NC, USA, 2003: 893-901
- [18] Nieuwland A K, Jasarevic S, Jerin G. Combinational logic soft error analysis and protection[C]//The 12th IEEE Int'l On-line Testing Symposium. Lake of Como, Italy, 2006: 99-104
- [19] Sub K J, Nicopoulos C, Vijakrishnan N, et al. A probabilistic model for soft-error rate estimation in combinational logic[C]//Proc. of the 1st Int Workshop on Probabilistic Analysis Techniques for Real Time and Embedded Systems. Italy, 2004: 25-31
- [20] Asadi G, Tahoori M B. An analytical approach for soft error rate estimation in digital circuits[C]//IEEE Int Symp on Circuits and Systems. Kobe, 2005: 2991-2994
- [21] Krishnaswamy S, Viamontes G F, Markov I L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices[C]//Proc of the Design, Automation and Test in Europe Conference and Exhibition. Orlando, 2005: 282-287
- [22] Wang Zhen, Jiang Jian-hui, Yang Guang. Implementation and analysis of probabilistic methods for gate-level circuit reliability estimation[J]. Tsinghua Science and Technology, 2007, 12(S1): 32-38
- [23] Abdollahi A. Probabilistic decision diagrams for exact probabilistic analysis[C]//Proc. Int'l Conference on Computer Aided Design. San Jose, CA, 2007: 266-272
- [24] Wang Zhen, Jiang Jian-hui. A serial method of circuit reliability calculation based on probabilistic transfer matrix[J]. Chinese Journal of Electronics, 2009, 37(2): 241-247 (in Chinese)
王真, 江建慧. 基于概率转移矩阵的串行电路可靠度计算方法[J]. 电子学报, 2009, 37(2): 241-247
- [25] Xiao J, Jiang J, Zhu X, et al. A method of gate-level circuit reliability estimation based on iterative PTM model[C]//IEEE 17th Pacific Rim International Symposium on Dependable Computing. Pasadena, USA, 2011: 276-277
- [26] Asadi H, Tahoori M B. Soft error modeling and protection for sequential elements[C]//The 20th IEEE Int'l Symposium on Defect and Fault Tolerance in VLSI Systems. Monterey, USA, 2005: 463-474
- [27] Mohyuddin N, Pakbaznia E, Pedram M. Probabilistic error propagation in logic circuits using the boolean difference calculus[C]//26th IEEE Int'l Conf. on Computer Design. Lake Tahoe, 2008: 7-13
- [28] Han J, Chen H. Reliability evaluation of logic circuits using probabilistic gate models[J]. Microelectron Reliability, 2011, 51(2): 468-476
- [29] Singh N S S, Hamid N H, et al. Evaluation of circuit reliability based on distribution of different signal input patterns[C]//8th IEEE Int'l Colloquium on Signal Processing and its Applications. Malacca, 2012: 5-9
- [30] Asadi H, Tahoori M B, Tirumurti C. Estimating error propagation probabilities with bounded variances[C]//22nd IEEE Int'l Symp. on Defect and Fault Tolerance in VLSI Systems. Rome, Italy, 2007: 41-49
- [31] Zhu Xiao-wei, Baumann R, Pilch C, et al. Comparison of product failure rate to the component soft error rate in A multi-core digital signal processor[C]//IEEE 43rd Annual International Reliability Physics Symposium. New York, 2005: 209-214
- [32] Sierawski B D, Mendenhall M H, Reed R A, et al. Muon-induced single event upsets in deep-submicron technology [J]. IEEE Trans. On Nuclear Science, 2010, 57(6): 3273-3278
- [33] Sierawski B D, Reed R A, Marcus M H, et al. Effects of Scaling on Muon-Induced Soft Errors[C]//IEEE 49th Annual International Reliability Physics Symposium. Monterey, California, USA, 2011: 1-6
- [34] Huang Hai-lin, Tang Zhi-min, Xu Tong. Fault Injection and Soft Error Sensitivity Characterization for Fault-Tolerant Godson-1 Processor[J]. Journal of Computer Research and Development, 2007, 43(10): 1820-1827 (in Chinese)
黄海林, 唐志敏, 许彤. 龙芯 1 号处理器的故障注入方法与软错误敏感性分析[J]. 计算机研究与发展, 2007, 43(10): 1820-1827
- [35] Gong Rui, Chen Wei, Liu Fang, et al. FT51: A Soft Error Tolerant High Reliable Micro Controller [J]. Chinese Journal of Computers, 2007, 30(10): 1662-1673 (in Chinese)
龚锐, 陈微, 刘芳, 等. FT51: 一种容软错误高可靠微控制器[J]. 计算机学报, 2007, 30(10): 1662-1673
- [36] Cristian C, Mike B, Chris W. Error Injection-based study of soft error propagation in AMD Bulldozer Microprocessor Module[C]//Proceeding of International Conference on Dependable Systems and Networks. Boston, MA, USA, 2012: 1-6
- [37] Mukherjee S S, Weaver C, Emer J, et al. A Systematic Methodology to Compute the Architectural Vulnerability Factors for a High-Performance Microprocessor[C]//Proc. IEEE/ACM Int'l Symp. on Microarchitecture (MICRO-36). Westin Horton Plaza San Diego, CA, 2003: 29-40
- [38] Li Xiao-dong, Adve S V, Bose P, et al. Online Estimation of Architecture Vulnerability Factor for Soft Errors[C]//Proc. of the 35th Int'l Symp on Conference of Computer Architecture (ISCA). Beijing, China, 2008: 341-352
- [39] Mukherjee S S, Emer J, Reinhardt S K. The Soft Error Problem: An Architectural Perspective [C] // Proc. of the 11th Int'l Symp. on High-Performance Computer Architecture. San Francisco, 2005: 243-247
- [40] Xu Xin, Li M L. Understanding soft error propagation using efficient vulnerability-driven fault injection[C]//Proceeding of International Conference on Dependable Systems and Networks. Boston, Massachusetts, USA, 2012: 1-12