

大数据时代——从冯·诺依曼到计算存储融合

邱赐云 李礼 张欢 吴佳

(上海威固信息技术股份有限公司 上海 201702)

摘要 海量数据的出现和硬件计算能力的提升,催生了第三次人工智能的发展热潮,大数据时代来临。首先,分析了拥有冯·诺依曼体系结构的计算机在大数据时代遭遇的存储墙、带宽墙和功耗高问题,引出为适应和满足大数据处理需求的计算机体系结构的发展趋势;接着,分析计算机体系结构层面的计算存储融合技术、软硬件结构、offloading 算法的设计思路与技术特点,以及在商业系统中的应用,为高性能计算、数据中心建设和智能 SSD 产品设计等提供启发意义;分析微观层面基于硅穿孔的 3D 堆叠封装技术和最新的产业动态;最后,阐述代表计算存储一体化发展目标的类脑计算和最新的研究进展。

关键词 计算存储融合,存储墙,近端数据处理,3D 堆叠,智能固态硬盘

中图分类号 TP303 **文献标识码** A

Age of Big Data: from Von Neumann to Computing Storage Fusion

QIU Ci-yun LI Li ZHANG Huan WU Jia

(Shanghai V&G Information System, Ltd, Shanghai 201702, China)

Abstract The emergence of massive data and improvement of computing power aroused the 3rd artificial intelligence booming, and the age of big data arrived. This paper firstly analyzed firstly that computer with Von Neumann architecture faces the problem of memory wall, bandwidth wall and high power consumption in the age of big data, which evokes the changing of computer architecture development trend to match the requirement of big data processing. Then, the computing and storage fusion in computer architecture level, software and hardware structure, spirit of offloading algorithm, technology feature background, and the commercial application were analyzed, to enlighten the product design such as high performance computing, data centre setup and design of smart SSD. In micro level, the 3D stack package technology based on through silicon via was analyzed and the latest industry applications were introduced. Finally, artificial cognitive computation which represents the computing and storage fusion development goal and the latest research status were summarized.

Keywords Computing and storage fusion, Memory wall, Near-data processing, 3D stack, Smart solid state drives

1 引言

当今,集成电路制造工艺进入纳米级,单位面积晶体管密度持续提升,计算和存储能力不逊于电脑的智能手机出现;4G-LTE 移动通信网商用,将传输带宽从 3G 时代的 1Mb/s 提高到 100Mb/s,宣告移动互联网时代来临;海量出现的移动互联网应用,使得我们每个人既是数据的使用者也是生成者。我们无疑进入了一个数据大爆发时代。5G 移动通信标准第一版已于 2018 年 6 月发布,工信部制定了 5G 商用时间表,预计 2020 年将全面商用。5G 定义了增强移动宽带(eMBB)、低时延高可靠(URLLC)、海量大连接(mMTC)三大场景,分别针对 VR/AR、无人驾驶和物联网 3 种典型应用。持续提升的硬件计算能力与海量数据的出现,催生了第三次人工智能发展热潮¹⁾,预计到 2020 年数据处理量级将达到 ZB(10^{21} 字节)级别。

如何处理和存储不断增长的数据对现今的计算机体系结

构提出了新的挑战。本文主要从计算系统研究角度阐述为适应和满足大数据处理需求,计算机体系结构的发展趋势。

2 计算机体系结构的瓶颈

多年来,计算机体系结构一直遵循冯·诺依曼架构。计算、存储、控制与输入输出设备是构成计算机的基本要素。在这样的体系结构下,计算与存储分离,计算、存储独立演进,各自优化。传统的观点认为计算系统性能受限于计算能力,因而在计算方面投入大量研究并取得了不错的进展。在过去的 20 多年中,处理器的性能以每年大约 55% 的速度提升,内存性能的提升速度每年只有 10% 左右^[1]。长期累积下来,不平衡的发展速度造成了当前内存的存取速度严重滞后于处理器的计算速度,内存瓶颈导致高性能处理器难以发挥出应有的功效,遭遇到了所谓的存储墙(Memory Wall)问题。

目前,全球有多个国家正竞相研发百亿亿次(E 级)的超级计算机。美国能源部启动了“百亿亿次计算项目(Exascale

¹⁾ 20 世纪 50 年代和 20 世纪 80 年代曾分别出现过人工智能发展热潮

邱赐云(1977—),男,博士,高级工程师,主要研究方向为计算机体系结构与算法、计算存储融合技术,E-mail:eric.qiu@vpx-inc.com(通信作者);

李礼(1981—),男,博士,高级工程师,CCF 会员,主要研究方向为大数据处理与机器学习,E-mail:li.lee@vpx-inc.com;张欢(1982—),男,

硕士,高级工程师,主要研究方向为计算机体系结构、数据科学,E-mail:huan.zhang@vpx-inc.com;吴佳(1982—),男,硕士,高级工程师,主要

研究方向为固态存储技术,E-mail:jack.wu@vpx-inc.com。

Computing Project)”, 希望于 2021 年至少交付一台 E 级超算。中国计划于 2020 年推出首台 E 级超算, 国防科大、中科院曙光和国家并行计算机工程技术研究中心正积极开展相关研究。要想研制出 E 级超算, 科学家面临着极大的挑战, 功耗过高首当其冲。随着速度和性能要求的不断提高, 如果按现有设计方法, 通过不断增加处理器数量来研制超算, 其体型和规模会越来越大, 数据在存储器 and 处理器之间进出所消耗的功率会越来越多。以现有技术研制的 E 级超算功率高达千兆瓦, 需要一个专门的核电站来给它供电。而这一问题的根源竟来自于冯·诺依曼计算机体系结构计算与存储的分离。据研究, 数据搬动的功耗约占全部计算过程功耗的 50% 以上^[2]。如何降低功耗成为了超算中心必须解决的问题, 各国很多科学家致力于降低超算功率的研究。一些可行的技术方案包括, 让存储器更靠近计算器, 减少数据行进的距离; 让高性能存储器向三维扩展而不是朝二维延伸; 超算与闪存结合; 在芯片不使用时关闭其中的电路; 改变电压或频率等来节省功率等。

处理器的性能以每年大约 55% 的速度提升, 而据统计存储器单位 pin 脚的传输带宽每年提升的速度约为 12%^[3-4], 不均衡的发展速度导致传输带宽严重滞后于处理器的计算速度。处理器很多时间处于空转状态, 不得不等待数据, 特别是需要搬移海量数据 (Petabyte) 的大数据分析与处理应用场合, 遭遇所谓的带宽墙 (Bandwidth Wall) 问题。传输带宽限制引起的带宽墙问题进一步影响了处理器性能的发挥。面对带宽墙问题, 尽管采用了一些方法, 如增加传输倍率、发展 DDR2/DDR3/DDR4 技术, 提升内存传输带宽来减弱或消除带宽墙的影响, 但实际上随着多核处理器技术的发展, 传输带宽对高性能计算的影响并未减弱。随着人工智能算法的发展和数据的变大, 对存储带宽的要求也在升高^[5]。图 1 是典型神经网络 I/O 通信带宽需求和 Nvidia K40c GPU 实际带宽的差距。随着计算精度要求的提高, 模型趋于复杂, 对 I/O 通信带宽的需求迅速增加。当卷积核数量增加 16 倍时, 通信带宽提升到 5898.24 GB/s, 是 Nvidia K40c 带宽的 20 倍。

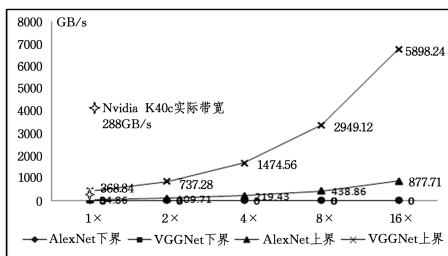


图 1 I/O 带宽墙

大数据时代的海量数据处理是一种以数据为中心的数据密集型技术, 现有的以计算为中心的技术难以满足其应用需求。大数据分析 with 处理对计算机体系结构提出了新的需求, 关注的重点不再仅限于数据的计算和加工, 更重要的是对数据的“搬运”。构建以数据为中心的计算系统的基本思路是从根本上消除不必要的数据流动。大数据处理的这些特点催生了计算机体系结构发生变革, 其中一个重要的方向是计算与存储融合。

3 计算存储融合技术

为了解决存储墙、I/O 带宽墙和功耗高的问题, 同时由于非易失存储、3D 堆叠等新技术的不断发展, 计算机体系结构

正发生着变革。从当前学术界讨论和工业界应用来看, 主要分为存储向计算靠近的融合结构、计算向存储靠近的融合结构 (为了后文叙述方便, 分别称为面向计算的融合结构和面向存储的融合结构), 以及 3D 堆叠和类脑计算。

3.1 面向计算的融合结构

现今的计算机体系结构有内存和外存之分。内存处理速度快但容量小, 外存容量大但是不能直接访问。处理器要访问数据, 须将数据从外存搬到内存, 再搬到缓存, 跨越计算机系统的存储层级结构。而内存处理器 (Processing In Memory, PIM) 的做法是将数据直接存放在内存, 计算过程不需要在内存与外存之间来回搬动数据, 从而克服了 I/O 带宽限制。内存容量一般较小, 比如谷歌第二代 TPU 内存为 64 GB^[6], 离 TB 甚至 PB 级别的大数据处理需求相差较远。如果技术的进步能大幅度提高内存容量, 那么内存处理器的设计思路有一定的意义。一个事实是, IBM System x3850 X5 服务器能提供最大 1 TB 的内存容量^[7]。

内存处理器中的内存具有易失性, 容量相对外存仍较小, 能够存储的数据有限, 难以应对不断增长的大数据处理需求。如果将存储介质换成非易失性的存储器, 则称为存储上的计算 (In Storage Computing, ISC)。存储上的计算将计算和存储放在一个系统内, 存储采用非易失闪存介质。IBM 的 Blue Gene Active Storage (BGAS) 结点是一种“存储上的计算”系统^[8]。每一个 BGAS 结点包含 32 个处理器, 每个处理器通过 PCIe 接口连接 2 TB 的 SLC NAND 非易失闪存。BGAS 结点与 Blue Gene/Q 高性能计算系统、外部存储系统共同组成 IBM Netezza 计算平台。Blue Gene/Q 负责高性能计算, 实时处理数据从 BGAS 结点读取, 长期存放的数据存储在外存储系统。从计算机体系结构看, BGAS 结点在功能上充当了 DRAM 作用。

非易失存储介质, 如 Flash, 具有容量大、断电数据不丢失的优点, 但读写延时和功耗方面与传统的 DRAM 内存有较大差距, 如表 1 所列。未来的发展方向是研究具备高速存取、功耗低的非易失存储介质, 如表 1 所列的相变存储器 (PCM)。

表 1 存储技术概览^[9-11]

Tech	Density	Latency		Energy		Idle power /GB
		read	write	read/ (pJ/bit)	write/ (pJ/bit)	
Flash	4F ²	25 us	200 us	250	250	10 mW
PCM	4F ²	67.5 ns	215 ns	3.4	17.8	1 mW
DRAM	4F ²	25 ns	25 ns	2.4	2.4	100 mW

具有非易失性、高速存取、功耗低等优点的新型材料存储器除了相变存储器, 还有铁电存储器 (FeRAM)、磁存储器 (MRAM) 和阻变存储器 (ReRAM)^[12]。这些新型存储器在存储机理上与既有技术不同, 从通过浮栅或电荷俘获层中的电荷移动模式转变为原子离子移动模式或自旋电子的移动模式。目前, 新型存储器在工艺的成熟性方面还有所欠缺, 但科学家已经取得了一些研究进展。比如加州大学的研究人员于 2016 年发布了一个在新型存储器件 ReRAM 里面做计算的 PRIME 架构, 让存储器件做神经网络计算, 实现计算存储一体化^[13-14]。该架构已在 150nm 工艺下流片验证^[15]。IBM 研究人员于 2017 年宣布在 100 万个相变存储器设备运行一种非监督式机器学习算法, 并在未知的数据流中成功发现了时间相关性 (Temporal Correlations)^[16]。研究人员利用相变存储器的物理特性, 执行相当高级的计算基元 (Computational Primitive), 计算结果也存储在存储器设备中。与目前最先进

的传统计算机相比,这种原型技术在计算速度和能源效率方面有 200 倍的提升。

3.2 面向存储的融合结构

区别于将存储靠近计算的融合结构,面向存储融合结构的设计思路是将计算靠近存储,将一部分计算任务卸载(off-loading)¹⁾至靠近数据存储的位置,利用内部总线而非 I/O 完成数据搬动。这通常通过在存储器加入计算功能部件实现,如 GPGPU、FPGA 和 ARM 处理器。Offloading 任务的实现需要软件的支持,处理会话的管理以及传输协议。Offloading 计算任务至存储器是非常实用且有效的策略,学术界称之为近端数据处理(Near Data Processing, NDP)。

目前,基于 NDP 思想的商业化产品已经出现。Mellanox 于 2015 年发布了基于可升级分层汇聚协议(SHArP)的 IB-2 网络交换设备^[17-18]。在网络交换设备内实现对数据的处理而不仅仅是完成数据的交换,有助于消除 I/O 通信瓶颈。

另一种体现 NDP 思想的商业化产品是近几年兴起的智能固态硬盘(smart SSD)。SSD 主要由大容量非易失性 NAND flash 构成,通常作为存储设备使用。为了完成地址转换、碎块整理等功能,SSD 嵌入了低功耗处理器(通常是 ARM 核)和内存资源(DRAM)。NAND flash、ARM、DRAM、控制器和内部总线构成一个事实上的计算机系统。智能 SSD 实现计算的过程是:SSD 接收主控 CPU 的计算需求,将数据从 flash 搬移至 SSD 内部 DRAM,SSD 内部处理器如 ARM 完成计算,并将计算结果返回主控 CPU。这有别于仅将 SSD 当作存储设备,接收 CPU 的指令,执行数据搬动功能。在整个过程中,数据在 SSD 内部搬动,利用的是内部高速总线;返回的计算结果数据量远小于计算所需的数据量²⁾。图 2、图 3 给出了一种智能 SSD 的软硬件系统结构^[19]。

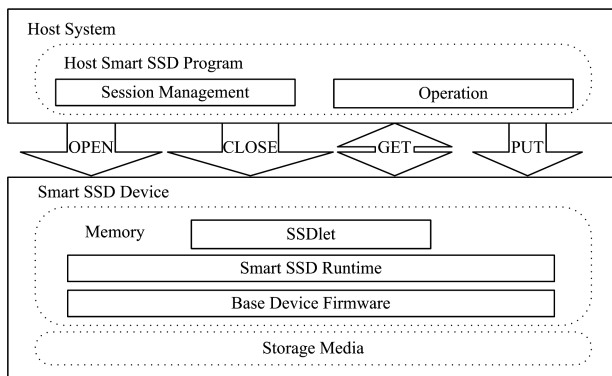


图 2 智能 SSD 软件系统结构^[19]

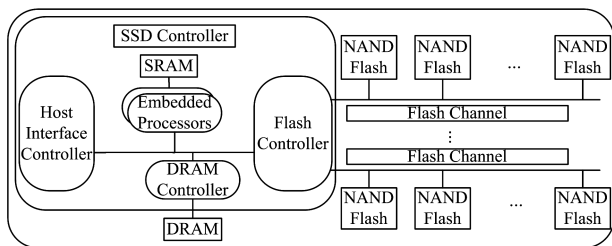


图 3 智能 SSD 硬件系统结构^[19]

智能 SSD 在大数据分析处理、数据挖掘、搜索引擎与数据库系统等方面有广泛应用,但应用不限于此。

文献^[20]阐述了智能 SSD 在 MapReduce 系统中的应用。MapReduce 最早是由 Google 公司研究并提出的一种面向大规模数据处理的并行计算模型和方法。大规模数据处理的特点决定了大量的数据记录难以全部存放在内存,而通常只能放在外存中进行处理。大规模数据处理时外存文件数据 I/O 访问会成为一个制约系统性能的瓶颈。为了减少大规模数据并行计算系统中的数据通信开销,把数据传送到处理节点(数据向处理器或代码迁移),研究人员设计系统将处理向数据靠拢和迁移,即将 MapReduce 系统的 MAP 操作 offloading 到 SSD。由于 SSD 的顺序访问要比随机访问快,Map 操作的顺序式大规模数据访问,充分利用了内部高速总线和 SSD 顺序访问的优点,同时数据就近处理以减少数据通过计算机存储层级体系的搬移。相比于传统系统,MapReduce 智能 SSD 应用带来了 2.3 倍的计算效率提升,而功耗仅与原系统相当^[20]。

文献^[19,21]研究智能 SSD 在搜索引擎领域的应用。搜索引擎公司(如百度、谷歌)提供搜索服务,使得普通大众能够快速、准确地获取信息,极大地促进了信息的共享。搜索引擎是一个规模庞大、结构复杂的系统,包括许多组件,组件之间协同工作以快速、准确地响应用户的请求。单一组件又可分解成一系列的操作。如何判断哪些操作可以 offloading 到 SSD 获得性能提升? 文章认为是对 I/O 通信带宽敏感(I/O-intensive)和对数据敏感(data-intensive)的两类操作。那些需要高效计算、对 CPU 计算敏感的操作则不适合 offloading 到 SSD。研究人员与 Samsung 公司合作,在 Samsung 智能 SSD 项目实现中验证了想法^[19,21]。

文献^[22]亦认为将数据或 I/O 敏感型操作 offloading 到 SSD 能获得性能增益。研究人员设计基于 FPGA 提供逻辑计算的相变存储智能 SSD 原型系统,以分布式高速缓存系统 Memcache 的操作 get 和 put 为例,评估其相对传统 PCIe 接口相变存储器的性能增益。原型系统的测试结果显示,智能 SSD 在处理效率方面有 7~10 倍的提升^[22]。

文献^[23]研究智能 SSD 在数据挖掘方面的应用,评估硬聚类算法 k-means 和频繁项集算法 Apriori offloading 到 SSD 所能带来的性能改善。文献^[24]研究数据结构中的外排序算法在智能 SSD 的应用。文献^[25]研究计算机文件系统、事物处理(Transaction Processing)在智能 SSD 的应用。文献^[26-28]研究数据库系统的扫描(Scan)、聚合(Aggregation)、分组(Group by)操作在智能 SSD 的应用。

得益于 SSD 内部总线的高速带宽、低时延以及计算靠近存储减少的数据搬动行进距离,这些研究反复论证了这一观点:将数据或 I/O 带宽敏感型操作 offloading 到智能 SSD,能带来计算效率和功耗性能的显著提升。

其他利用 SSD 计算能力、体现 NDP 思想的商业系统还有 IBM 蓝色基因超级计算机^[8,29]、Teradata 超级性能专用平台数据库系统^[30]、Oracle Exadata 新一代数据库云服务

¹⁾ offloading 是指将对数据处理的部分操作下移至存储系统,即在存储系统中增加通用或专用处理器或加速器,对需要存取的数据进行预处理,以降低从存储系统至内存的数据来回搬移量,避免 I/O 成为性能瓶颈^[32]

²⁾ 这通常是 NDP 带来增益的前提条件。一种评估某项计算任务采用 NDP 能否带来增益的准则是:计算任务的峰值计算带宽与处理器峰值浮点计算能力的比值^[33],比值越小越适合 NDP 操作

器^[31]。这些系统在采用 SSD 作为存储设备的同时将一部分计算任务移入 SSD,从而实现计算存储的紧密融合。

3.3 3D 堆叠

无论是让存储靠近计算的融合结构,还是让计算靠近存储的融合结构,本质均是通过计算与存储融合就近处理数据,减少数据搬动,消除大数据处理的通讯和存储等瓶颈。除了这种在计算机体系结构层面的融合,还有一种更为微观的融合——3D 堆叠,一种通过硅穿孔(Through Silicon Vias, TSV)技术实现的新型封装技术。它使单个封装体内可以堆叠多个不同工艺的芯片,实现异构封装。封装体内的芯片直接互连,互连线的长度显著缩短,信号传输更快,所受干扰更小。

体现计算存储融合的 3D 堆叠方案有高带宽存储(High Bandwidth Memory, HBM)和混合存储立方体(Hybrid Memory Cube, HMC)。HBM/HMC 的多层 RAM 电路通过硅穿孔技术(TSV)堆叠,实现存储容量的倍增,图 4 是 HBM 堆叠方案的示意图。被堆叠的分离芯片紧密耦合,从外表上看像是单一的芯片,减少对处理器缓存的需求,进一步提高处理速度。堆叠内存大、并行存储的特点让堆叠内存可以运行在更低的频率,给颗粒的低整体功耗打下了基础。

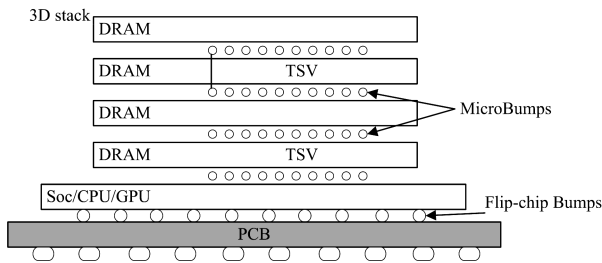


图 4 HBM 3D 堆叠

在产品应用方面,寒武纪第一代叫 DianNao,第二代叫 DaDianNao。DaDianNao 就是为了解决“存储墙”问题,在处理器旁边利用 eDRAM 技术放了更多的内存。2015 年 6 月,AMD 推出了世界上第一款使用 3D 堆叠的 GPU,其在 Fury X GPU 内部集成 4GB 3D 堆叠 HBM,大大减少了数据搬移的消耗。美光的 HMC 于 2015 年发布工程样品,并开始为在高性能计算领域的用户供货,这些用户包括 Intel 第二代 Xeon Phi 处理器以及 NVIDIA Pascal 架构的下一代 GPU。三星也在堆栈 DRAM 方面有所进展,采用“Widcon”技术的第二代 Wide I/O 方法获得验证,配合这种 3D 形式堆叠内存的下一代 Exynos 处理器应用于消费电子领域。

尽管 HBM/HMC 这类 3D 堆叠大容量存储已商用,但它们属于同质堆叠。构建数字与模拟多种芯片的异构堆叠尚处于研究阶段^[34]。异构堆叠普遍面临的技术挑战是结构稳定性,这种问题来源于不同材料、器件与工艺对结构的不同应力作用。相较于同质堆叠,异构堆叠中的模拟器件如射频前端,功率通常较大,高热引发的散热问题是另一项挑战。从目前的发展来看,基于微电子机械系统(MEMS)的微流体技术是解决散热问题的有效途径^[35]。

3.4 类脑计算

对于我们的人脑,有没有计算和存储的区别,比如用左半球计算,右半球存储?没有。人脑本身的计算和存储发生在同一地方,不需要数据搬移。因此人脑结构是一种计算与存储融合的结构。

在生物脑中,信息的处理是在神经网络中实现的,而数据本身则是分布式地存储于网络的各个节点(比如由神经元内的离子浓度表征)以及节点之间的连接(比如由突触的强弱表征)上。用单个电子器件模仿单个神经元的功能,而数量巨大的电子“神经元”以类脑的方式形成大规模并行处理的网络,成为非常有吸引力的方向^[36]。1971 年,华裔科学家蔡少棠教授提出了忆阻器的概念^[37]。忆阻器是一种有记忆功能的非线性电阻,其工作机理与神经元突触相似,忆阻器成为了硬件实现人工神经网络突触最好的方式^[38]。惠普实验室的研究人员认为 RRAM 就是 Chua 所说的忆阻器^[39]。Bielefeld 大学研究人员 2012 年制作出具有学习能力的忆阻器^[40]。2012 年,华中科技大学缪向水教授带领科研小组成功研发了性能稳定的纳米级忆阻器原型器件。

类脑计算除了需要硬件基础外,还要理解生物脑对于信息所做的计算,即类脑的处理及学习算法。神经形态领域典型的类脑算法有人工神经网络(ANN)和脉冲神经网络(SNN)。

IBM 公司研制的 TrueNorth 芯片是近年来类脑计算研究的里程碑式进展^[41]。TrueNorth 计算机架构采用 CMOS 电路器件组成生物学中的神经元的轴突(水平线)、树突(垂直线)和交叉阵列(突触),将网络中神经元和核心传递的脉冲信号作为有效信息,与人脑中的神经元和突触处理问题的方式一致(分布并行式及计算存储一体化),基于事件驱动并行完成运算、存储和通信。

目前,作为类脑计算基础单元的忆阻器,其工艺尚不成熟,寻找更合适(功耗低易于大规模实现)的忆阻器件是一个研究方向。此外,在学习规则上,目前的神经编程模型采用的是线下读参数的方式,而另一种更高级的方式是采用依赖于脉冲定时的塑性(STDP),最终实现硬件的在线学习功能。未来的研究方向是采用两种方法的混合,最终实现具有线上学习能力和适应性的神经突触形态计算机。

结束语 当今,大数据处理遭遇的存储墙、带宽墙以及功耗高等问题,催生了计算与存储融合的计算机体系结构。在新的体系结构下,计算朝着就近存储处理甚至计算存储高度一体化的方向发展。计算与存储的融合,已经证明是解决通信带宽与计算效率不足、功耗高等问题的有效办法。随着新材料、新封装技术与制造工艺的不断发展,以及人类对自身认知水平的不断提高,计算机体系结构将进一步演化,促进计算基础设施完善,适应和满足大数据处理和人工智能发展的需要,推动人类社会的进步。

致谢 在论文的写作过程中,王雨雷对论文的结构编排提了有价值的建议,叶韬、吴春提供了关于带宽墙和存储介质的参考资料,周正对全文进行了校正,在此一并表示感谢!

参考文献

- [1] WULF W A, MCKEE S A. Hitting the memory wall: Implications of the obvious[J]. SIGARCH Computer Architecture News, 1995, 23(1): 20-24.
- [2] TIWARI D, VAZHKUDAI S, KIM Y, et al. Reducing data movement costs using energy efficient, active computation on SSD[C]// USENIX Conference on Power-aware Computing & Systems, 2012: 4.
- [3] ROGERS B M, KRISHNA A, BELL G B, et al. Scaling the bandwidth wall: Challenges in and avenues for CMP scaling[J].

- SIGARCH Computer Architecture News,2009,37(3):371-382.
- [4] STANLEY-MARBELL P,CABEZAS V C,LUIJTEN R. Pinned to the walls:impact of packaging and application properties on the memory and power walls[C]//2011 International Symposium on Low Power Electronics and Design (ISLPED). 2011:51-56.
- [5] DENG Z X,XU C,CAI Q,et al.Reduced-Precision Memory Value Approximation for Deep Learning[Z]. Hewlett Packard Labs,2015.
- [6] RUSSELL J. Google Debuts TPU v2 and will Add to Google Cloud [EB/OL]. <https://www.hpcwire.com/2017/05/25/google-debuts-tpu-v2-will-add-google-cloud>.
- [7] STARKE W J,DALY D,BLANER B,et al.The cache and memory subsystems of the IBM POWER8 processor[J]. IBM Journal of Research and Development,2015,59(1):1-3.
- [8] JÜLICH SUPERCOMPUTING CENTRE. Blue Gene Active Storage Boosts I/O Performance at JSC [EB/OL]. <http://www.fz-juelich.de/sharedDocs/pressemitteilungen/UK/EN/2013/13-11-18bags.html>.
- [9] KGIL T,MUDGE T. FlashCache:A NAND flash memory file cache for low power web servers[C]//International Conference on Compilers, Architecture, and Synthesis for Embedded Systems. 2006:103-112.
- [10] LEE B C,IPEK E,MUTLU O,et al. Architecting phase change memory as a scalable DRAM alternative[C]//Proceedings of the 36th Annual International Symposium on Computer Architecture (ISCA'09). 2009:2-13.
- [11] Phase Change Memory[EB/OL]. <http://www.pdl.cmu.edu/SDI/2009/slides/Numonyx.pdf>.
- [12] CHEN X,XIAO N,LIU F. Survey on I/O Stack for New Non-Volatile Memory[J]. Journal of Computer Research & Development,2014,51(Suppl.):18-24.
- [13] 谢源. 人工智能时代的计算机架构创新[C/OL]. 新智元·AI WORLD 2017 世界人工智能大会. http://www.sohu.com/a/207987558_473283.
- [14] CHI P,LI S C,XU C,et al.PRIME:A Novel Processing-in-memory Architecture for Neural Network Computation in ReRAM-based Main Memory[C]//ISCA. 2016:27-39.
- [15] 李双辰,谢源. 计算存储一体化芯片[J]. 中国计算机学会通讯,2018,14(2):16-19.
- [16] SEBASTIAN A,TUMA T,PAPANDREOU N,et al. Temporal correlation detection using computational phase-change memory [J]. Nature Communications,2017,8(1):1-10.
- [17] SHAINER G. Intelligent networks:A new co-processor emerges [EB/OL]. The Next Platform, <http://www.nextplatform.com/2016/03/02/intelligent-networks-a-new-co-processor-emerges>.
- [18] TRADER T. Mellanox touts arrival of intelligent interconnect [EB/OL]. <https://www.hpwire.com/?s=Mellanox+touts+arrival+of+intelligent+interconnect>.
- [19] WANG J G,PARK D,PAPAKONSTANTINOU Y,et al. SSD In-Storage Computing for Search Engines[J]. IEEE Transactions on Computers,2016,PP(99):1.
- [20] PARK D C,KEE Y S. In-Storage Computing for Hadoop Map-Reduce Framework: Challenges and Possibilities [J]. IEEE Transactions on Computers,2016,PP(99):1.
- [21] WANG J,PARK D,KEE Y S,et al. SSD In-Storage Computing for List Intersection[C]//DaMoN. 2016:1-8.
- [22] DE A,GOKHALE M,GUPTA R,et al. Minerva: Accelerating data analysis in next-generation SSDs[C]//IEEE International Symposium on Field-programmable Custom Computing Machines. 2013:9-16.
- [23] BAE D,KIM J,KIM S,et al. Intelligent SSD: A turbo for big data mining [J]. Computer Science & Information Systems, 2013,13:1573-1576.
- [24] LEE Y S,QUERO L C,LE Y,et al. Accelerating external sorting via on-the-fly data merge in active SSDs[C]//Usenix Conference on Hot Topics in Storage & File Systems. 2014.
- [25] SESHADRI S. Willow: A user-programmable SSD[C]//Usenix Conference on Operating Systems Design Implementation. 2014:67-80.
- [26] KIM S,OH H,PARK C,et al. Fast energy efficient scan inside flash memory[C]//Proceedings of 2nd International Workshop Accelerating Data Management Systems Using Modern Processor Storage Architecture. 2011:36-43.
- [27] DO J,KEE Y S,PATEL J M,et al. Query processing on smart SSDs:Opportunities and challenges[C]//ACM Sigmod International Conference Management of Data. 2013:1221-1230.
- [28] WOODS L,ISTV AN Z,ALONSO G. Ibox—An intelligent storage engine with support for advanced SQL off-loading[J]. Proceedings of the VLDB Endowment,2014,7(11):963-974.
- [29] OHMACHT M,GSCHWIND M,BOYLE P,et al. The IBM Blue Gene/Q Compute Chip[J]. IEEE Micro,2012,32(2):48-60.
- [30] TERADATA Corporation. TERADATA extreme performance alliance[EB/OL]. <http://www.teradata.com/t/extreme-performance-appliance>.
- [31] CHRISTMAN G,JERNIGAN K. Oracle exadata white paper [M]. 500 Oracle Parkway,Redwood shores,CA,Oracle Corporation,2011.
- [32] 翁楚良,张树杰. 计算与存储融合体系结构[J]. 中国计算机学会通讯,2014,10(4):24-29.
- [33] WILLIAMS S,WATERMAN A,PATTERSON D. Roofline: An insightful visual performance model for multi-core architectures [J]. ACM,2009,52(4):65-76.
- [34] PATTY C C. Wafer-scale Assembly & Heterogeneous Integration Technologies for MMICs [C]//IMS 2012 3D Integrated Circuit Workshop. 2016.
- [35] KIM Y J,JOSHI Y K,FEDOROV A G,et al. Thermal characterization of interlayer microfluidic cooling of three-dimensional integrated circuits with nonuniform heat flux [J]. Journal of Heat Transfer,2010,132(4):2.
- [36] 余山. 从脑网络到人工智能——类脑计算的机遇与挑战[J]. 科技导报,2016,34(7):75-77.
- [37] CHUA L O. Memristor: the missing circuit element [J]. IEEE Transactions on Circuit Theory,1971,18(5):507-519.
- [38] JO S H,CHANG T,EBONG I,et al. Nanoscale Memristor Device as Synapse in Neuromorphic Systems [J]. Nano Letter, 2010,10(4):1297-1301.
- [39] STRUKOV D B,SNIDER G S,STEWART D R,et al. The missing memristor found [J]. Nature,2008,453:80-83.
- [40] THOMAS A. Memristor-based neural networks [J]. Journal of Physics D Applied Physics,2013,46(9):093001.
- [41] MEROLLA P A,ARTHUR J V,ALVARE-ICAZA R,et al. Artificial brains: A million spiking-neuron integrated circuit with a scalable communication network and interface [J]. Science,2014,345:668-673.