

基于逻辑门类型的老化路径约减算法

邢 璐¹ 梁华国² 严鲁明¹ 张丽娜¹ 余天送²

(合肥工业大学计算机与信息学院 合肥 230009)¹

(合肥工业大学电子科学与应用物理学院 合肥 230009)²

摘 要 随着 CMOS 集成电路工艺尺寸的不断缩小,电路可靠性问题日益严重,而由 NBTI 效应引起的电路老化问题尤其突出。由于实际电路大多比较复杂,路径较多,如果对所有路径进行老化预测,工作量会非常大。针对这一实际难题提出了一种基于电路路径中门种类和数目的迭代算法,用来划分和约减电路中不受老化影响电路功能的电路路径。该方法根据路径中每类门的数目和门种类对电路老化的不同影响程度将电路路径进行分类,约减掉不需要预测老化的路径,减少了老化预测的工作量,提高了电路老化预测的效率。

关键词 老化预测,关键路径,路径约减,电路可靠性

中图分类号 TP306+.2 **文献标识码** A

Aging Path Reduction Algorithm for Type of Logic Gates

XING Lu¹ LIANG Hua-guo² YAN Lu-ming¹ ZHANG Li-na² YU Tian-song²

(School of Computer and Information, Hefei University of Technology, Hefei 230009, China)¹

(School of Electronic Science & Applied Physics, Hefei 230009, China)²

Abstract As decrease of CMOS technology scaling of integrated circuit, the problems of circuit reliability are more serious, and the circuit aging caused by NBTI is especially conspicuous. In fact, most of circuits are complicated and there are many paths in a circuit. The workload will be large if we predict aging of all paths. In this work, we proposed an iterative algorithm based on types and number of logic gates on one path, which is used to reduce the protected circuit paths. The algorithm classifies all paths by the number of every kind of logic gate and different influence of logic gates types on circuit aging, then removes the secure path of which aging will not occur, lessens the workload of circuit aging prediction, and improves the efficiency of aging prediction.

Keywords Aging prediction, Critical path, Path reduction, Circuit reliability

1 引言

CMOS 集成电路工艺尺寸的不断缩小不可避免地导致了新的可靠性问题,如负偏压温度不稳定(NBTI)、非导电性受压(NCS)等^[1]。其中,NBTI 主要影响 pMOS 元件,并可能导致生命周期中阈值电压(V_{th})最多 50mv 的变化,在极端情况下,会转化为在电路速度和功能故障方面超过 20% 的退化^[2]。当栅氧化层尺寸小于 4nm 时,NBTI 逐渐成为电路性能下降的主要因素^[3]。实验数据表明,NBTI 随着栅氧化层变薄和操作温度变高而成倍恶化^[4]。另外,动态工作条件对 NBTI 的影响很大,如电源电压(V_{dd})、温度(T)和占空比(α)等。通常这些因素变化对电路所造成的老化影响是很复杂的,且随着门和时间的不同而变化^[5]。例如占空比的不确定性可能导致在预测时序退化时超过 5 倍的误差,而不同占空比的详尽分析在计算上是极其耗时的,因此准确地全面预测实际电路的路径老化程度是一个十分复杂的课题^[6]。研究如何减少预测老化的工作量具有很重要的现实意义和应用价值。

在该方向现有的研究中,大多研究是通过确定时序余量来估算路径老化后的时延,并进行时延排序,找出不会因老化而影响电路性能的路径,这些路径的老化预测在时序分析时就可以免去。相关的研究成果有:Wang^[7]提出一种快速最坏情况下路径老化预测,其计算最坏工作条件下的路径时延,再加上将路径最多老化的时序余量作为路径最坏情况下的老化量,通过排序约减不会受老化影响的路径,减少了工作量;靳松^[8]提出通过确定关键路径来确定老化影响程度较高的电路路径,对这些路径需进行重点老化防护。但这些研究仍要对整个路径进行老化时序分析,预测过程的计算量仍然很大,而且没有考虑到路径内的逻辑门对整体老化程度的影响,可以约减的路径数目不太可观。为了更大程度地减少预测计算量,本文提出了一种基于逻辑门类型的路径划分及约减算法,其针对在电路时序中老化程度相对较多的门,而不是对时序退化进行具体分析。该方法根据路径中每种门的数目将电路中所有路径划分为 3 类:电路性能一定受老化影响的关键路径、可能受老化影响的潜在关键路径和一定不受老化影响的

到稿日期:2013-07-01 返修日期:2013-11-01 本文受基于老化特征的集成电路失效预测与防护基金(61274036)资助。

邢 璐(1989—),女,硕士生,主要研究方向为集成电路老化测试,E-mail:295654851@qq.com;梁华国(1959—),男,教授,博士生导师,主要研究方向为嵌入式系统综合与测试、数字系统设计自动化等。

安全路径;再针对可能受老化影响的潜在关键路径,根据门类型对电路老化的不同程度影响,进行门种类和数目的进一步分析,将电路更细致地划分为不会被老化影响性能的电路路径和容易受老化影响的关键路径。该约减算法大大减少了需要进行老化防护的电路路径,降低了老化预测和老化保护的开销,并提高了电路老化预测的工作效率。

2 框架模型的改进

2.1 典型 NBTI 时序分析框架

图 1 是一个典型的 NBTI 感知时序分析框架示意图^[9]。该模型是从晶体管级的精确退化模型开始的,首先在 NBTI 效应下,NBTI 晶体管预测模型用来表征不同的基本电路逻辑门的时序特征,如与非门和或非门等,而由该 NBTI 晶体管预测模型可建立一个 NBTI 感知库,其包含了所有逻辑门的老化预测情况;接下来,由 NBTI 感知库建立一个对由 NBTI 引起的 V_{th} 偏移具有敏感性的门级时序模型;最后,再通过 NBTI 激活时序分析算法对实际电路路径做时序分析,从而预测路径的老化情况。该 NBTI 感知时序分析框架作为本文研究的主要实验平台,针对不同工作条件下路径总时延的变化量进行预测,用来分析路径延迟老化的程度,进一步得出路径性能受老化影响的程度。

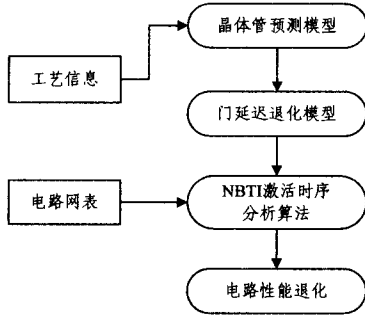


图 1 NBTI 感知时序分析框架

2.2 ΔV_{th} 和门延迟预测模型

该 NBTI 时序分析框架中,晶体管退化预测模型建立了一个针对 ΔV_{th} 的长期非周期性预测模型^[10],用来对单个门进行老化预测。因为 NBTI 效应引起的可靠性降低仅仅在一个长期时间内比较明显,所以通过循环仿真进行长期预测是不现实的。式(1)给出了由 NBTI 导致的 ΔV_{th} 的长期非周期性预测模型公式。其中, K_v 是与电场、温度和载体浓度相关的函数, n 是时间因子常数,等于 0.16。给定一个时间段 t , ΔV_{th} 可通过长期预测模型预测。通过同一条件下的仿真实验,对于不同的 α ,长期预测模型和短期仿真结果的区别在 5% 以内,因此,这个长期非周期预测模型和短期逐周期仿真结果比较匹配^[11]。

$$\Delta V_{th} = (\sqrt{K_v^2 \cdot T_{clk} \cdot \alpha / (1 - \beta^{2/n})})^{2n} \quad (1)$$

其中,

$$\beta = 1 - \frac{2\xi_1 \cdot t_e + \sqrt{\xi_2 \cdot C \cdot (1 - \alpha) \cdot T_{clk}}}{2t_{ox} + \sqrt{C \cdot t}} \quad (2)$$

$$K_v = \left(\frac{qt_{ox}}{\epsilon_{ox}}\right)^3 K^2 C_{ox} (V_{gs} - V_{th}) \sqrt{C} \exp\left(\frac{2E_{ox}}{E_0}\right) \quad (3)$$

观察式(1),针对电路快速时序分析,可以进一步简化预测模型公式。在一个特定工艺节点下,给定一组环境条件,如 V_{dd} 和 T , ΔV_{th} 可以表示为一个与输入占空比 α 相关的函数, $\Delta V_{th} = b \cdot \alpha^n \cdot t^n$,其中 $b = 3.9 \times 10^{-3} V/s^{-1/6}$ 。简化模型与长

期预测模型式(1)的比较验证结果如图 2 所示。显然,该简化模型可以精确地预测不同受压时间段后 V_{th} 的退化程度^[12]。

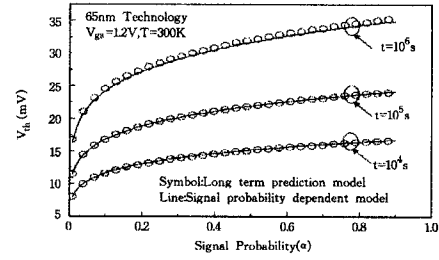


图 2 长期预测模型和简化模型的拟合验证^[12]

前期研究工作表明单个门的时延,作为一个一阶近似,线性正比于阈值电压 V_{th} ,根据 ΔV_{th} 的简化预测模型,可以得到由于 NBTI 效应导致的门延迟模型公式^[13]:

$$t_{pi} = a_{0i} + a_{1i} \cdot \alpha^n \cdot t^n \quad (4)$$

其中, a_{0i} 表示没有 NBTI 效应时门的固有延迟, a_{1i} 是一个常数因子。在一些离散的时间段中,利用 spice 仿真工具中的 65nm 工艺库模型提取了反相器、与非门和或非门的延迟信息。通过拟合公式(3)的仿真结果,得到 a_{0i} 和 a_{1i} 系数的值。

对于一条完整路径,将该路径中所有门的延迟相加,即可得出路径总延迟公式^[13]:

$$T = \sum (a_{0i} + a_{1i} \cdot \alpha^n \cdot t^n + a_{0j} \cdot (1 - \alpha)^n \cdot t^n) \quad (5)$$

3 电路路径延迟公式的改进

根据上述的前期研究成果,已有的路径总延迟公式没有完全表征出逻辑门间的电路功能对延迟的影响,因此本文对上述的路径总延迟公式进行了改进,提出一种计算电路路径延迟的公式(6)。该公式针对电路中的某条路径,考虑电路路径中门之间的逻辑功能关系,即门功能导致的占空比变化,得到一条路径的完整延迟。其中, m 表示一条路径中门的数目, B_{1i} 和 B_{2i} 表征的是电路路径中第 i 个门的逻辑功能,当第 i 个门的逻辑功能为不反向时, $B_{1i} = 1, B_{2i} = 0$;当第 i 个门的逻辑功能反向时, $B_{1i} = 0, B_{2i} = 1$ 。

$$T_m = \sum_{i=1}^m a_{0i} + \left(\sum_{i=1}^m B_{1i} a_{1i}\right) \cdot \alpha^n \cdot t^n + \left(\sum_{i=2}^m B_{2i} a_{1i}\right) \cdot (1 - \alpha)^n \cdot t^n \quad (6)$$

通过高等数学中求极值的方法可以得出,占空比 α 的变化对于 T_m 大小的影响曲线是先增大后减小的,即每条路径都存在一个最坏占空比 α_{worse} ,使得 T_m 的值达到最大。

4 电路划分及约减算法

本文研究的主要方向是基于 NBTI 激活时序分析算法模块。传统的方法中,该模块应用的是基于路径退化分析的快速预测方法,这种方法减少了预测的路径数目,确定了电路路径的老化防护范围。但是这种方法只考虑了路径整体时延,没有考虑每种逻辑门对路径的不同影响程度,不能精确地对电路路径的老化程度进行分类,在后续老化预测的步骤中不能高效地减少预测量。

本文提出了一种基于电路路径中门种类和数目的迭代算法来预测路径的老化程度,该方法根据路径中每种门的数目将电路中所有路径划分为 3 类:电路性能一定受老化影响的关键路径、可能受老化影响的潜在关键路径和一定不受老化影响的安全路径。再针对可能受老化影响的潜在关键路径,根据门类型对电路老化的不同程度影响,进行门种类和数目

的进一步分析,将电路更细致地划分为不会被老化影响性能的电路路径和容易受老化影响的关键路径,减少了需要预测老化的电路路径。假设电路中门的种类有 m 种,本文中电路划分和约减迭代算法的具体步骤如下:

1. 给定一个实际电路和一组工作条件,如温度 T 、 V_{dd} 、老化时间 t 。由于实际路径中输入占空比的数值和数目不确定,如果全部精确考虑,工作量会大大增加,因此对路径中每种门采用延迟最大的情况进行预测,即在最大占空比 $\alpha=1$ 的情况下进行计算,而对于反相器这种功能单一的逻辑门,采用最坏占空比 $\alpha=0.5$ 来计算。通过门预测模型公式计算一段时间 t 后由于 NBTI 效应电路中每类逻辑门的延迟,提取出其中延迟最大的逻辑门 A 和延迟最小的逻辑门 B,老化延迟分别设为 t_{\max} 和 t_{\min} 。

2. 通过仿真得出电路中所有路径的固有延迟,其中固有延迟的最大值为 T_{\max} 。假设设计时的预留余量为 $q\%$,即如果老化后的电路路径总延迟 $< T_{\max} \times (1+q\%)$,该路径的电路老化不会对电路性能造成太多影响,因此可以不对该路径进行老化防护。计算 $\frac{T_{\max} \times (1+q\%)}{t_{\max}} = N_A$, N_A 表示当一条路径中全为逻辑门 A 时,路径不受老化影响情况下可以包含的最大逻辑门数目。因 A 是老化延迟最大的逻辑门,当电路路径中门数目为 N_A 时,全为逻辑门 A 是该路径老化延迟最大的情况,即当电路路径中门个数 $< N_A$ 时,该路径一定不会发生老化,因此可以约减掉门数目 $< N_A$ 的电路路径。同理,设某条路径中全为逻辑门 B 时,计算 $\frac{T_{\max} \times (1+q\%)}{t_{\min}} = N_B$, N_B 表示当一条路径中全为逻辑门 B 时,路径不受老化影响情况下可以包含的最大逻辑门数目。因 B 是老化延迟最小的逻辑门,当电路路径中门数目为 N_B 时,全为逻辑门 B 是该路径老化延迟最小的情况,即当电路路径中门个数 $> N_B$ 时,该路径一定会发生老化,这部分电路必须进行防护。电路划分的原理波形如图 3 所示。

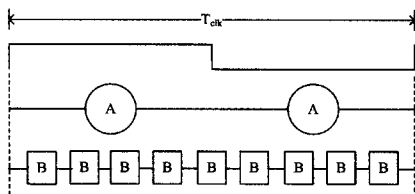


图 3 电路划分原理波形图

3. 对这 m 种不同种类逻辑门在某一组工作条件下的老化延迟进行排序,老化延迟分别用 T_1, T_2, \dots, T_m 表示。假设老化后的延迟排序为 $T_1 < T_2 < \dots < T_m$ 。分别计算 $\frac{T_{\max} \times (1+q\%)}{T_i} = n_i, i=1, 2, \dots, m$ 。针对电路中逻辑门个数在 $[N_A, N_B]$ 区间内的路径,首先判断若一条路径中某种门 i 的个数 N_i 小于 n_i ,则该路径一定不会导致电路失效,故不需要保护该路径。对余下的路径再判断若 $N_1 + N_2 + \dots + N_i \leq n_i$,该路径功能也不会受到老化影响,而剩下的电路路径则是极可能受老化影响的,需要进行老化防护。路径约减算法具体判断过程流程如图 4 所示。

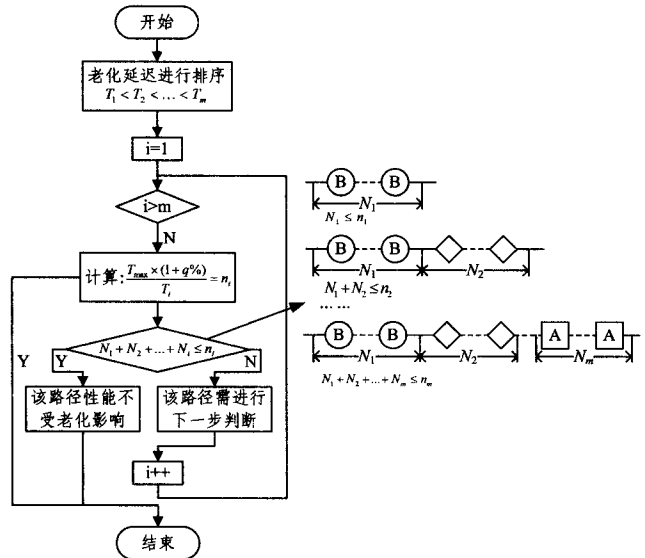


图 4 路径约减算法流程图

5 实验结果及分析

本文提出的约减算法的实现过程主要通过 spice 仿真平台和 C++ 编程工具来实现。实验在 65nm 工艺下进行,工作条件为 $V_{dd}=1.2V$,温度 $T=70^\circ C$ 。为了验证该算法的有效性,对 ISCAS89 系列相关电路通过本文的约减算法进行了电路时序分析,分别在余量 $q\%=5\%, 10\%, 20\%$,老化时间分别为 5 年和 10 年这几种条件下进行实验。实验结果如表 1 所列,其中 m 为 5 年后老化后约减的路径条数, n 为 10 年后老化后约减的路径条数, $p\%$ 为约减路径与总路径的百分比。

表 1 ISCAS89 系列电路约减后的实验结果

电路名	路径数	$q\%=5\%$				$q\%=10\%$				$q\%=20\%$			
		m	p%	n	p%	m	p%	n	p%	m	p%	n	p%
S27	24	11	45.8%	10	41.6%	14	58.3%	12	50%	16	66.7%	13	54.2%
S298	231	115	49.8%	106	45.9%	134	58.0%	119	51.5%	146	63.2%	139	60.2%
S510	369	137	37.1%	119	32.2%	149	40.4%	134	36.3%	168	45.5%	138	37.4%
S526	410	220	53.7%	141	34.4%	263	64.1%	165	40.2%	269	65.6%	201	49.2%
S832	506	273	54.0%	198	39.1%	304	60.1%	214	42.3%	317	62.6%	228	45.1%
S953	1156	721	62.4%	437	37.8%	756	65.4%	461	39.9%	793	68.6%	507	43.9%
SI196	3098	1487	48.0%	1275	41.2%	1539	49.7%	1390	44.9%	1801	58.1%	1474	47.6%
SI238	3559	2163	60.8%	1619	45.5%	2208	62.0%	1674	47.0%	2392	67.2%	1825	51.3%

以 s27 电路为例,说明该路径约减算法的实现过程,现通过本文方案约减 $q\%=5\%$ 时 s27 电路 5 年后的老化路径。由 s27 电路结构可知,s27 电路中有 5 类逻辑门,分别为与门、或门、非门、与非门、或非门,并有 24 条不同的电路路径。首先通过 spice 仿真工具测量出电路中每种门的固有延迟,利用本

文提出的计算路径延迟公式可得没有老化时 T_{\max} 的值。再由晶体管退化模型和门延迟退化模型的延迟公式计算出 5 年和 10 年后每种门的老化延迟,并进行排序,由实验结果可得或非门的老化延迟最小 t_{\min} ,或门的老化延迟最大 t_{\max} 。最后根

(下转第 40 页)

一定的分析,并提出两种不同的 TPG 结构和测试配置不同的改进方法,其在相同的测试开销下显著提高了 TPG 内故障的覆盖率。

由于 TPG 内的故障覆盖率显著提高,测试链中 TPG 与 CUT 的划分被模糊,使得 TPG 在某种程度上也可以被视作 CUT 的一部分,提高了测试方法对所涉及资源的覆盖率。

后续工作将在此基础上,进一步对考虑全部涉及资源的链式 FPGA 自测试方法进行研究,以期得到测试效率更高的自测试方法。

参 考 文 献

- [1] Wei K H, Meyer F J, Xiao-Tao C, et al. Testing configurable LUT-based FPGA's[J]. IEEE Trans. on Very Large Scale Integration (VLSI) Systems, 1998, 6(2): 276-283
- [2] Wei K H, Meyer F J, Lombardi F. An approach for detecting multiple faulty FPGA logic blocks[J]. IEEE Trans. on Computers, 2000, 49(1): 48-54
- [3] Abramovici M, Stroud C E. BIST-based test and diagnosis of FPGA logic blocks[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2001, 9(1): 159-172
- [4] Atoofian E, Navabi Z. A BIST architecture for FPGA look up

(上接第 26 页)

据本文提出的路径约减算法步骤 2 可以约减掉 5 条肯定不会受老化影响的路径,由步骤 3 可以约减掉 6 条肯定不会受老化影响的路径,所以共约减了 s27 电路中 11 条肯定不会受老化影响电路性能的电路路径,即只需对余下的 13 条路径进行老化防护。

表 1 的实验结果显示,该约减算法对于绝大部分电路的路径约减是十分有效的。当 $q\% = 5\%$ 时,对于 5 年的老化时间,平均可以约减 51% 的路径,对于 10 年的老化时间,平均可以约减 40% 的路径。另外,从表中数据可看出,对于路径数较多的电路,该算法的效率相对更高,因此具有较好的实用性。

结束语 在已有研究中电路老化预测量的约减方法对电路划分不够精确,预测方法的计算量比较大,老化预测效率不够好。本文针对 NBTI 效应对电路老化的影响,对现有的老化模型框架公式进行了改进,并提出了一种基于逻辑门种类对电路老化影响的路径划分和约减方案,即利用老化对于不同门的不同影响程度,对路径中门种类和数目进行时序分析,找出不会由于老化影响导致电路失效的路径。通过本文方案,可以有效地约减电路中不受老化影响电路性能的电路路径,而实验结果显示通过路径划分及约减,在 5 年老化时间后,平均有至少 50% 的路径可以不用进行老化预测,大大减小了老化预测的工作量,有效节省了老化防护的开销。

参 考 文 献

- [1] 李志贺,刘红侠,郝跃. 超深亚微米 PMOS 器件的 NBTI 退化机理[J]. 物理学报, 2006, 55(2): 820-824
- [2] Saneyoshi E, Nose K, Mizuno M. A Precise-tracking NBTI-degradation Monitor Independent of NBTI Recovery Effect[C] // Proceedings of the 57th IEEE International Solid-State Circuits Conference Digest of Technical Papers. San Francisco, CA, USA, 2010: 192-193
- [3] Askari S, Nourani M, Rawat M. An on-chip NBTI monitor for estimating analog circuit degradation[C] // VLSI Test Sympo-

table testing reduces reconfigurations[C] // 12th Asian Test Symp(ATS). 2003: 84-89

- [5] Alaghi A, SadoughiYarandi M, Navabi Z. An Optimum ORA BIST for Multiple Fault FPGA Look-Up Table Testing[C] // Test Symposium, 2006(ATS' 06). 15th Asian. 2006
- [6] Nandha Kumar T, Chong C W. An automated approach for locating multiple faulty LUTs in an FPGA[J]. Microelectronics Reliability, 2008, 48(11): 1900-1906
- [7] Chun-Lung H, Ting-Hsuan C. Built-in Self-Test Design for Fault Detection and Fault Diagnosis in SRAM-Based FPGA[J]. IEEE Trans. on Instrumentation and Measurement, 2009, 58(7): 2300-2315
- [8] Abramovici M, Stroud C. BIST-based detection and diagnosis of multiple faults in FPGAs[C] // Proceedings of the IEEE International Test Conference. 2000
- [9] Harris I G, Tessier R. Testing and diagnosis of interconnect faults in cluster-based FPGA architectures[J]. IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(11): 1337-1343
- [10] Huang W, et al. Testing memory modules in SRAM-based configurable FPGAs[C] // Proceedings, International Workshop on Memory Technology, Design and Testing, 1997. 1997

sium (VTS), 2012 IEEE 30th. 2012: 68-73

- [4] Borkar S. Electronics beyond nano-scale CMOS [C] // Proc. ACM/IEEE Design Autom. Conf. 2006: 807-808
- [5] Wang Y, Chen X M, Wang W P, et al. On the Efficacy of Input Vector Control to Mitigate NBTI Effects and Leakage Power [C] // Proceedings of the 10th International Symposium on Quality Electronic Design. San Jose, CA, USA, 2009: 19-26
- [6] Vattikonda R, Wang W, Cao Y. Modeling and Minimization of PMOS NBTI Effect for Robust Nanometer Design [C] // Proceedings of the 43th ACM/IEEE Design Automation Conference. San Francisco, CA, USA, 2006: 1047-1052
- [7] Wang Wen-ping, Wei Zi-le, Yang Sheng-qi, et al. Efficient Method to Identify Critical Gates under Circuit Aging [C] // Computer-Aided Design, 2007. ICCAD 2007. IEEE/ACM International Conference. 2007: 735-740
- [8] 靳松, 韩银和, 李华伟, 等. 一种考虑工作负载的电路老化预测方法[J]. 计算机辅助设计与图形学报, 2010, 22(12): 2242-2249
- [9] Wang Wen-ping, Yang Sheng-qi, Cao Yu. Node Criticality Computation for Circuit Timing Analysis and Optimization under NBTI Effect [C] // Quality Electronic Design, 2008. ISQED 2008. 9th International Symposium. 2008: 763-768
- [10] Lee Y, Kim T. A fine-grained technique of NBTI-aware voltage scaling and body biasing for standard cell based designs [C] // Design Automation Conference (ASP-DAC), 2011 16th Asia and South Pacific. 2011: 603-608
- [11] Mintarno E, Skaf J, Rui Zheng, et al. Optimized self-tuning for circuit aging Design [C] // Automation & Test in Europe Conference & Exhibition (DATE). 2010: 586-591
- [12] Wang W P, Yang S Q, Bhardwaj S, et al. The Impact of NBTI Effect on Combinational Circuit: Modeling, Simulation, and Analysis [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2010, 18(2): 173-183
- [13] Schroder D K, Babcock J A. Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing[J]. Applied Physics, 2003, 94(1): 1-18