

片上网络互连拓扑综述

王 炜¹ 乔 林² 汤志忠²

(解放军信息工程大学信息工程学院计算机科学与技术系 郑州 450002)¹

(清华大学计算机科学与技术系 北京 100084)²

摘 要 随着器件、工艺和应用技术的不断发展,片上多处理器已经成为主流技术,而且片上多处理器的规模越来越大、片内集成的处理器核数目越来越多,用于片内处理器核及其它部件之间互连的片上网络逐渐成为影响片上多处理器性能的瓶颈之一。片上网络的拓扑结构定义网络内部结点的物理布局和互连方法,决定和影响片上网络的成本、延迟、吞吐率、面积、容错能力和功耗等,同时影响网络路由策略和网络芯片的布局布线方法,是片上网络研究中的关键之一。对比了不同片上网络的拓扑结构,分析了各种结构的性能,并对未来片上网络拓扑研究提出建议。

关键词 片上多处理器,片上网络,拓扑,性能分析

中图分类号 TP393.03 **文献标识码** A

Survey on the Networks-on-Chip Interconnection Topologies

WANG Wei¹ QIAO Lin² TANG Zhi-zhong²

(Department of Computer Science and Technology, Institute of Information Engineering, PLA Information Engineering University, Zhengzhou 450002, China)¹

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China)²

Abstract Along with the development of device, process and application technology, chip multiprocessor is becoming the mainstream technology. As the scale of chip multiprocessor as well as the number of integrated on-chip cores is getting larger and larger, the network-on-chip, which is dedicated to the interconnection and communication among on-chip cores and other components, is becoming one of the performance bottlenecks of chip multiprocessor. The topology of network-on-chip defines the physical layouts and the interconnection patterns of network nodes, determines the cost, latency, throughput, area, fault tolerance and power of network-on-chip, and impacts on the network routing policies, the placement and routing designs of network chips. Therefore, the topology is one of the key technologies of network-on-chips. The paper compared various topological structures of network-on-chips in brief, analyzed their performances, and proposed recommendations for future research on the topology of network-on-chip.

Keywords Chip multiprocessor, Network-on-chip, Topology, Performance analysis

随着集成电路上晶体管资源的不断增加,多核处理器(Multicore Processors)或者称为片上多处理器(Chip Multiprocessor, CMP)逐渐走进人们的生活并成为主流技术,而且,随着器件、工艺和应用技术的不断发展,片上处理器核的数目必将不断增加,从目前的几个、十几个发展到几十个甚至更多。作为一个功能整体,需要将片上多处理器的各处理器核相互连接起来。随着片上系统和片上多处理器规模的增加,网络化方法被逐渐引入片内互连。为区别于片外网络,这种专门用于芯片内部互连的通信网络被称之为片上互连网络^[1](On-Chip Interconnect Network, OCIN)或片上网络^[2](Network-on-Chip, NoC)。

片上网络研究的根本问题,就是如何以更低的成本为片

上多处理器提供更高的通信服务,使运行在片上多处理器上的应用程序获得最好的性能。片上网络的拓扑结构定义了网络内部结点(包括计算结点和路由通信结点)的物理布局和互连方法,决定了结点度和网络链路数,从而决定了网络延迟、带宽、吞吐率和系统功耗、芯片面积和容错能力等,同时影响路由策略和芯片的布局布线方法^[3]。因此,选择和设计合适的片上网络拓扑结构,是片上网络研究中的关键之一。

片上网络拓扑分为直接互连和非直接互连两大类,直接互连结构的各个路由结点之间是通过链路直接相连的,而非直接互连方式中路由结点之间通过交叉开关相连。本文简要对比了不同片上网络的拓扑结构,分析了各种结构的性能,并对未来片上网络拓扑研究提出建议。

到稿日期:2010-11-13 返修日期:2011-02-23 本文受国家自然科学基金项目(60773149,61073007),国家高技术研究发展计划(863)项目(2006AA01A101,2008AA01Z108),国家重点基础研究发展计划(973)项目(2007CB310900)资助。

王 炜(1975-),男,博士,讲师,主要研究领域为计算机系统结构、片上多处理器与片上网络,E-mail:qrxi@nwu.edu.cn;乔 林(1972-),男,博士,副教授,主要研究领域为计算机系统结构、并行编译与优化技术;汤志忠(1946-),男,教授,博士生导师,主要研究领域为计算机系统结构、指令级并行编译技术。

1 直接互连拓扑结构

1.1 基于总线与环的拓扑结构

片上总线互连是最简单的片上互连方法之一。由于总线中某一时刻只允许一个源数据,存在严重的竞争,故其速度较慢。为了缓解总线竞争,出现了线性阵列方法。线性阵列中,允许不同区段同时分段使用总线,只要这若干个区段之间没有交叉重叠。总线或者线性阵列拓扑简单、可扩展性好、功耗低,但是延迟较大、竞争多、易于出现传输瓶颈,当连接对象较多时性能较差^[4]。

图 1(a)所示的环互连结构^[5]是另一种简单互连方法,它通过将总线或线性阵列首尾相连构成。一般地,环互连中仍然允许分段使用(如 IBM Cell^[6]),而且链路均允许双向传输。由于形成了环路,因此环的网络直径与平均寻径距离均明显小于总线或线性阵列方式。

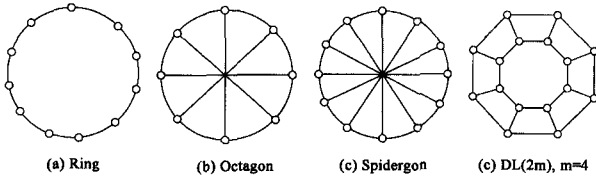


图 1 基于环的片上互连结构

当通过环连接较多对象时,网络直径和通信延迟仍然较大。如图 1(b)所示的 Octagon^[7]和图 1(c)所示的 Spidergon^[8]这样的带弦环结构,在环中有选择地加入一些弦,从而降低网络直径,提高网络传输性能。随着带弦环弦数量的增加,网络直径显著减小,网络吞吐量明显增加。但与此同时网络结点度随之增大,所需连线资源和芯片面积增多,同时,功耗也相应增加。另外,弦数量上升也增加了处理器芯片内布局布线的复杂度。

西安电子科技大学的 LIU Youyao 等提出一种如图 1(d)所示的双层环结构 DL(2m)^[9],它将 2m 个结点分别布置在两个环上,每个环上有 m 个结点,并将内外两个环对应的结点连接起来。这种结构一定程度节省了网络成本,在较小规模网络中具有较好的成本延迟性能。

如图 1 所示的几种互连结构均有很好的扩展性,其中 Octagon 结构扩展后将形成如图 2 所示的分级互连结构。与 Spidergon 和 DL(2m)互连方式不同的是,当连接对象超过 8 个时(也即需要进行规模扩展时),通过 Octagon 方式连接起来的网络不再完全“均匀”,网络中的结点将分成两类:内部结点,结点度为 3;级联结点,结点度为 6。表 1 列出了连接 64 个结点时上述 4 种互连结构的静态网络特性。

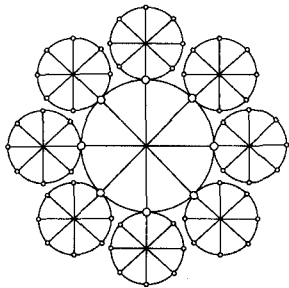


图 2 64 个结点通过 Octagon 方式互连

表 1 环及其改进结构的静态网络特性(网络规模 N=64)

	最大结点度	平均结点度	直径	平均寻径距离	链路数
Ring	2	2	32	16.25	64
Octagon	6	3.375	6	5.84	108
Spidergon	3	3	16	6.46	96
DL(2m)	3	3	17	8.16	96

从表 1 可以看出,完全不加入弦的环式互连网络,结点度最小,所需链路数也最少,但是其网络直径与平均寻径距离却比其他几种方式大得多。这表明,环方式互连相对而言成本较低,但是网络延迟较大;Spidergon 互连的结点度和链路数均比环方式增加 50%,但是其网络直径只有环方式的 50%,平均寻径距离更是不到环互连方式的 40%;相比之下,DL(2m)互连的结点度和链路数同样均比环方式增加 50%。而其网络直径与平均寻径距离分别为环互连方式的约 53%和 50%,因此与 Spidergon 互连相似,DL(2m)互连通过增加网络成本(结点度、链路数等),较大地提升了互连性能。DL(2m)互连虽然性能稍差于 Spidergon 互连,但是可以通过特定的结点编码方法来简化路由寻径操作,从而简化路由结构、节约路由成本和提高通信速度^[9]。由于 Octagon 互连方式采用级联的方法实现超过 8 个结点的互连与通信,因此其网络直径和平均寻径距离均大大低于环互连方式,分别约为环互连方式的 19%和 36%,但是其链路数却比环互连方式增加了约 70%;另一方面,Octagon 互连方式的平均寻径距离约比 Spidergon 互连方式减少 10.6%,虽然所需链路数比 Spidergon 互连方式增加 12.5%,但是由于网络直径仅为 Spidergon 互连方式的 37.5%,因此在连接较多对象时,Octagon 互连方式将具有比 Spidergon 互连方式更高的通信传输速度,当然其对级联结点以及级联链路的压力也越大。

1.2 基于 Mesh 的拓扑结构

如图 3(a)所示,Mesh 网格将连接对象以十字网格的形式连接到一起,这种方法拓扑简单、寻径方便,而且可扩展性好、功耗也较小,成为最常用的片上网络互连结构之一,被广泛应用到片上多处理器中,如 Trips^[10]、Tile^[11]、Teraflops^[12]、Godson-3^[13]等内部均采用 Mesh 网格方式互连。

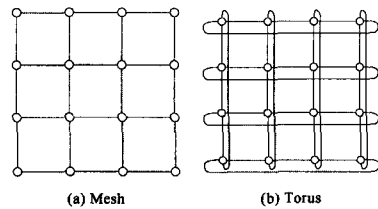
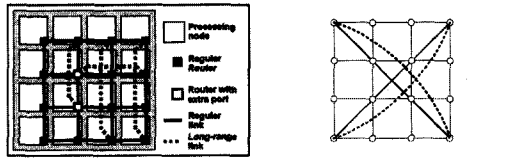


图 3 Mesh 网格与 Torus 网格

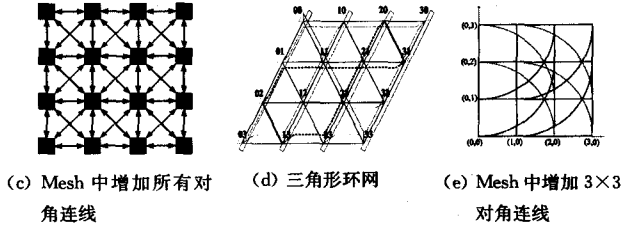
文献^[14-16]详细分析了二维网格及其扩展结构的片上互连性能。分析结果表明,Mesh 网格中所有结点在某一个方向(水平或垂直)上实际是一个线性阵列,因此在较大规模网络连接中网络直径较大,传输延迟也较大^[3,17]。如图 3(b)所示,Torus 网格^[1](Mesh 环网)将 Mesh 网格的每一行和每一列分别环绕起来,从而降低网络直径、提高网络通信速度,但是也增加了网络成本和功耗,并且给片上多处理器的布局布线带来一定困难^[3,17]。

另一种改善 Mesh 网格互连性能的方法是在 Mesh 网格中增加某些链路。如图 4(a)所示,卡耐基梅隆大学的 Umit Y Ogras 等在 Mesh 网格中增加专用全局连线^[1],以降低某些长距离全局通信的延迟。这种方法实际上使得片上网络变成一

种不规则结构,而且不同应用或不同通信流量模型可能需要不同的专用链路设置方法,这实际上是借鉴了专用系统芯片的设计思想,因此给系统设计带来一定困难。



(a) Mesh中增加专用全局连线 (b) Mesh中增加大对角连线



(c) Mesh中增加所有对角连线 (d) 三角形环网 (e) Mesh中增加3×3对角连线

图4 基于Mesh网格的新型互连结构

如图4(b)所示,中科院软件所的朱晓静等^[19]提出一种规则化增加链路的方法:在Mesh网格中增加沿对角方向的两条对角线,将Mesh网格对角线上的点分别环绕起来。对于一个 $N \times N$ 网络,这种互连方法需要在Mesh网的基础上增加 $2N$ 条链路,其增加的链路数与Mesh环网相同。但是由于它增加的链路处于Mesh网的对角线位置,因此其平均寻径距离将低于Mesh环网。另一方面,与Mesh环网中所有结点和链路均“均匀对称”有所不同,这种结构中众多最短路径均经过对角线,因此该对角线成为网络的瓶颈所在,限制了系统的性能。

加利福尼亚大学欧文分校的Hu Wen-Hsiang等则提出在Mesh网格中增加所有的对角连线^[20](如图4(c)所示),对于一个 $N \times N$ 网络,这种互连方法需要在Mesh网的基础上增加 $2(N-1)^2$ 条链路。这种结构中对角线位置上的链路仍然可能承担较多的通信,但是与朱晓静等提出的方法相比,系统传输的瓶颈作用将明显降低,而且网络传输速度、等分带宽、吞吐量等性能均较好,但成本很高。

如图4(d)所示,文献[14-16]提出并对比分析了三角形环网的性能。三角形环网在Mesh环网的基础上添加某一个对角方向的斜向链路,使得网络中所有的结点均与其上、下、左、右以及左上、右下(或者右上、左下,根据斜向链路的方向确定)相邻的结点之间有链路相通。对于一个 $N \times N$ 网络,这种互连方法需要在Mesh网的基础上增加 $N(N+2)$ 条链路,其链路数量介于朱晓静等与Hu Wen-Hsiang等所提方案之间,但是网络直径较小,而且等分带宽较大,因此网络吞吐量较高。

如图4(e)所示,南京邮电大学的姚放吾等^[21]提出另一种规则化增加链路的方法:在 $N \times N$ 的Mesh网格中,将每个 3×3 的小Mesh里的对角线上的点用长边连接起来。对于一个 $N \times N$ 网络,这种互连方法需要在Mesh网的基础上增加 $2(N-2)^2$ 条链路。这种互连方法采用类似“快速通道”的方式将网格中的结点“跨越式”相连,因此网络直径较小,同时平均寻径距离较小,因此具有较快的通信传输速度。另一方面,该结构所需链路较多,而且其布局布线难度也较大。

表2给出了使用Mesh、Torus以及上述几种规则化增加Mesh网格链路的方法连接64个结点时不同结构的静态网络

特性。数据显示,传输速度较快、吞吐量较高的互连结构往往以较高的成本以及布局布线复杂度作为代价。

表2 Mesh及各种改进结构的静态网络特性(网络规模 $N=64$)

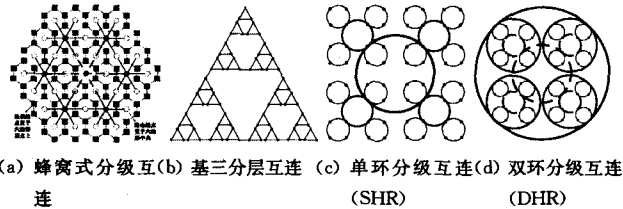
	最大 结点度	平均 结点度	直径	平均寻 径距离	等分 带宽	链路数
Mesh	4	3.5	14	5.42	8	112
Torus	4	4	8	4.06	16	128
Mesh中增加大对角连线	6	4	7	3.86	12	128
Mesh中增加所有对角连线	8	6.5625	7	3.29	22	210
三角形环网	6	6	5	3.14	32	192
Mesh中增加3×3对角连线	8	5.75	5	2.71	32	184

Mesh网格结构能够很容易地向多维扩展,形成立方体^[22]、超立方体结构,在此基础上还能形成带环立方体等多种结构。在连接大规模、超大规模网络时,高维互连结构能够较多地降低网络直径、提高网络的传输速度和等分带宽。但是,在当前以二维芯片布局为主的片上多处理器内部,由于受到空间的限制和物理布局布线困难,同时受到成本、功耗的限制,高维互连结构暂时不适合片上网络^[23]。

1.3 分级互连拓扑结构

当网络规模较大时,另一种降低网络直径、提高网络传输速度的方法是采用层次互连结构。

芬兰坦佩雷工业大学的Erno Salminen等提出一种分级总线互连方法^[4],这是一种基于较小规模片上网络的分级互连方法。在较大规模网络中,由于总线互连方式固有的性能缺陷,其性能较差。瑞典皇家理工学院的Ahmed Hemani等提出如图5(a)所示的蜂窝式分级拓扑结构^[24],所有处理结点分布在六边形的各个顶点上,通过一个处于六边形中央的路由结点与其它结点联系;每6个路由结点分布在一个大一些的六边形的各个顶点上,通过其中央的路由结点与其它区域的结点通信。以此类推,直至完成片上互连。



(a) 蜂窝式分级互连 (b) 基三分层互连 (c) 单环分级互连 (d) 双环分级互连

图5 几种分级互连拓扑

北京理工大学的Qiao Baojun等提出如图5(b)所示的基三分层互连结构^[25],其使用区域编码方式对片上网络结点进行编码与寻径。加拿大多伦多大学的Govindan Ravindran等^[26]和女王大学的V Carl Hamacher等^[27]分别基于较小规模(不超过128个结点)讨论了片外分级环互连方法的性能特点。女王大学的Naraig Manjikian则提出一种片上环分级互连方法思想原型^[28]。文献[29]则分别提出了基于卡诺图编码与寻径的单环分级片上网络互连结构SHR(如图5(c)所示)与双环分级片上网络互连结构DHR(如图5(d)所示)。

表3列出了上述几种分级互连结构的静态网络特性。由于互连方法存在差异,几种结构不能恰好规则地连接相同规模的网络。表中列出各种结构分别“规则地”连接不超过100个结点时“最大规模”网络的静态特性。对于分级互连结构,级联链路易成为系统互连与通信的瓶颈,因此往往需要增加级联链路的带宽(链路数)。文献[29]的分析结果表明,只需要以等差数列的方式设置不同级联路的宽度,即可以达到较好的性能。为了更直观地比较不同互连结构的性能,假设级

链路以等差数列方式设置,并将不同规模网络的性能归一化,其结果如表4所列。分析结果表明,蜂窝式分级互连结构看起来扩展性很好,网络直径和平均寻径距离也较小,但是其链路数较多,成本较高。特别是,这种结构中即使同属最小一级六边形中两个结点间的通信,也需要处于六边形中央的路由结点的参与,故路由结点的负担较重,其实承担了相当于其他分级互连方式中级联节点的作用,因此其实际成本应远大于表4中所列。

表3 几种分级互连结构的静态网络特性

	结点规模	直径	平均寻径距离	链路数			
				第一级	第二级	第三级	第四级
蜂窝式分级互连	96	6	4.98	180	36	6	—
基三分层互连	81	15	7.06	81	27	9	3
单环分级互连	64	10	4.76	64	16	4	—
双环分级互连	64	6	3.73	64	32	8	—

表4 归一化分级互连静态网络特性

	网络直径	平均寻径距离	链路数
蜂窝式分级互连	6.25	5.19	281
基三分层互连	18.52	8.72	215
单环分级互连	15.63	7.44	169
双环分级互连	9.38	5.83	238
Mesh	21.88	8.33	175

基三分层互连结构可用于大量需要相互协作的科学计算的小规模网络,但是该结构的网络直径较大,平均寻径距离甚至比 Mesh 网格还大,而链路数也较多,因此不适合较大规模片上网络。

文献[29]的分析结果表明,在较小规模网络中分级环片上网络互连综合性能较差,但是在较大规模(256个结点或更多)网络中性能较好。分级环片上网络互连特别是单环分级片上网络互连成本较低而速度较快。

2 间接互连拓扑结构

最简单的间接互连片上网络拓扑是交叉开关互连,例如 IBM Cyclops 64^[30]系统中芯片内部通过一个 96×96 交叉开关将片内的 80 个处理器、80 块分布式存储器以及片外的资源连接起来。交叉开关互连方法通过硬件的方法同时实现多对源和目的结点间的互连与通信,速度快、吞吐量大,但是由于交叉开关方法功耗大而且占用芯片面积也较大,因此也是一种成本最高的方法。

交叉开关的硬件复杂度为 $O(n^2, w)$,其中 n 为输入/输出数量, w 为带宽^[31]。当输入输出数量较大时,其成本过高。胖树(见图 6(a))等分级交叉开关结构中每一个交叉开关的度都不是太大,虽然网络延迟比直接采用交叉开关要大,但其有效降低了片上网络所需的芯片面积和功耗。相比直接互连片上网络结构,间接互连拓扑结构(例如 SPIN^[32])速度较快^[33],但是其交叉开关成本仍然较高。

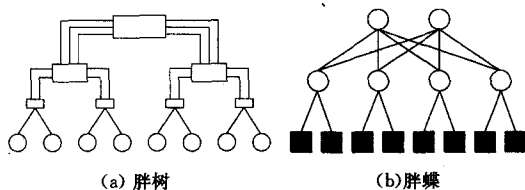


图6 片上网络间接互连拓扑结构举例

对于间接互连片上网络而言,交叉开关的结点度高,则成

本高,但速度快;反之,交叉开关的结点度低,则成本低,但是速度慢。很多研究者试图在高结点度交叉开关和低结点度交叉开关中寻找片上网络成本与性能的折中,提出了一系列新的拓扑结构,例如 Cray 公司的 Steve Scott 等人提出高结点度胖树^[34];日本庆应义塾大学的 Hiroki Matsutani 等人在高结点度胖树的基础上提出双胖树环绕结构^[35];加拿大英属哥伦比亚大学的 Partha Pratim Pande 等、美国斯坦福大学的 John Kim 等将胖树与蝶式交换相结合,提出如图 6(b)所示的胖蝶^[36-39],美国西北大学的 John Kim 等在胖蝶的基础上提出蜻蜓拓扑^[40,41],该校的 Yan Pan 等则在胖蝶的基础上提出萤火虫拓扑^[42]。这些结构能在一定程度提高片上网络的通信传输速度和吞吐率,但是由于成本过高,不适合在大规模、超大规模片上网络中使用。

3 不规则拓扑与混合拓扑

随着片上多处理器和片上系统规模的增加,片上往往是异构而非同构的^[3,43],因此片上网络连接的对象也不再相同。同时,某些应用产生的通信也不再是均匀、一致的,需要设计和使用不规则片上网络^[3]。

在大规模、超大规模片上网络中,由于片上多处理器内部通信往往具有局部性^[44,45],往往距离较近的结点间相互通信的概率比相距较远的结点要大得多,而不同拓扑结构的连接方法在连接不同范围内具有相异的性能,因此很多研究者尝试把不同的拓扑结构结合起来,形成各种混合拓扑结构。除了上述的在 Mesh 网格中增加专用全局连线^[18]以解决全局通信问题之外,还有很多方法。例如,美国宾夕法尼亚州立大学的 Reetuparna Das 等将 Mesh 和总线混合起来,构成一种混合层次结构^[46],他们在底层使用光纤总线进行互连,上层则使用 Mesh 网格;加拿大麦吉尔大学的 Stephan Bourduas 等则在 Mesh 网格中加入全局互连分级环,以解决全局互连的延迟问题^[47];美国马里兰大学帕克分校的 Aydin O Balkan 等同样将片上网络分级分区,底层使用 Mesh 网格互连,不同区域之间则使用胖树互连,从而构成一种混合分级互连结构 MoT^[48];惠普实验室的 Jung Ho Ahn 等将超立方体和胖蝶综合起来,提出一种混合结构 HyperX^[49]。这些混合结构多从拓扑结构本身的性能考虑。事实上,片上多处理器内部所传输的信息包括数据和命令/控制信号两类,系统对这两类信号的实时性要求相差较大,它们对片内通信产生的作用不同,带来的功耗也不相同,因此还可以考虑使用不同的网络拓扑传输不同的信息,以提高系统性能,降低成本。

结束语 随着片上多处理器规模的不断增加,片上网络的规模也不断增大,而且越来越成为片上多处理器的性能瓶颈。受限于当前的技术条件,片上多处理器内部往往使用二维平面布局方法,因此三维、多维片上网络往往不太适合。但是随着技术的发展,三维封装技术和低功耗技术、新型散热材料与散热方法的应用将促使片上网络向多维拓扑结构发展。另一方面,随着光、无线射频等新型片上通信技术的不断成熟与应用,基于半导体技术的各种拓扑结构的性能、成本、功耗将发生改变,这必将促使基于新型通信技术的、更适合未来片上多处理器结构与应用的新型拓扑结构不断涌现。

参考文献

[1] Dally W J, Towles B. Route packets, not wires: on-chip intercon-

- nection networks[C]// Proceedings of the 38th Design Automation Conference (DAC 2001). New York, NY; ACM, 2001; 684-689
- [2] Salminen E, Kulmala A, Hämäläinen T D. On network-on-chip comparison[C]// Proceedings of the Tenth Euromicro Conference on Digital System Design; Architectures, Methods and Tools (DSD 2007). Los Alamitos, CA; IEEE Computer Society, 2007; 503-510
- [3] Neeb C, Wehn N. Designing efficient irregular networks for heterogeneous Systems-on-Chip[C]// Proceedings of the Ninth Euromicro Conference on Digital System Design; Architectures, Methods and Tools (DSD 2006). Los Alamitos, CA; IEEE Computer Society, 2006; 665-672
- [4] Salminen E, Kangas T, Hämäläinen T D, et al. HIBI Communication Network for System-on-Chip[J]. The Journal of VLSI Signal Processing, 2006, 43(2/3): 185-205
- [5] Xu Junming. Topological Structure and Analysis of Interconnection Networks[M]. Dordrecht/ Boston/London; Kluwer Academic Publishers, 2001
- [6] Ainsworth T W, Pinkston T M. Characterizing the Cell EIB on-chip network[J]. IEEE Micro, 2007, 27(5): 6-14
- [7] Karim F, Nguyen A, Dey S, et al. On-chip communication architecture for OC-768 network processors[C]// Proceedings of the 38th Design Automation Conference (DAC 2001). New York, NY; ACM, 2001; 678-683
- [8] Coppola M, Locatelli R, Maruccia G, et al. Spidergon; a novel on-chip communication network[C]// Proceedings of the 2004 International Symposium on System on Chip. Piscataway, NJ; IEEE, 2004; 15
- [9] Liu Youyao, Han Jungang, Du Huimin. DL(2m): A new scalable interconnection network for system-on-chip[J]. Journal of Computers, 2009, 4(3): 201-207
- [10] Gratz P, Kim C, Sankaralingam K, et al. On-chip interconnection networks of the TRIPS chip[J]. IEEE Micro, 2007, 27(5): 41-50
- [11] Wentzlaff D, Griffin P, Hoffmann H, et al. On-chip interconnection architecture of the tile processor[J]. IEEE Micro, 2007, 27(5): 15-31
- [12] Vangal S R, Howard J, Ruhl G, et al. An 80-tile sub-100-W tera-FLOPS processor in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2008, 43(1): 29-41
- [13] Hu Weiwu, Wang Jian, Gao Xiang, et al. Godson-3; A scalable multicore RISC processor with X86 emulation[J]. IEEE Micro, 2009, 29(2): 17-29
- [14] 王炜, 乔林, 杨广文, 等. 片上二维网络互连性能分析[J]. 计算机研究与发展, 2009, 46(10): 1601-1611
- [15] 王炜, 乔林, 杨广文, 等. 扩展二维网络片上互连性能分析[J]. 清华大学学报: 自然科学版, 2010, 50(01): 161-164
- [16] 王炜, 乔林, 杨广文, 等. 二维片上网络局部均匀随机通信性能分析[J]. 计算机研究与发展, 2010, 47(03): 532-540
- [17] Elmiligi H, Morgan A A, El-Kharashi M W, et al. Power optimization for application-specific networks-on-chips: A topology-based approach[J]. Microprocessors and Microsystems-embedded Hardware Design, 2009, 33(5/6): 343-355
- [18] Ogras U Y, Marculescu R. Application-specific network-on-chip architecture customization via long-range link insertion[C]// Proceedings of the 2005 International Conference on Computer-aided Design (ICCAD 05). Washington, DC; IEEE Computer Society, 2005; 246-253
- [19] 朱晓静, 胡伟武, 马可, 等. Xmesh: 一个 mesh-like 片上网络拓扑结构[J]. 软件学报, 2007, 18(9): 2194-2204
- [20] Hu W H, Lee S E, Bagherzadeh N. DMesh; A diagonally-linked mesh network-on-chip Architecture[C]// First International Workshop on Network on Chip Architectures. Lake Como, Italy, November, 2008
- [21] 姚放吾, 高莉. 一种改进的二维 Mesh 结构片上网络拓扑[J]. 计算机技术与发展, 2009, 19(7): 24-27
- [22] Grot B, Hestness J, Keckler S W. Express Cube Topologies for on-chip Interconnects[C]// Proceedings of the 15th International Conference on High-performance Computer Architecture (HP-CA 2009). Washington, DC; IEEE Computer Society, 2009; 163-174
- [23] Jayasimha D N, Zafar B, Hoskote Y. On-chip interconnection networks; Why they are different and how to compare them [R]. Intel Corporation, 2006
- [24] Hemani A, Jantsch A, Kumar S, et al. Network on chip. An architecture for billion transistor era[C]// Proceedings of the IEEE NorChip Conference (NORCHIP 2000). Los Alamitos, CA; IEEE Computer Society, 2000; 166-173
- [25] Qiao Baojun, Shi Feng, Ji Weixing. A New Routing Algorithm in Triple-based Hierarchical Interconnection Network[C]// Proceedings of the First International Conference on Innovative Computing, Information and Control (ICICIC 2006). Washington, DC; IEEE Computer Society, 2006; 725-728
- [26] Ravindran G, Stumm M. A performance comparison of hierarchical ring- and mesh-connected multiprocessor networks[C]// Proceedings of the 3rd IEEE Symposium on High-performance Computer Architecture (HPCA 1997). Washington, DC; IEEE Computer Society, 2006; 58-69
- [27] Hamacher V C, Jiang Hong. Hierarchical ring network configuration and performance modeling [J]. IEEE Transactions on Computers, 2001, 50(1): 1-12
- [28] Manjikian N. Prototyping a hierarchical ring interconnect for System-on-chip multiprocessor implementations[C]// Proceedings of the 2nd Annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS 2004). Piscataway, NJ; IEEE, 2004; 85-88
- [29] 王炜, 乔林, 杨广文, 等. 分级环片上网络互连[J]. 计算机学报, 2010, 33(2): 326-334
- [30] Zhang Yingping, Jeong T, Chen Fei, et al. A study of the on-chip interconnection network for the IBM Cyclops64 multi-core architecture[C]// Proceedings of the 20th International Parallel and Distributed Processing Symposium. Los Alamitos, CA; IEEE Computer Society, 2006; 44-53
- [31] Broomell G, Heath J. An integrated-circuit crossbar switch system design[C]// Proceedings of the 4th International Conference on Distributed Computing Systems (ICDCS 1984). Los Alamitos, CA; IEEE Computer Society, 1984; 278-287
- [32] Guerrier P, Greiner A. A generic architecture for on-chip packet-switched interconnections[C]// Proceedings of the 2000 Design and Test in Europe Conference (DATE 2000). Washington, DC; IEEE Computer Society, 2000; 250-256

- flow-based classification[R]. RR-05. 13. Cambridge: Intel Research, 2005
- [50] 孙知信, 官婧. 一种基于流特性描述的 P2P 流量模糊识别方法[J]. 计算机学报, 2008, 31(7): 1252-1260
- [51] 官婧, 孙知信, 顾强. 一种基于模糊评判规则的 P2P 流识别算法[J]. 计算机科学, 2008, 35(5): 24-28
- [52] Li N, Chen Z L, Zhou G. Network traffic classification using rough set theory and genetic algorithm[C]//Proc of the ICIC 2006, LNCIS 344. Berlin, Heidelberg: Springer-Verlag, 2006: 945-950
- [53] Este A, Gringoli F, Salgarelli L. Support Vector Machines for TCP Traffic classification[J]. Computer Networks, 2009, 53: 2476-2490
- [54] Wang R, Liu Y, Yang Y X. Solving the app-level classification problem of P2P traffic via optimized support vector machines[C]//Proceedings of Sixth International Conference on Intelligent Systems Design and Applications. Ji'nan, 2006: 534-539
- [55] Liu Yang, Wang Rui, Huang He-yun, et al. Applying support vector machine to P2P traffic identification with smooth processing[C]//Proc of the 8th International Conference on Signal Processing. Guilin, 2006
- [56] Zhou Li-juan, Li Zhi-tang, Hao Tu. Proposition and provement of a TCP Feature of P2P traffic an example of bittorrent and emule[C]//Second International Conference on CHINACOM. Shanghai, 2007
- [57] Matsuda T, Nakamura F, Wakahara Y. Traffic feature fit for P2P discrimination[C]//Proc of 6th Asia-Pacific Symposium on Information and Telecommunication Technologies. 2005: 230-235
- [58] Gonzalez-Castano F J, Rodriguez-Hernandez P S, Martinez-Alvarez R P, et al. Support vector machine detection of Peer-to-Peer traffic[C]//IEEE International Conference on Computational Intelligence for Measurement Systems and Applications. 2006: 103-108
- [59] Li Zhu, Yuan Rui-xi, Guan Xiao-hong. Accurate Classification of the Internet traffic Based on the SVM Method[C]//IEEE International Conference on Communications. 2007: 1373-1378
- [60] Yang Yue-xiang, Wang Rui, Liu Yang, et al. Solving P2P Traffic Identification Problems Via Optimized Support Vector Machines[C]//IEEE/ACS International Conference on Computer Systems and Applications(AICCSA'07). 2007: 165-171
- [61] 孙知信, 张玉峰. 基于多维支持向量机的 P2P 网络流量识别模型[J]. 吉林大学学报, 2010, 40(5): 1298-1302
- [62] 王锐. P2P 流量检测技术研究[D]. 长沙: 国防科学技术大学, 2006
- [63] 吴敏, 王汝传. 一种基于损失函数的 SVM 算法在 P2P 流量检测中的应用[J]. 计算机科学, 2009, 36(12): 76-80

(上接第 5 页)

- [33] Balfour J, Dally W J. Design tradeoffs for tiled CMP on-chip networks[C]//Proceedings of the 20th Annual International Conference on Supercomputing (ICS 2006). New York, NY: ACM, 2006: 187-198
- [34] Scott S, Abts D, Kim J, et al. The BlackWidow high-radix Clos network[C]//Proceedings of the 33rd International Symposium on Computer Architecture (ISCA 2006). Washington, DC: IEEE Computer Society, 2006: 16-28
- [35] Matsutani H, Koibuchi M, Yamada Y, et al. Fat H-Tree: A Cost-efficient Tree-based on-chip Network[J]. IEEE Transactions on Parallel and Distributed Systems, 2009, 20(8): 1126-1141
- [36] Pande P P, Grecu C, Ivanov A, et al. Design of a switch for network on chip applications[C]//Proceedings of the 2003 International Symposium on Circuits and Systems (ISCAS 03). Piscataway, NJ: IEEE, 2003: 217-220
- [37] Kim J, Balfour J D, Dally W J. Flattened butterfly topology for on-Chip networks[J]. Computer Architecture Letters, 2007, 6(2): 37-40
- [38] Kim J, Dally W J, Abts D. Flattened butterfly, A cost-efficient topology for high-radix networks[C]//Proceedings of the 34th International Symposium on Computer Architecture (ISCA 2007). New York, NY: ACM, 2007: 126-137
- [39] Kim J, Balfour J D, Dally W J. Flattened butterfly topology for on-chip networks[C]//Proceedings of the 40th annual IEEE/ACM International Symposium on Microarchitecture (MICRO 2007). Washington, DC: IEEE Computer Society, 2007: 172-182
- [40] Kim J, Dally W J, Scott S, et al. Technology-driven, Highly-scalable Dragonfly Topology[C]//Proceedings of the 35th International Symposium on Computer Architecture (ISCA 2008). Washington, DC: IEEE Computer Society, 2008: 77-88
- [41] Kim J, Dally W J, Scott S, et al. Cost-efficient dragonfly topology for large-scale systems[J]. IEEE Micro, 2009, 29(1): 33-40
- [42] Pan Yan, Kumar P, Kim J, et al. Firefly: Illuminating future network-on-chip with nanophotonics[C]//Proceedings of the 36th International Symposium on Computer Architecture (ISCA 2009). New York, NY: ACM, 2009: 429-440
- [43] Kavaldjiev N, Smit G J M. An energy-efficient network-on-chip for a heterogeneous tiled reconfigurable systems-on-chip[C]//Proceedings of the 2004 Euromicro Symposium on Digital Systems Design (DSD 2004), Architectures, Methods and Tools. Washington, DC: IEEE Computer Society, 2004: 492-498
- [44] Tutsch D, Lüdtke D. Chip multiprocessor traffic models providing consistent multicast and spatial distributions[J]. Simulation, 2008, 84(2/3): 61-74
- [45] Tutsch D, Malek M. Comparison of network-on-chip topologies for multicore systems considering multicast and local traffic[C]//Proceedings of the 2nd International Conference on Simulation Tools and Techniques for Communications, Networks and Systems (SimuTools 2009). Brussels: ICST (Institute for Computer Sciences, Social-Informatics and Telecommunications Engineering), 2009: Article No. 23
- [46] Das R, Eachempati S, Mishra A K, et al. Design and evaluation of a hierarchical on-chip interconnect for next-generation CMPs[C]//Proceedings of the 15th International Conference on High-performance Computer Architecture (HPCA 2009). Washington, DC: IEEE Computer Society, 2009: 175-186
- [47] Bourduas S, Zilic Z. A hybrid ring / mesh interconnect for network-on-chip using hierarchical rings for global routing[C]//Proceedings of the First International Symposium on Networks-on-Chips (NOCS 2007). Washington, DC: IEEE Computer Society, 2007: 195-204
- [48] Balkan A O, Qu Gang, Vishkin U. A Mesh-of-Trees interconnection network for single-chip parallel processing[C]//Proceedings of the 2006 IEEE International Conference on Application-specific Systems, Architecture and Processors (ASAP 2006). Washington, DC: IEEE Computer Society, 2006: 73-80
- [49] Ahn J H, Binkert N, Davis A, et al. HyperX: Topology, routing, and packaging of efficient large-scale networks[C]//Proceedings of the ACM/IEEE Conference on High Performance Computing (SC 09). New York, NY: ACM, 2009