

基于加权数据通路的 RTL 级低功耗 SoC 设计

杨恒伏¹ 田祖伟^{1,2} 李勇帆¹

(湖南第一师范学院信息科学与工程系 长沙 410205)¹ (国防科学技术大学计算机学院 长沙 410073)²

摘 要 低功耗是 SoC 设计与评估的重要技术指标之一,现利用加权数据通路,提出一种新的低功耗 SoC 设计方法。该算法首先利用程序切片技术提取 RTL 级数据通路,然后采用贝叶斯网络训练获得各数据通路的权重(使用频率),以形成加权数据通路,最后根据各路权值控制门控信号的产生,对权值小的通路优先插入门控逻辑或合并门控逻辑,从而有效降低系统功耗。实验结果表明,该算法与已有 ODC 低功耗算法相比功耗平均下降 8.38%,面积开销平均减少 6.8%,同时数据通路的简化也使得算法计算负荷大幅下降。

关键词 SoC,低功耗设计,寄存器传输级,加权数据通路

中图法分类号 TN47,TP332 **文献标识码** A

RTL Low Power Technique for SoC Design Using Weighted Datapath

YANG Heng-fu¹ TIAN Zu-wei^{1,2} LI Yong-fan¹

(Department of Information Science & Engineering, Hunan First Normal University, Changsha 410205, China)¹

(School of Computer, National University of Defense Technology, Changsha 410073, China)²

Abstract Low-power is an important specification of SoC design and evaluation, a new low power design scheme was proposed by using weighted datapath. Firstly, the algorithm uses program slicing technique to extract RTL data path. Secondly, the weights (frequency of use) of datapath are obtained via Bayesian network training, and then the weighted datapath is generated. Finally, to reduce system power consumption effectively, the scheme controls the generation of clock gating logic, and it gives high priority for the datapath with low weight to insert or merge clock gating logic. Experimental results show that the proposed scheme has low computation cost, and it has 8.38% lower power consumption and 6.8% lower hardware area overhead when compared with existing low power SoC design scheme.

Keywords System on chip, Low power design, Register transfer level, Weighted datapath

1 引言

随着 IT 技术的快速发展与普及深入,IT 行业对基于 SoC 的开发产品的需求日益增加。然而集成有百万门器件的 SoC 系统在数百兆时钟频率下工作将有数十瓦的功耗,功耗问题制约着芯片性能的进一步提高。为解决 SoC 系统功耗问题,近年来涌现出许多低功耗优化技术,根据设计阶段不同,可分为系统级、算法级、体系结构级、RTL 级(寄存器传输级 Register Transfer Level)、逻辑门级、电路级、工艺级等多种低功耗策略^[1]。其中 RTL 级低功耗技术是一种最为有效的降低系统功耗的手段,其通过 RTL 结构的变换可以获得更为优化的设计,并降低 50% 甚至更多的功耗^[2]。Cadence 中国区总经理刘国军认为,真正的低功耗设计从 RTL 就应该开始,从前端设计就开始考虑功耗优化,那么到了后端,这种优化效果就会成倍地显现出来^[3]。Papachristou 等通过资源分配实现低功耗 RTL 数据通路设计^[4]。其主要思想是将单个时钟划分成多个非重叠时钟,而将电路分成多个不相连模块,

然后为每个模块分配一个特定的时钟,于是限定每个模块仅在特定的时钟周期内工作以降低功耗。但该方法存在时钟树的分布问题,另外需要仔细设计多时钟域之间的同步以避免出现亚稳态。罗曼等^[5]对 RTL 低功耗设计多种策略进行了评价与分析,为低功耗 SoC 设计提供了一定的理论指导,但未能设计实际可行的低功耗优化方案。李杰等^[6]在代码解析的基础上进行功耗优化。首先使用解析程序提取 RTL HDL 源代码中逻辑表达式的逻辑结构,再根据表达式的逻辑结构以及节点工作信息调用优化算法进行功耗优化。该方法工作在 RTL 级,只需得到 HDL 仿真工具的支持,但未能说明低功耗优化时如何权衡功耗、面积以及性能等多方面需求。孟建熠^[7]提出一种 RTL 级低功耗优化算法,即首先搜索 RTL 级数据通路的不可观察性(Observability Don't Care),然后引入数据通路 ODC 条件概率控制门控信号的产生,对 ODC 条件概率高的通路优先插入门控逻辑。实验结果显示该算法能较好地降低系统功耗,但未能对 RTL 数据通路进行简化,其计算效率有待进一步提高。

到稿日期:2010-03-11 返修日期:2010-06-06 本文受国家自然科学基金项目(61073191),湖南省科技计划项目(2008GK3134),湖南省自然科学基金项目(10JJ6090),湖南省高校科技创新团队支持计划([2010]212)资助。

杨恒伏(1974—),男,博士,副教授,主要研究方向为多媒体技术、硬件系统设计,E-mail: hengfuyang@163.com;田祖伟(1973—),男,硕士,副教授,主要研究方向为计算机系统结构、软件保护、编译优化;李勇帆(1959—),男,教授,主要研究方向为多媒体技术、电子技术。

为实现高效率低功耗 SoC 设计,本文利用程序切片思想对 RTL 数据通路进行简化,并引入加权数据通路,根据数据通路使用频率控制门控时钟的产生,从而设计出一种高效的 RTL 低功耗 SoC 方案。

2 RTL 级低功耗 SoC 技术简介

进行低功耗 SoC 芯片设计,首先要弄清集成电路的功耗组成,SoC 中的功耗大致由处理器功耗、通讯功耗以及存储器功耗组成。处理器功耗和通讯功耗统称为逻辑电路功耗。CMOS 逻辑电路功耗进一步可分为负载电容充电放电引起的动态功耗、短路功耗与泄漏电流引起的静态功耗三部分。短路功耗和静态功耗与工艺有关,在深亚微米工艺下占总功耗的比例很小,达到了可以忽略的程度,此时动态功耗是主要因素^[2]。

为避免系统和门级仿真的反复设计,缩短设计周期,提高设计效率,本文考虑在 RTL 级进行低功耗优化设计。RTL 低功耗技术从降低不希望的跳变入手,这类跳变虽然对电路的逻辑功能没有不良的影响,但会导致跳变因子的增加,从而增加芯片功耗。主要包括门控时钟、逻辑重组、预计算、操作数分离等低功耗策略^[6]。门控时钟是通过减少电路中‘冗余状态翻转,让一些暂时不工作的单元处于非触发状态,当使能信号有效时时钟翻转,否则时钟保持在固定电平,于是通过将电路中的部分电路处于空闲状态来节省功耗。然而这类方法引入时钟树和触发器时会增加功耗和面积。逻辑结构重组在保证逻辑功能一致的前提下重组和优化逻辑结构,通过在电路中插入缓冲的方法来消除因路径延迟不同而引起的跳变,以限制无效开关活动的传播范围,减少逻辑门的翻转次数。这种方法需要精确得到器件和连线的延迟数值,对工艺偏差也很敏感。预计算预先进行位宽较小的计算工作,如果这些操作得到的信息可以代表实际的运算结果,则可以避免再进行位宽较大的计算工作,这样降低了电路的有效翻转率以节约功耗。操作数分离本质就是在组合逻辑模块中间加入冗余电路。在包含算术操作的数据通路中算术操作常常只在某些状态才有效,多数时间做的是冗余操作。通过加入特定的隔离电路来判断并阻止冗余操作就可以减少算术电路的翻转率,从而达到降低功耗的目的。这种方法不改变原电路功能,但冗余电路本身会增加一定的功耗。

3 基于加权数据通路的低功耗 SoC 设计方案

RTL 级一般都采用硬件描述语言 VHDL 和 Verilog 对电路进行描述,其基本要素就是组合电路模块和寄存器单元,通常情况下与工艺无关。因此 RTL 低功耗设计目的就是要降低组合电路模块和寄存器单元的有效翻转频率。为同时兼顾提高性能和减少功耗,往往需采用综合技术来实施 RTL 级低功耗策略。本文提出基于加权数据通路的 RTL 低功耗设计理念,利用程序切片技术对 RTL 级设计进行化简,提取优化的数据通路,引入通路使用频率形成加权数据通路以控制门控信号的产生,从而自动控制数据通路中门控逻辑的插入或合并,最终降低电路翻转频率,降低芯片总功耗。其总体流程如图 1 所示。

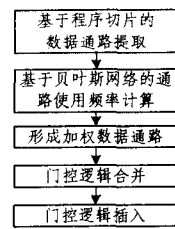


图 1 基于加权数据通路的低功耗优化流程

3.1 基于程序切片的 RTL 级数据通路提取

数据通路是集成电路的重要组成部分,数据通路功耗是 SoC 低功耗设计的重点和难点所在。为提高设计效率,简化数据通路,本文提出基于程序切片技术的数据通路提取方案,其主要步骤如下:

步骤 1 读入 Verilog 描述 RTL 代码的设计。

步骤 2 使用 Verilog 编译器对初始 Verilog 代码进行分析,运用 RTL 编译器^[8]获得 RTL 描述中的端口列表、信号列表、表达式列表、CFG 和 DD 模型等数据。

步骤 3 根据给定的状态寄存器信号名,用 Verilog 程序切片技术提取状态寄存器信号相关的 Verilog 描述,自动生成 Verilog 状态机描述^[9]。

步骤 4 利用符号模型检测技术遍历状态机,进行状态空间搜索生成模拟矢量,获得 RTL 级数据通路。

3.2 基于贝叶斯网络的数据通路权重学习

各数据通路使用频率是电路动态属性受到控制逻辑属性以及输入激励的影响。数据通路使用频率越低表示空闲时间越多,则通过关闭该类数据通路所降低的功耗就越多。在使用频率的计算过程中,需从终点往起点方向进行回溯计算,这可看作是从终点寄存器到起点寄存器的路径覆盖问题。通过路径覆盖测试确定各路径权重(使用频率),并采用基于贝叶斯网络的权重学习方法,其详细步骤如下:

步骤 1 读入数据通路文件,对生成的数据通路进行覆盖测试。采用贝叶斯网络,以电路总功耗最小化为优化总目标,在覆盖测试过程中进行路径权重学习。

步骤 2 对各路径权重 w (使用频率)进行主观赋值。

步骤 3 基于混沌映射,随机生成样本输入 S ,并进行贝叶斯网络学习训练。

步骤 4 计算各权重 w 梯度 $\frac{\partial \ln P_w(S)}{\partial w} = \sum_{i=1}^S \frac{p(e/X_i)}{w}$,其中 $P_w(S)$ 为训练样本集最后获得的概率总值, e 为优化过程中的一个属性, $p(\frac{e}{X_i})$ 表示 e 属性在样本 X_i 下的先验概率。

步骤 5 更新权重 w ,即 $w = w + l \frac{\partial \ln P_w(S)}{\partial w}$, l 为学习步长。

步骤 6 在权重更新后,重新归一化权重 w ,以保证各其取值范围为(0,1),且每一层的属性满足条件 $\sum w_i = 1$ 。

步骤 7 给定极小值 ϵ ,若有 $\frac{\partial \ln P_w(S)}{\partial w} < \epsilon$ 成立,则终止训练,即获得各数据通路权重 w ,形成加权数据通路;否则转步骤 5 继续训练。

3.3 低功耗 SoC 设计实现

低功耗设计如图 1 所示,下面给出具体的设计流程描述。

步骤 1 RTL 代码设计以及测试向量的编写。

步骤 2 利用程序切片技术对 RTL 级 Verilog 描述进行

切分,以获取 RTL 级数据通路。

步骤 3 通过路径覆盖测试,采用贝叶斯网络学习方法训练获得各通路权重(使用频率),以形成加权数据通路。

步骤 4 为减少电路中冗余状态翻转,以降低功耗,将路径权重作为控制逻辑产生或合并的依据。给定阈值 $T, T \in (0, 1)$,则可根据下面的规则来控制门控逻辑的合并与插入。这里 T 的取值与逻辑复杂度有关。

$$\begin{cases} \text{插入冗余门控逻辑,} & \text{if } w_i > T \\ \text{合并或关闭相应门控逻辑,} & \text{else} \end{cases} \quad (1)$$

步骤 5 对低功耗优化后的 RTL 代码进行逻辑综合。

步骤 6 使用 RTL Compiler 工具^[8]对优化后的设计进行功耗、时序和面积的评估。

4 优化仿真测试与性能分析

实验测试中,选择 ITC99 基准电路^[10]进行实际测试,阈值 T 取值为 0.08。由 RTL Compiler 工具读入 Verilog 设计代码,利用程序切片技术对数据通路模拟矢量进行化简,通过贝叶斯网络训练生成加权数据通路,最后根据路径权重控制门控逻辑的合并或插入。

表 1 文献[7]ODC 策略与本文算法生成数据通路节点数比较

测试电路	RTL 数据通路中节点数		
	文献[7]算法	本文算法	改进(%)
bch. 03	173	146	15.61
bch. 04	81	72	11.11
bch. 05	119	104	12.61
bch. 07	126	108	14.29
bch. 08	57	53	7.02
bch. 09	78	71	8.97
bch. 10	332	266	19.88

本文采用程序切片技术对设计进行化简,表 1 列出了孟建熠等的改进 ODC 策略^[7]与本文算法生成的数据通路节点数量的对比,对比结果显示本文算法大大减少了基准电路中 RTL 数据通路的数量,从而有助于大幅降低系统功耗。

表 2 本文方案与 ODC 优化算法性能比较

测试电路	ODC 优化算法 ^[7]		本文方案			
	面积 [μm^2]	功耗 [μW]	面积 [μm^2]	面积减 少(%)	功耗 [μW]	功耗优 化(%)
bch. 03	1489	430.23	1396	6.24	384.41	10.65
bch. 04	4120	875.42	3769	8.53	842.33	3.78
bch. 05	3942	253.51	3778	4.17	228.41	9.90
bch. 07	2950	426.65	2764	6.30	396.27	7.12
bch. 08	1240	220.28	1121	9.58	205.46	6.73
bch. 09	1461	377.77	1387	5.06	344.38	8.84
bch. 10	7756	927.9	7158	7.71	820.17	11.61
平均	\	\	\	6.80	\	8.38

本文利用贝叶斯网络训练获得各路径权重,根据权重选择合并或插入相应门控逻辑,以降低 SoC 芯片总功耗,表 2 给出了本文提出的基于加权数据通路的低功耗策略与 ODC 优化策略^[7]的性能对比。

对比测试中,文献[7]算法中的 ODC 概率阈值 P_T 取值为 10%。从表 2 中测试结果可发现,与 ODC 优化算法^[7]相比,本文方案芯片功耗总体下降了 8.38%,面积平均减少了 6.8%。

结束语 功耗管理是当前芯片设计面临的一个日益严峻的问题,本文设计了一种基于加权数据通路的低功耗优化方案,其利用程序切片技术简化低功耗设计的 RTL 代码,并生成简化的 RTL 级数据通路,明显降低了系统设计计算负荷。通过路径覆盖测试与贝叶斯网络训练得到各数据通路权重(使用频率),以形成加权数据通路,根据各路径权重自适应控制门控逻辑的合并或插入,大幅降低了芯片面积与总功耗。SoC 低功耗优化是一个综合过程,实际电路设计过程中,需要在系统设计的各个层次进行考虑,同时权衡功耗、面积与性能多个因素,才能获得满意的优化效果。

参考文献

- [1] 魏敬和,吴晓洁,虞致国. SoC 低功耗设计及其技术实现[J]. 电子与封装,2009,9(5):20-23
- [2] 井刚. 数字集成电路 RTL 级低功耗设计技术[J]. 中国集成电路,2003(11):33-36
- [3] 中国电子报. 互连技术引入 SoC 低功耗设计始自 RTL[EB/OL]. <http://www.hqew.com/info-178903.html>,2010-10-20 / 2010-10-20
- [4] Papachristou C A, Nourani M, Spining M. A Multiple Clocking Scheme for Low Power RTL Design [J]. IEEE Transactions on Very Large Scale Integration(VLSI) Systems,1999,7(2):266-276
- [5] 罗旻,杨波,高德远,等. 寄存器传输级低功耗设计方法[J]. 小型微型计算机系统,2004,25(7):1207-1211
- [6] 李杰,毕宗军,卜爱国,等. 基于功能仿真的 RTL 级低功耗优化[J]. 现代电子技术,2006(23):112-115
- [7] 孟建熠,丁永林,严晓浪,等. 一种 RTL 级数据通路 ODC 低功耗优化算法[J]. 电子学报,2010,38(7):1654-1659
- [8] Cadence. Datapath Synthesis in Encounter RTL Compiler [P]. U. S. Patents [5,892,687],[6,470,486],[6,772,398],[6,772,399],[6,807,651],[6,832,357],and [7,007,247]. 2007
- [9] 李曦,郭阳,李思昆. RTL 级模拟矢量自动生成设计化简方法研究[J]. 计算机辅助设计与图形学学报,2004,16(5):671-677
- [10] Davidson S. ITC99 Benchmark Home Page [EB/OL]. <http://www.cerc.utexas.edu/itc99-benchmarks/bench.html>,2010-10-08
- [11] 陶晓燕,姬红兵,景志宏. 一种用于人脸识别的正交邻域保护嵌入算法[J]. 西安电子科技大学学报:自然科学版,2008,35(3):539-443
- [12] Zheng Z L, Yang F, Tan W A, et al. Gabor feature-based face recognition using supervised locality preserving projection[J]. Signal Processing,2007,87(10):2473-2483
- [13] 祝磊,马莉,厉力华. 一种基于 GDLPP 的人脸识别算法[J]. 光电工程,2008,35(6):108-112
- [14] 龚卫国,杨利平,辜小花,等. 基于多级小波分解的人脸图像光照补偿方法[J]. 光学精密工程,2008,16(8):1459-1464
- [15] 王玮,黄非非,李见为,等. 使用多尺度 LBP 特征描述与识别人脸[J]. 光学精密工程,2008,16(4):698-705
- [16] 聂祥飞,郭军. 利用 Gabor 小波变换解决人脸识别中的小样本问题[J]. 光学精密工程,2007,15(6):973-977
- [17] 黄鸿,李见为,冯海亮. 融合 Log-Gabor 小波和监督保局映射的人脸识别算法[J]. 计算机辅助设计与图形学学报,2008,20(10):1332-1337
- [18] Field D J. Relations between the statistics of natural images and the response properties of cortical cells[J]. Journal of the Optical Society of America,1987,4(12):2379-2394

(上接第 276 页)

- [11] 陶晓燕,姬红兵,景志宏. 一种用于人脸识别的正交邻域保护嵌入算法[J]. 西安电子科技大学学报:自然科学版,2008,35(3):539-443
- [12] Zheng Z L, Yang F, Tan W A, et al. Gabor feature-based face recognition using supervised locality preserving projection[J]. Signal Processing,2007,87(10):2473-2483
- [13] 祝磊,马莉,厉力华. 一种基于 GDLPP 的人脸识别算法[J]. 光电工程,2008,35(6):108-112
- [14] 龚卫国,杨利平,辜小花,等. 基于多级小波分解的人脸图像光照补偿方法[J]. 光学精密工程,2008,16(8):1459-1464