

一种基于串行移位的测试数据生成方法

蔡 烁^{1,2} 邝继顺¹ 刘铁桥¹

(湖南大学信息科学与工程学院 长沙 410082)¹ (长沙理工大学计算机与通信工程学院 长沙 410004)²

摘 要 针对集成电路测试数据量大、测试应用时间长和测试结构复杂等问题,提出了一种延长扫描链的串行移位测试数据生成方法。以确定性测试生成算法为基础,充分利用测试集中的无关位 X ,让扫描链自行移位产生测试向量完成电路的测试。对整体串行移位和分段移位两种情况进行了实验,结果表明,经此方法生成而最终需施加至待测电路的测试数据量小于其他一些经典的测试方法的;而整体移位和分段移位分别在数据压缩效果和测试时间方面各具优势。

关键词 测试生成,串行移位,分段移位,测试数据压缩,测试应用时间

中图分类号 TP331 **文献标识码** A

New Test Generation Scheme Based on Serial Shifter

CAI Shuo^{1,2} KUANG Ji-shun¹ LIU Tie-qiao¹

(School of Information Science and Engineering, Hunan University, Changsha 410082, China)¹

(School of Computer and Communication Engineering, Changsha University of Science and Technology, Changsha 410004, China)²

Abstract As we known, the test of integrated circuits(IC) always encounters a lot of problems, like, processing the huge test data volume, spending a long time to test, and constructing the complex test structure. The paper proposed a serial shifter method for test generation based on extension scan chains. It is on basis of FAN algorithm and makes use of don't care bits 'X' of test set. Scan chains can generate test vector by itself. Experiments were made for the whole scan chain and the segmentation. Results show that the proposed method can achieve less test data volume compared with some other classical method. The whole shift and the segmentation one are prevailing in compression rate and test time respectively.

Keywords Test generation, Serial shifter, Segmentation shifter, Test data compression, Test application time

1 引言

随着微电子技术的迅速发展,集成电路的复杂度不断提高,特征尺寸日益缩小。这种发展趋势对芯片的测试成本和难度都产生了深刻的影响。一方面,芯片的测试数据规模急剧增加;另一方面,测试仪有限的测试能力和带宽也使得测试应用时间变长。这些都导致测试成本大幅度上升^[1,2]。

电路测试数据的生成方法主要有两大类:第一类是确定性方法,采用测试生成算法推导测试向量,其中最经典的是 PODEM 算法和 FAN 算法;另一类是基于模拟的算法,主要通过故障模拟的方法生成测试集,如遗传算法、蚁群算法、模拟退火算法等。

为使最终施加至被测电路(Circuit Under Test, CUT)的测试数据量减少,很多测试生成方法涉及数据压缩^[3]。在扫描链结构的基础上,主要有以下几种降低测试数据容量的方法:基于非线性编码的方法,此方法利用编码对测试集进行压缩,常见编码方式有哈夫曼编码、Golomb 编码、FDR 编码、EFDR 码和混合定变长码等^[4-6];基于线性解压缩的方法,该方法仅对数据进行线性操作^[9];基于广播的方式,即通过将相同的数据广播到多扫描电路中进行测试^[10,11];内建自测试

(Build-In Self-Test, BIST)辅助扫描测试,此方法引入新测试结构,能有效地压缩测试激励与响应数据^[12,13]。

以上方法在寻求生成最简测试集的同时,也存在一些不足。比如编码压缩方法是预先将原测试集压缩,并存储在自动测试设备(Automatic Test Equipment, ATE)中,测试时 ATE 中的数据通过片上解码电路还原成原始测试向量再加载至被测电路。当解码器较复杂时,增加的额外硬件成本也不可忽视。

考虑到原始测试集含大量无关位 X ,本文利用扫描链结构,提出一种延长扫描链的串行移位测试生成方法,其在保证故障覆盖率的前提下,以较小的硬件代价生成测试数据,减少测试应用时间,而本方法并不需要额外解码电路。本文首先介绍串行移位测试结构,然后提出串行移位测试生成算法,最后对实验结果进行分析和比较并得出结论。

2 延长扫描链的串行移位测试结构

2.1 整体串行移位结构

时序电路可以分为组合逻辑部分和存储部分,存储部分是由触发器构成的。一般将触发器输出而连入组合逻辑部分输入的端子称为电路的伪原始输入(PPI);将组合逻辑部分输

到稿日期:2012-01-31 返修日期:2012-05-25 本文受国家自然科学基金(60773207,60673085)资助。

蔡 烁(1982-),男,博士生,讲师,主要研究方向为集成电路测试, E-mail: csustcs4002@163.com;邝继顺(1959-),男,博士,教授,博士生导师,主要研究方向为集成电路测试、嵌入式系统;刘铁桥(1983-),男,博士生,主要研究方向为集成电路测试。

出而连入触发器输入的端子称为伪原始输出(PPO)。图1为本文采用的延长扫描链的整体串行移位测试结构图。

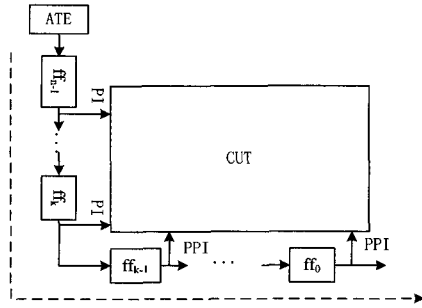


图1 延长扫描链的整体串行移位测试图

图1的虚线表示整个串行移位寄存器的路径。若电路原始输入PI和伪原始输入PPI总数为 n ，测试时，将电路内部的触发器 $ff_0, ff_1, \dots, ff_{k-1}$ 连成扫描链结构，并将输出加载至被测电路的PPI，再补充 $(n-k)$ 个触发器连入扫描链，使该链延长至 n 位，延长部分的触发器输出被加载至电路的原始输入PI。在ATE中存入合理而有效的测试数据，将它们逐位移入串行移位寄存器中，则每个时钟周期都可形成一个新的测试向量对CUT进行测试。依此测试结构，需保存的测试数据是每次移入移位寄存器中的数据，而非原始测试集。本文的工作是通过有效的算法来寻找存入ATE中的测试数据，在满足测试要求的情况下使其最简。

2.2 分段串行移位结构

为了进一步减少测试应用时间，可以对整体串行移位寄存器进行分段，如图2所示。

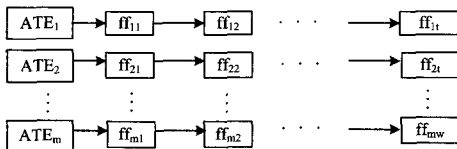


图2 分段串行移位测试结构图

分段移位的测试原理与整体串行移位原理相似，不同之处在于将整条链分成了 m 段，对每段分别进行移位处理。

3 串行移位测试方法

3.1 测试原理

首先介绍与本文有关的两个定义。

定义1 测试向量 $V1$ 和 $V2$ 的海明距离为0，则称二者相容，互为匹配向量。

例如，若向量 $V1 = \{0, 1, X, 1, X, 0\}$ ；向量 $V2 = \{X, 1, 0, 1, 1, 0\}$ ，两者的对应位分别为 $(0, X)$ 、 $(1, 1)$ 、 $(X, 0)$ 、 $(1, 1)$ 、 $(X, 1)$ 、 $(0, 0)$ ，由于不定位 X 与任何值均匹配，因此 $V1$ 和 $V2$ 的海明距离为0，二者互为匹配向量。

定义2 一个测试向量中0和1的数量总和称为该向量的生成难度。

例如，向量 $V = \{0, 1, X, 1, 1, X, 0, X\}$ 的生成难度为5。定义2描述了一个测试向量中确定位的数目。当向量总位数确定后，生成难度越小，该向量越容易与其他向量相容。

串行移位测试生成方法是利用延长扫描链中数据的移位连续产生测试向量。每个时钟周期到来时扫描链中的数据首位被移出，而ATE中的一位数据移入扫描链的尾部，从而产生一个新的测试向量对电路进行测试。该方法以现有的确定性测试产生算法——FAN算法为基础，将FAN算法产生的

测试集当成向量移位的目标，逐步将目标集与扫描链移位后的向量相匹配，直至所有的故障被检测。

在阐述测试算法之前，先来看一个简单示例。假设被测电路有6个故障 $f_0 - f_5$ ，对每个故障，用FAN算法产生1个测试向量，分别记为 $V_0 - V_5$ ，组成原始测试集。新建一个空测试集，以 V_0 为初始向量加入其中，记作 V_0' ，假设经故障模拟得知 V_0' 可检测故障 $\{f_0, f_4\}$ ，则将这两个故障从故障列表中删除，并删除它们对应的向量 $\{V_0, V_4\}$ ；将 V_0' 移动若干位变成 V_2' 后，从剩余原始测试集 $\{V_1, V_2, V_3, V_5\}$ 中寻找最佳匹配向量 V_3 ；若 V_0' 移动至 V_2' 需经过中间向量 V_1' ，且 V_1' 能检测出新故障 f_1 ， V_2' 能检测新故障 f_2 和 f_3 ，则将 f_1, f_2, f_3 和 V_1, V_2, V_3 从相应列表中删除。采用同样的方法将 V_2' 继续移动，以寻求最佳匹配向量，并动态删除故障和对应的剩余向量，直至原始测试集或故障集为空。过程如图3所示。

新测试序列	新检测故障	剩余故障	剩余原测试集
\varnothing	\varnothing	$f_0, f_1, f_2, f_3, f_4, f_5$	$V_0, V_1, V_2, V_3, V_4, V_5$
$V_0' = V_0$	f_0, f_4	f_1, f_2, f_3, f_5	V_1, V_2, V_3, V_5
V_1'	f_1	f_2, f_3, f_5	V_2, V_3, V_5
$V_2' = V_3$	f_2, f_3	f_5	V_5
$V_3' = V_4$	f_5	\varnothing	\varnothing

图3 串行移位测试生成过程

最终测试集为 $\{V_0', V_1', V_2', V_3'\}$ 。当选择初始向量 V_0 后，只需要移入3位测试控制位即可生成电路的完整测试集。相比由FAN算法产生的原始测试集，最终需存储在ATE中的测试数据容量在很大程度上得到了降低。

为了加速测试，减少测试数据容量，整个测试过程插入故障模拟的步骤。由于目标测试集含大量的无关位 X ，在向量匹配时可能存在多个目标集与当前移位向量相容的情况，此时选择生成难度最大的目标向量，因为剩下生成难度小的目标向量更容易被匹配。当确定两个向量匹配后，可能需要将延长扫描链中的某些 X 位赋值为0或1，称之为向量还原。最终将每个时钟周期移入扫描链中的数据存入ATE中，对CUT进行测试。

3.2 测试算法流程

整个串行移位测试算法流程如图4所示。

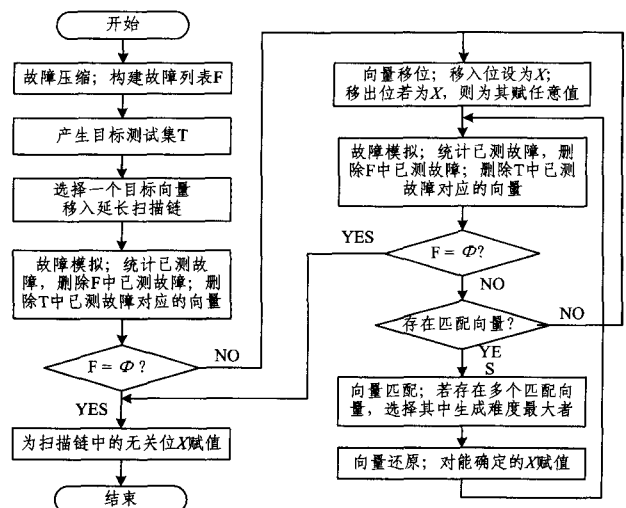


图4 串行移位测试算法流程图

首先对故障集进行压缩，合并等价故障，然后利用FAN

算法对最简故障集产生目标测试集;初始化第一个向量后,算法每次对扫描链中的向量串行移动一位(填充 X)并寻找其匹配向量,若找不到匹配向量,则继续移动一位后寻找目标向量与之匹配;若存在多个目标向量与当前移位向量相匹配,则选择目标集中位置靠前的生成难度最大的向量。需要注意的是,向量还原后的故障模拟也是必要的,因为无关位 X 被赋以定值后,该向量能检测的故障数目可能会增加。

该算法能确定每次移入扫描链中的测试数据逻辑值,这些数据与初始目标向量一同存入 ATE 中。

若将扫描链分成 m 段,每个时钟周期对各段分别进行移位操作,便能更快地完成测试过程。所付出的代价是:相比单链测试,分段移位测试需存储的总数据量更大。本文第 4 节列出了两种方法的比较结果。

4 实验结果与分析

利用本文方法对 ISCAS'85 和 ISCAS'89 的部分电路进行实验,统计测试各个电路需存储的总数据位数。实验环境为 3.2GHz Pentium Pro PC, 2GB 内存;故障模拟工具是 HOPE^[14];并利用 FAN 算法对经过压缩后的每个故障产生测试向量,构建初始目标测试集 T。

表 1 列出了本文方法采用单链移位时与参考文献中其他几种测试方法的比较结果,被测电路为 ISCAS'89 部分电路。文献[15,16]采用的是线性反馈移位寄存器(Linear Feedback Shift Register, LFSR)重播种技术;而文献[17,18]采用的是编码压缩方法。

表 1 测试数据容量比较结果

电路名称	本文方法	LFSR 重播种方法		编码压缩方法	
		文献[15]	文献[16]	文献[17]	文献[18]
S5378	2064	4658	5040	11006	10777
S9234	8657	8434	7931	20162	18380
S13207	4225	8461	7723	28930	23111
S15850	4516	9444	9423	24127	23104
S38417	17691	33877	36884	62568	73505

表 1 的数据为各种方法测试该电路时需存储的总数据位数(单位:bit)。为便于操作,加载至寄存器链中的初始向量为全 0,这可通过对移位链中的触发器清零实现。表中加粗的值为以上方法针对该电路的测试数据最小值。除 S9234 外,其他几个被测时序电路采用本文所介绍的方法,能得到更简测试数据。

针对本文提出的整条链串行移位和分段移位的两种方法,表 2 列出了二者的实验比较结果。

对单条链整体移位测试($m=1$)、分 2 段移位测试($m=2$)和分 4 段移位测试($m=4$)分别进行了实验,对比三者的总存储位数(空间)和施加测试向量的时钟数(时间),取 $m=1$ 的空间和时间为单位 1。表 2 列出了 9 个组合电路和 9 个时序电路的实验结果,并计算了相比单链整体移位测试,分两段和分 4 段的平均空间基数和平均时间基数。图 5 对表 2 实验中的 6 个电路从存储空间和测试时间两方面进行了比较。

图 5 上部分为存储空间比较结果,纵坐标所示的值是 ATE 需存储的测试数据位数;图 5 下部分为测试时间比较结果,纵坐标的值为测试时所需的时钟周期数。从表 2 和图 5 可知,一般,电路的测试数据量随着分段数 m 的增大而增大,而测试施加的时钟周期数则随之减少。测试时可根据对存储容量和测试应用时间的要求选择合适的分段数。

表 2 整体移位与分段移位测试比较结果

电路名称	$m=1$		$m=2$		$m=4$			
	空间	时间	空间	时间	空间	时间		
C432	264	1	174	1.32	0.66	138	2.09	0.52
C880	321	1	229	1.43	0.71	173	2.16	0.54
C1355	1233	1	740	1.20	0.60	475	1.54	0.39
C1908	978	1	742	1.52	0.76	535	2.19	0.55
C2670	3428	1	1714	1.00	0.50	1600	1.87	0.47
C3540	832	1	676	1.63	0.81	549	2.64	0.66
C5315	962	1	967	2.01	1.01	757	3.15	0.79
C6288	75	1	63	1.68	0.84	57	3.04	0.76
C7552	7581	1	5682	1.50	0.75	3774	1.99	0.50
S208	147	1	91	1.24	0.62	75	2.04	0.51
S344	81	1	67	1.65	0.83	46	2.27	0.57
S526	396	1	262	1.32	0.66	163	1.65	0.41
S713	524	1	288	1.10	0.55	161	1.23	0.31
S1488	453	1	302	1.33	0.67	236	2.08	0.52
S5378	2064	1	1260	1.22	0.61	1130	2.19	0.55
S9234	8657	1	4685	1.08	0.54	2679	1.24	0.31
S15850	4516	1	2849	1.26	0.63	1943	1.72	0.43
S38417	17691	1	13353	1.51	0.75	9919	2.24	0.56
平均值	—	1	—	1.39	0.69	—	2.07	0.52

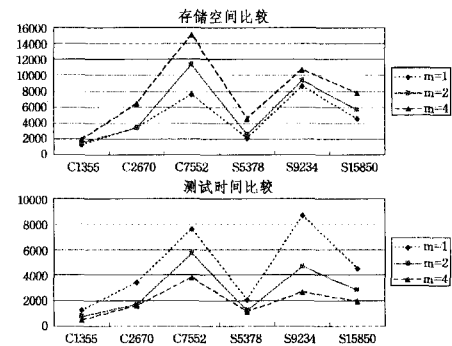


图 5 部分实验电路存储空间与测试时间比较图

结束语 本文在 FAN 算法的基础上,提出了一种延长扫描链的串行移位测试方法。该方法充分利用测试集中的无关位 X,以很小的硬件代价由扫描链自行移位产生测试向量对电路完成测试;此外,还可对延长后的整条扫描链进行分段移位处理,以进一步减少测试时间。测试时,根据第 3 节描述的算法找出被测电路的测试数据并存储于 ATE 中,然后将其设计成 BIST 结构。与其它测试方法相比,本文提出的方法不仅能节省硬件存储开销,而且所需的测试应用时间也很少,因此在低测试费用方面将更具优势。

参考文献

- [1] Bushnell M L, Agrawal V D. Essentials of Electronic Testing for Digital, Memory, and Mixed-Signal VLSI Circuits[M]. USA: Kluwer Academic Publishers, 2006
- [2] 黄越,于宗光,万书芹. 无回溯并行多路径搜索测试向量生成算法[J]. 计算机应用, 2010, 30(5): 1390-1393
- [3] You Zhi-qiang, Wang Wei-zheng, Dou Zhi-ping, et al. A Scan Disabling-BAST Scheme for Test Cost Reduction[J]. IEICE Electronics Express, 2011, 16(8): 1367-1373
- [4] Chandra A, Chakrabarty K. Test data compression and decompression based on internal scan chains and Golomb coding[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(6): 715-722

(下转封三)

$$\tau^1(\emptyset) = f_1 \vee (True \wedge AX(\tau^0(\emptyset))) = \{\emptyset\} \cup (S \cap AX(\emptyset)) = \{\emptyset\}$$

⋮

可以看出,计算的 τ 值全是 \emptyset ,所以 $S_0 \notin A[True \cup f_1]$,该模型满足上述定义的安全性要求。

(b) $\tau(Z) = \mu Z. f_2 \vee (True \wedge AXZ)$ 的最小不动点计算如下:

$$\tau^0(\emptyset) = \emptyset$$

$$\tau^1(\emptyset) = f_2 \vee (True \wedge AX(\tau^0(\emptyset))) = \{s_{13}\} \cup (S \cap AX(\emptyset)) = \{s_{13}\}$$

$$\tau^2(\emptyset) = f_2 \vee (True \wedge AX(\tau^1(\emptyset))) = \{s_{13}\} \cup (S \cap AX(\{s_{13}\})) = \{s_{12}, s_{13}\}$$

⋮

$$\tau^{14}(\emptyset) = f_2 \vee (True \wedge AX(\tau^{13}(\emptyset))) = \{s_{13}\} \cup (S \cap AX(\{s_1, s_2, s_3, s_4, s_5, s_6, s_7, s_8, s_9, s_{10}, s_{11}, s_{12}, s_{13}\})) = \{s_0, s_1, s_2, s_3, s_4, s_5, s_6, s_7, s_8, s_9, s_{10}, s_{11}, s_{12}, s_{13}\}$$

$$\tau^{15}(\emptyset) = f_2 \vee (True \wedge AX(\tau^{14}(\emptyset))) = \{s_{13}\} \cup (S \cap AX(S)) = \tau^{14}(\emptyset)$$

显然, $\tau^{14}(\emptyset) = S$ 为最小不动点;因为 $s_0 \in S$,该计算模型满足上述定义的活性要求。

由此可以看出, TDS 算法是合理有效的。

结束语 本文提出了多处理器任务调度算法 TDS 的自

动机模型,并通过不动点理论对其进行了形式化验证,讨论了算法的合理有效性。应用自动机建模,并将所建模型转换成 Kripke 结构,然后在此基础上应用模型检测方法进行验证,本文结合实例进行了系统的说明。今后的研究工作可以进一步探讨目前的扩展 Büchi 自动机模型是否可以应用到其他的系统或者算法建模中,或者探索一下对于目前的模型是否有更简单更好的检测方法。

参考文献

- [1] Darbha S, Agrawal D P. Optimal scheduling algorithm for distributed-memory machines[J]. IEEE Transactions on Parallel and Distributed System, 1998, 9(1): 87-95
- [2] Huth M, Ryan M. 面向计算机科学的数理逻辑: 系统建模与推理(第二版)[M]. 何伟, 樊磊, 译. 北京: 机械工业出版社, 2007: 107-112
- [3] Baier C, Katoen J-P. Principles of Model Checking [M]. Cambridge: The MIT Press, 2007: 174-188
- [4] Clarke E M, Grumberg O, Long D E. Model Checking[M]. Cambridge: The MIT Press, 1999: 61-65
- [5] 鱼先锋, 雷丽晖, 李永明. 单道批处理系统的建模与验证[J]. 计算机科学, 2011, 38: 257-259
- [6] 边计年. 数字系统设计自动化(第二版)[M]. 北京: 清华大学出版社, 2005: 351
- [7] Chandra A, Chakrabarty K. Test data compression and test resource partitioning for system-on-chip using frequency-directed run-length(FDR) codes[J]. IEEE Trans. Computers, 2003, 52(8): 1076-1088
- [8] Kavousianos X, Kalligeros E, Nikolos D. Multilevel-Huffman test-data compression for IP cores with multiple scan chains[J]. IEEE Trans. Very Large Scale Inter. (VLSI) Syst, 2008, 16(7): 926-931
- [9] Gonciari P T, Hashimi B M. Variable-length input Huffman coding for system-on-a-chip test[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2003, 22(6): 783-796
- [10] 詹文法, 梁华国, 时峰, 等. 混合定变长码的测试数据压缩方案[J]. 计算机学报, 2008, 31(10): 1826-1834
- [11] Rajski J, Tyszer J, Kassab M, et al. Embedded deterministic test[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2004, 23(5): 776-792
- [12] Dai Gui, You Zhi-qiang, Kuang Ji-shun, et al. DCScan: A Power-Aware Scan Testing Architecture[C]//IEEE Proc. ATS, 2008: 343-348
- [13] Donglikar S, Manga M, Chandrasekar M, et al. Fast Circuit Topology Based Method to Configure the Scan Chains in Illinois Scan Architecture[C]//IEEE Proc. ITC, 2009: 18-20
- [14] Arai M, Fukumoto S, Iwasaki K. Test Data Compression of 100x for Scan-based BIST[C]//IEEE Proc. ITC, 2006: 23-25
- [15] Hosokawa T, Chen Y, Wan L, et al. A Test Pattern Matching Method on BAST Architecture Using Don't Care Identification for Random Pattern Resistant Faults[C]//Proc. IEEE International Symposium on Communications and Information Technologies, 2010: 738-743
- [16] Lee H K, Ha D S. HOPE: AN Efficient Parallel Fault Simulator for Synchronous Sequential Circuits[J]. IEEE Transaction on Computer-Aided Design of Interated Circuits and Systems, 1996, 15(9): 1048-1058
- [17] Fu Y H, Wang S J. Test Data Compression with Partial LFSR-Reseeding[C]//Proc of Test Symposium, 14th ATS, 2005: 343-347
- [18] Wang S M, Wei Wen-long, WANG Zhang-lei. A Low Overhead High Test Compression Technique Using Pattern Clustering With N-Detection Test Support[J]. IEEE Transactions on Very Large Scale Interation Systems, 2010, 18(12): 1672-1685
- [19] Maleh E L, A H. Test data compression for system on a chip using extended frequency directed run length code[J]. Computers & Digital Techniques, 2008, 2(3): 155-163
- [20] Tseng W D, Lee L J. Test Data Compression Using Multi-dimensional Pattern Run-length Codes[J]. Journal of Electronic Testing, 2010, 26(3): 393-400

(上接第 300 页)