

基于硅光子的片上光互连技术研究

钱 磊 吴 东 谢向辉

(江南计算技术研究所 无锡 214083)

摘 要 随着芯片半导体工艺的发展,芯片集成度不断提高,单个芯片上所能容纳的计算核心数越来越多,使得核心间的数据移动效率成为制约处理器芯片整体性能的关键因素。光互连技术采用波导方式传输数据,信号传输的损耗低、速度快、延迟小,它通过采用波分复用(WDM)技术可以达到很高的带宽密度,有助于解决片上通信的瓶颈问题。面向未来片上高性能互连的需求,深入分析了电互连技术的现状与局限性,研究并分析了基于硅光子的光互连技术发展现状和趋势,对比了多种典型光互连架构的特点及优缺点,总结了未来硅光子互连技术需要解决的5个重要问题。

关键词 片上光互连,硅光子,互连架构

中图法分类号 TP302 文献标识码 A

Study of Silicon Photonics Based On-chip Optical Interconnect

QIAN Lei WU Dong XIE Xiang-hui

(Jiangnan Institute of Computing Technology, Wuxi 214083, China)

Abstract With the development of semiconductor technology, the chip integration is increasingly improved, and more and more computing cores can be integrated in a single chip. The efficiency of data moving between computing cores impacts the performance of whole chip. Optical interconnect using wavelength division multiplex technology has high transmission speed but low signal loss, low transmission delay and power consumption. It will become the potential technology to solve the on-chip communication problem of future multi-core and many-core processors. To meet the needs of future on-chip communications, the features and limitations of electrical interconnect were analyzed. Then, the state-of-the-art and the future trends of optical interconnect technology were studied, and its limitation was presented. Based on these works, the features, advantages and drawbacks of some typical on-chip optical interconnection architecture were analyzed deeply. Finally, five important open problems were proposed.

Keywords On-chip optical interconnect, Silicon photonics, Interconnect network architecture

1 引言

随着芯片半导体工艺的发展,芯片集成度不断提高,单个芯片上所能容纳的计算核心数越来越多,使得核心间的数据移动效率成为制约整个处理器芯片整体性能的关键因素。传统的片上互连技术由于受到电互连物理特性的制约,其传输延迟、带宽密度和功耗等关键性能指标很难有质地提升,成为制约片上通信性能进一步提升的瓶颈。相比,光互连技术采用波导方式传输数据,信号传输具有损耗低、速度快、延迟小的优点。此外,采用WDM技术可以大幅提升互连的带宽密度。因此,光互连技术对于解决上述通信瓶颈问题具有潜在优势。

目前,光互连技术已广泛应用于高性能计算机中的机柜间和节点间互连,为高性能计算机系统提供高带宽、低延迟的互连性能。随着硅光子(Silicon Photonics)技术的不断发展成熟,光互连技术正朝着更短传输距离、更高带宽密度和集成

度的方向发展。作为一个跨学科的热门研究方向,硅光子互连技术将为未来多核、众核处理器芯片提供更高的I/O带宽密度、更低的数据移动开销,成为实现E级计算能力的核心关键技术之一。

本文面向未来片上互连的需求,深入分析了目前基于金属线的片上电互连技术的发展现状、潜在的问题和局限性。在此基础上,本文第3节简单介绍了硅光子技术及片上光互连技术的发展现状和趋势;第4节分类讨论了多种典型的片上光互连网络架构,对比分析了各自的特征和优缺点;最后,总结了目前硅光子互连技术存在的5方面主要问题,指出了未来研究工作的方向。

2 片上电互连技术的发展现状及存在的问题

传统的超大规模集成电路主要采用具有低阻抗、高导电率的金属线实现片上元件间的互连,通过SiO₂等绝缘材料实现线与线之间的隔离。基于金属线的电互连技术经历了一个

到稿日期:2011-06-05 返修日期:2011-10-19 本文受国家重点基础研究发展规划973(2007CB310900)项目资助。

钱 磊(1982-),男,博士生,助理工程师,主要研究方向为高性能计算机体系结构、高性能计算机互连网络等,E-mail:qianlei0808@163.com;
吴 东(1972-),男,博士,高级工程师,主要研究方向为高性能计算机体系结构、可重构计算等;谢向辉(1958-),男,博士,高级工程师,博士生导师,主要研究方向为高性能计算机体系结构、分布式计算等。

长期的发展过程,从集成电路最早期所采用的 Al/Al 合金 + SiO₂ 材料,发展至目前采用基于 Cu/Cu 合金 + SiO₂ + 低 K 电介质来实现片上互连线的阶段,其目标是通过不断探寻新的互连材质减低互连线路的 RC 延迟,提高互连的带宽密度^[1]。

然而,随着半导体制造工艺的不断发展,尤其当半导体工艺发展到深亚微米阶段时,受到金属线物理特性的局限,基于金属线的电互连技术存在如下一些问题。

传输延迟问题。一方面,在 Cu/低 K 介质工艺的情况下,传输延迟随线宽的增加而降低,半导体工艺的进步并未带来传输延迟的显著降低。随着线宽的增加,每 1mm 金属线的 RC 延迟最小达到约 20ps^[2]。相比之下,晶体管的特征尺寸随着半导体工艺的发展而不断缩小,未来 16nm 工艺下,单个晶体管的门延迟将有可能降低到 1ps 以内,使得门延迟与电互连延迟差距不断增大。另一方面,由于金属线存在串联电阻,电信号在传输中会不断衰减。在实现较长距离传输时,需要额外的中继器来保持信号的可靠传输。中继器的引入大大增加了片上数据传输的延迟。片上每毫米金属线的传输延迟如图 1 所示。

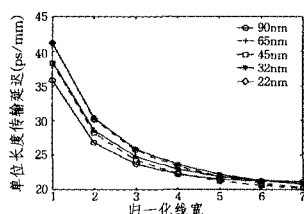


图 1 片上每毫米金属线的传输延迟

带宽密度问题。根据摩尔定律的预测,每 18 个月单个芯片上所能集成的晶体管总数翻一番。这导致片上需要越来越多的金属线用于保证逻辑间的互连通信。然而,由于金属线存在 RC 效应和信号串扰,其必须满足最小线宽和线间距的要求,以保证信号传输的完整性。这就使得片上布线密度难以大幅提高。目前,如何有效提高片上互连的带宽密度是亟待解决的一大技术难题。

功耗问题。有研究表明,在 65nm 工艺下,一个 32 位的加法器需要消耗 0.8pJ 能量,而将一个 32 位数据移动 1mm 需要消耗 13pJ 能量^[3]。电互连的物理特性决定了其功耗开销。由于金属线属于电阻性器件,其本身具有的串联电阻使信号在传输过程中不断发生衰减,信号发送器需要消耗更多的能量以保证信号能在一定距离内完整传输到接收端。此外,为了满足长距离传输的需要,额外引入的中继器也是互连功耗主要来源之一。

相比之下,光互连技术由于其优异的物理特性,对于实现未来片上互连,解决上述问题,具有潜在的优势。

3 硅光子技术及其发展现状

3.1 硅光子技术概述

硅作为实现现代超大规模集成电路的最基本的原材料,既是一种电子材料,也是一种光子材料。英国科学家 Canham 于 1990 年就发现了在阳极氧化的多孔硅中能高效地产生可见光,其效率为体硅材料的 10 万倍,标志着硅光子学研究的开始^[4]。此后,硅光子学作为一门涉及多学科领域的综合科学不断发展成熟。目前硅光子学已包括了诸多研究方向,如

硅及硅基异构材料的光子行为、特性研究,硅基发光器件、硅基光子探测器、硅基光调制器、硅基和绝缘硅(SOI)基光波导等硅光子器件的结构研究、制造工艺开发,以及硅光子器件和电子器件混合集成技术研究等。

硅光子技术的应用则主要依赖半导体技术和集成电路制造工艺的不断发展成熟。根据 IRTS 的预测以及对代工厂的研制计划的分析,至 2011 年前后,集成电路制造工艺已经发展到 32/45nm 阶段,预计在 2015 年前后 22/20nm 工艺将趋于成熟稳定。与集成电路制造工艺尺寸相比,光波在 Si、GaAs、InP 等材料中的波长约在 350~400nm 范围内。半导体的加工能力已经进入了光波长的范围内,可以根据要求设计加工出小于光波长的各种器件结构,以满足硅光子器件的设计、制造和应用的需求。

3.2 片上光互连技术最新进展及发展趋势

国外许多知名的研究机构和芯片厂商很早就认识到光互连技术在片上互连中的应用前景,已经在相关领域开展了多年的研究和探索,其中以 Intel、IBM 为首,在诸多关键技术上取得了突破。本文主要关注目前国内外片上光互连技术方面的最新进展情况。

3.2.1 IBM CMOS 集成纳米光子技术研究

IBM 公司自 2003 年开始致力于 CMOS 集成纳米光子技术的研究,取得了显著进展,主要研究成果包括硅光子互连技术所需的各种光子器件的制备,如锗探测器(Germanium detectors)、波分多路复用器、片上光波导、边缘耦合器,以及光/电调制器等,在相关研究过程中发表了大量相关研究论文^[5]。此外,IBM 还启动了一个名为“SNIPER”的项目,其主要目标是在现有成熟的 CMOS 工艺流程之上,以最小的改动代价,实现各种纳米光子器件在同一硅片上的集成。在上述研发成果的基础上,IBM 于 2010 年 12 月成功完成了一款基于 130nm 工艺的 CMOS 集成纳米光子互连实验芯片。凭借其工艺集成度优势,IBM 可以在 5×5mm² 的 CMOS die 上高密度集成 50 个 20Gbps 数据通道,实现单芯片 Tb 级的互连和 I/O 带宽,以满足未来 E 级计算对芯片带宽密度的需求^[6,7]。

3.2.2 Intel 硅基光互连技术研究

Intel 的 Sunny California 实验室从 2004 年开始致力于硅基光互连技术的研究,主要研究内容涵盖了硅基光互连所需的各种片上元器件,如硅光调制器、硅 Raman 激光器、硅光子探测器等^[8]。在此基础上,Intel 于 2010 年 7 月成功研制了世界上首个 50Gbps 的硅光子通信链路原型系统^[9],Intel 50Gbps 硅光子通信链路结构如图 2 所示。

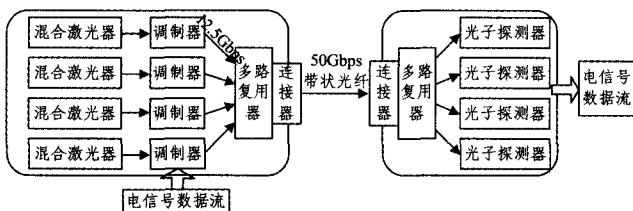


图 2 Intel 50Gbps 硅光子通信链路结构

该原型系统主要结构包括一个集成发送器和一个集成接收器。每个芯片包括 4 个 12.5Gbps 的光数据通道,4 个光数据通道通过波分多路复用(WDM)方式共享同 1 根带状光纤,其聚合带宽达到 50Gbps,可以支持高速信号的远距离传输。未来,采用 40Gbps 的硅光调制器并增加光数据通路的数量,

数据传输率将扩展至 1Tbps 以上,有助于实现未来片上 Tb 级互连和 I/O 通信。

3.2.3 欧洲硅光子技术研究项目

在 FP7 计划(Seventh Framework Programme)的支持下,欧盟各国的诸多大学、研究所和厂商开始对硅光子技术展开系统深入的研究。其中典型的项目有:由英国 5 所大学合作展开的 UK Silicon Photonics 项目,其主要从事硅光子互连相关的基础性研究,包括硅基光波导技术、硅光调制技术和光过滤技术等^[10];由 IMEC 和 CEA-LETI 微电子研究中心参与的 PhotonFAB 项目,其主要致力于研究和开发面向硅光芯片设计的开发工具套件、库,为硅光芯片的制造扫清障碍^[11];由 IMEC、IBM Research GmbH、LPN 和 TUE 大学参与的 Historic 项目,其主要研究内容包括光信号的直接存储技术,在 Optical RAM 研究方面取得了一定的进展^[13,14]。此外,与硅光子互连相关的项目还有 BOOM 项目、Helios 项目、Platon 项目等,它们在硅光子技术的各个方面均取得了一定的研究进展^[12,15-17]。

3.2.4 国内外学术界研究进展

国内外学术界在片上光互连方面也展开了广泛的研究。例如,MIT Carbon 项目所研究的一种全新的众核处理器 AT-AC 架构,采用光互连技术实现总线式的全局广播网络,并采用 WDM 技术使多组通信可以同时进行而不产生冲突,从而在由上千核构成的大规模片上互连网络中,使任意两个核之间都能保持 $O(1)$ 的通信延迟^[18-20];哥伦比亚大学 Lightwave Research Laboratory 研究并开发了一种多层硅光子微型振荡滤波器及 12.5Gbps 波分多路复用无错数据传输技术,构建了一种新型的高性能硅光子片上互连网络^[21];罗切斯特大学 Jing Xue 等人提出了一种全新的片上自由空间光互连实现方案,即通过采用现有较为成熟的 VCSEL、PD 技术,基于 GaAs 工艺和未来 3D 集成技术,在片上构建专用的自由光通信层,通过微反光镜对光进行反射,实现节点与节点间的点对点直接通信。国内也有一些研究团队正在开展相关的研究工作,并取得了一定的进展^[22]。如中科院上海微系统所 SOI 小组在 2010 年与上海宏力半导体合作,在标准 CMOS 工艺下开发 10Gbps 速率的硅光调制器芯片;中科院半导体所陈少武等研究人员正在从事硅基微纳光波导传输技术、高 Q 值 SOI 微纳波导微环谐振器等光子器件及其集成技术的研究工作。

3.2.5 未来发展趋势

由于硅光芯片的设计制造从材料、工艺到测试、封装都与传统的半导体芯片差别巨大,目前其技术成熟度仍无法满足实用要求。随着硅光子技术和 3D 集成技术的不断发展和成熟,预计 2015 年后,硅基光互连技术将被逐步应用于多计算模块内(On-MCM)和芯片内(On-Chip)光互连,以实现单条链路 200Gbps 以上、聚合 Tb 级以上互连带宽,为未来多核和众核处理器提供更高的 I/O 带宽密度、更低的数据移动开销^[23]。表 1 所列为对硅光子互连技术发展趋势的预测^[24]。

表 1 硅光子互连技术发展趋势预测

	2010 年	2013 年	2016 年	2019 年
应用领域	有源光缆	有源光缆 光学模块	光学模块 光 ASIC	2D-3D 光 ASIC 光芯片
单条链路数据带宽	10Gbps	40Gbps	>200Gbps	>400Gbps
聚合带宽(4X)	40Gbps	160Gbps	>800Gbps	>1.6Tbps
单位比特功耗开销	20pJ/bit	8pJ/bit	<3pJ/bit	<1pJ/bit

4 基于硅光子技术的片上光互连网络

4.1 点对点的片上光通信链路

点对点的片上光通信链路是片上光互连的最简单形式。光通信链路连接片上的两个计算核心,通过光电转换和波分复用技术,将电信号转换为光信号,实现数据的高速传输。该链路涵盖了片上光互连所需的最主要的光学器件,如光源、硅光调制器、光子探测器、波分多路复用器/解复用器、片上光波导以及光交换部件等。图 3 所示为点对点的片上光通信链路结构。

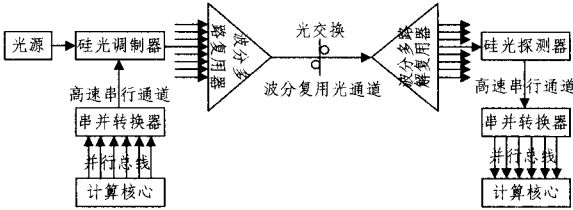


图 3 点对点的片上光通信链路结构

图 3 中光源主要负责生成载波信号。目前,光源主要分为片上光源和片外光源。由于片上光源仍然是有待攻克的一项技术难题,因此,当前研究主要采用片外光源方式,即通过边缘耦合,将外部载波信号输入到片上光波导中。硅光调制器负责将来自处理器核的消息数据调制到特定波长的光波载波上。波分复用器则将不同波长的光信号调制到光波导的各个独立传输通道上,实现波分复用的信号传输。光交换部件实现光数据通路的切换,如可以通过微环共振器,使光信号从横向光波导传递到纵向光波导上。光信号的接收依赖滤波和光子探测,即首先将从光波导中过滤出特定波长的光信号,然后通过光子探测器,实现光信号到电信号的转换。

4.2 典型片上光互连网络架构

基于电互连技术的片上互连网络主要采用动态包路由机制实现数据的传输。然而,由于硅光子技术具有不同于电的物理特性,尚无法实现光信号的直接、高效的存储转发,因此,为解决该问题,相关研究结合硅光子技术的特点,提出了多种典型的基于硅光子互连技术的片上互连架构。

(1) 光总线架构

光总线架构是一种共享传输介质的无交换、无路由片上互连架构。基于传统电互连技术受到信号传输延迟、衰减和带宽密度等因素的限制,使基于电互连技术的片上总线架构难以满足高性能多核、众核微处理器的需求。与电信号传输相比,光的传输延迟和信号衰减小,适合长距离信号传输。此外,最重要的是,采用 WDM 技术可以实现多个高速光信号传输通道复用同一光波导介质,使得多条光通道可以同时并行传输数据,有效减少了因共享而导致的冲突。同时,多条独立通道可以支持多个处理器核心同时进行并行的广播操作。图 4 所示为一种环网结构的光互连总线,其通过环网连接片上的所有计算核心。

虽然基于 WDM 技术的光总线相对于电总线具有诸多可实现性方面的优势,但其仍然只能一定程度上减少而不可能完全避免共享冲突的发生。因此,必须通过一定方式解决冲突问题。一些传统的方法,如集中仲裁、冲突检测/重传等,在光互连网络中仍然适用。此外,共享介质的实现方式也制约了光总线的可扩展性。

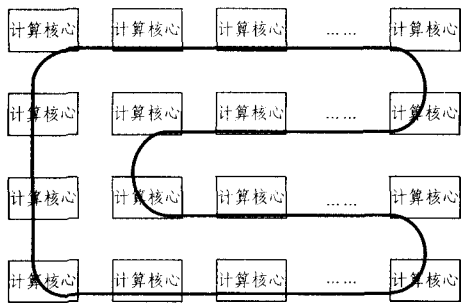


图4 光互连总线架构

(2)点对点静态全连接架构

点对点全连接是一种非常理想的互连架构,但一般情况下难以实现。其主要的原因是,全连接导致连接数和布线规模随网络规模呈平方增长。与传统电互连相比,基于光互连技术实现点对点全连接具有一定的优势。采用 WDM 技术可以在较小的光波导面积开销情况下,实现多个独立的数据传输通道,每条通道由相互通信的两个计算核心独占,不存在竞争冲突问题。图 5 所示为 4 个计算核心的点对点互连架构。

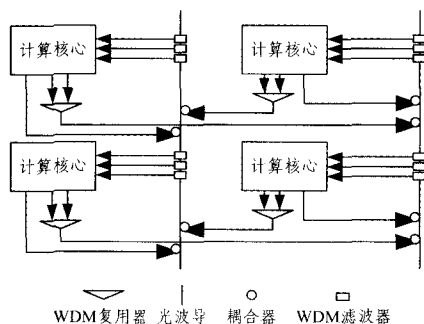


图5 点对点静态全连接架构

点对点全连接本质上仍然是采用共享光波导的方式实现,因此同样存在扩展性问题。共享同一光波导的计算核心数越多,每个核心独占的带宽越小。因此,在面积可接受的情况下,通过增加光波导数,可以有效提高每条通道的传输带宽。

(3)基于电路交换的光互连架构

目前,片上光互连技术仍无法直接对光数据包进行高效的存储转发,因此,无法实现光数据包的直接路由。简单的光总线网络由于缺乏灵活性,也难以满足复杂片上系统的互连需求。采用电路交换技术,是解决该问题的一个有效途径。基于电路交换的光互连网络分为高速、高带宽的光互连网络和低带宽的电互连网络两个部分。其中,光互连网络部分由光波导和交换部件组成,用于实现批量数据的高速传输。电互连网络则主要用于实现光交换部件状态的动态设置。在批量数据传输前,源节点向电互连网络中发送一个路径建立包。路径建立包通过多次路由,经过多个光交换点后到达目的节点。其每经过一个光交换点时,设置相关光交换部件状态,实现光传输路径的设置。

基于电路交换的光互连网络解决了光交换问题,同时也带来一些问题。例如,实现光交换需要使大量光波导相互交错,引入信号的串扰;光交换器件的使用必然带来插入损耗,影响信号的传输质量,降低传输路径长度;通过专用的电互连网络进行动态路径设置也会带来额外的功耗开销。

(4)基于路由的光互连架构

除电路交换外,通过光电转换,将光数据包转换为电数据包后进行路由和转发,也是一种可行的实现方式。然而,这种方式存在一个显著的缺点,就是光电转换带来的开销问题。路由器的每个发送和接收端口都需要进行光电转换。光电转换部件将占用大量额外的片上逻辑资源,在一次次点对点传输中,可能需要进行多次光电转换,这必将大大增加数据传输的功耗开销。此外,与光信号传输延迟相比,光电转换过程带来巨大的延迟开销。

纯光路由是实现基于路由的片上光互连架构的最理想方式。在不进行光电转换的情况下,可对光数据包进行直接解析、路由和转发。目前,光存储技术仍然是有待攻克的技术难题。未来随着光存储技术的进步,纯光路由网络将可能完全替代电互连,成为极具潜力的片上互连实现方式。

基于上述分析,本文对几种典型片上光互连架构的优缺点的总结如表 2 所列。

表2 典型片上光互连架构比较

互连架构	优点	缺点
光总线	信号延迟低、损耗低,结构简单;独立 WDM 通道,减少冲突;支持并行的广播/多播操作	需要解决冲突问题,可扩展性受限
点对点静态全连接	信号延迟、损耗低;独立的点对点 WDM 通道,无竞争冲突;光波导面积开销小	点对点带宽较小,网络规模的可扩展性受限
基于电路交换	交换式网络,可扩展性强	链路建立的延迟大;交换器件引入插入损耗;波导交叉导致串扰
基于路由(光电转换)	可扩展性强	光电转换的延迟、功耗开销大;光电转换部件的面积开销大
基于路由(纯光路由)	可扩展性强;延迟低、功耗小	仍属于有待攻克的技术难题

4.3 系统评估与验证方法

在硅光芯片制造工艺尚未完全成熟,缺乏相关 EDA 工具链的情况下,软件模拟的方法是早期进行硅光子互连技术和片上光互连网络架构研究的一个重要手段。美国哥伦比亚大学开发的一种光/电互连网络集成和执行模拟器 PhoenixSim,支持对基于硅光子互连技术的计算机系统建模,以及对基于电互连、光互连或混合互连的多处理器系统的性能、功耗等关键指标的量化分析和评估^[25,26]。

图 6 所示为基于 PhoenixSim 的计算系统模型,其主要包括 3 个层次:计算核心层、网络层和 I/O 层。

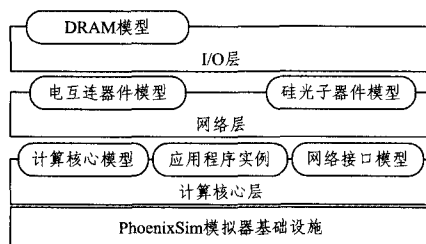


图6 基于 PhoenixSim 的计算系统层次模型

计算核心层:对处理器核进行建模。其中,每个处理器核运行一个应用程序实例,动态生成通信相关的事件。NIF 网络接口模型负责将处理器核生成的通信请求事件转换为网络协议事件。

网络层:作为 PhoenixSim 模拟器的核心部分,它包括各种电互连和光互连器件的模型。其中,电路由器模型采用最基本的包交换模型。在光互连器件部分,PhoenixSim 定义了一个硅光子器件库,包含光信号生成、控制和接收所需的各种硅光子器件模型,其模型在物理精度和系统级模型的性能方面进行了折衷考虑。

IO 层:主要由 DRAM 模型组成,包括 DRAMsim 和 DRAM-LRL 两种 DRAM 模型,支持对存储访问的模拟。

PhoenixSim 支持对片上光互连网络的物理可行性和可实现性进行分析,对片上网络和片上系统的性能进行评估。其主要优点是:PhoenixSim 所建立的器件模型对系统级的行为模型、硅光子元器件的物理特性以及物理层特性对系统性能的影响等因素进行了综合考虑。尤其在物理层特性的方面,支持对光信号的插入损耗、串扰和能量消散的模拟。在互连网络系统级模拟方面,考虑了网络的延迟、性能、执行时间等因素。

除模拟方法之外,建立原型系统也是验证片上系统正确性的重要手段。然而,目前除了 IBM、Intel 外,其它研究机构和大学很难完成硅光子互连原型芯片的流片验证。尽管如此,美国华盛顿大学联合多家半导体代工厂商于 2011 年启动了一个名为 OpSIS 的项目,其目的是在不久的将来为大学等不具备流片条件的研究机构提供硅光子研究项目实验流片的机会。此外,该项目将使参与研究机构间形成一个社区,使他们相互之间可以共享光互连芯片相关的制造经验,以共同推动设计能力和制造工艺不断发展成熟。

5 存在的问题

基于硅光子的片上光互连技术在最近十年内发展迅速,取得了诸多重要的技术突破,但离实用化仍有一定差距。目前主要存在以下一些开放问题,有待进一步深入研究。

(1)高速、高密度、低功耗的片上光收发器的研制问题。光电转换的延迟是片上光互连的主要延迟来源之一。有研究表明,对于聚合物光波导,收发器的延迟必须小于 280~370ps,对于硅基光波导,其延迟必须小于 180~270ps,才能保证全局端到端光互连相对于电互连的延迟优势。此外,光电转换的功耗开销,以及目前技术条件下光调制器、光子探测器的物理尺寸也是决定光互连技术是否能替代电互连成为主流片上互连技术的重要因素。因此,需要进一步研制更高效的片上光电器件。

(2)片上集成光源的问题。相对于半导体工艺的成熟而言,片上光互连的制造工艺还处于起步阶段,片上光器件的制造工艺仍不成熟,尤其是片上光源的制造问题尚未解决。目前片上光互连技术的研究中,普遍采用片外光源的方式。而独立的片上光源的相关研究也在开展之中,如 Intel 和 UCSB 正在研究的基于 InP 的混合硅基激光器技术,有望在不久的将来解决片上光源问题。

(3)片上光波导材料问题。目前,片上光互连主要可采用两种波导材料:硅基光波导和聚合物光波导。与硅基光波导相比,聚合物光波导具有折射率低的优势,因此具有高的传输速率。但其应用于片上光互连时,也存在缺少与之匹配的合适的硅光调制器、带宽密度较低等问题。未来片上光互连研究中,可能需要考虑混合使用两种波导材料,以满足整个片上系统对互连带宽、延迟等性能的需求。

(4)温度控制和功耗管理问题。光互连模块对温度具有较高的敏感性。研究人员需要对芯片的功耗进行精细管理,严格控制芯片发热,以保证片上光器件能够稳定工作。此外,研制新型的片上光器件,使之能稳定工作在更广泛温度变化区间内,也是未来的一个重要方向。

(5)未来片上光互连网络架构问题。由于硅光子技术尚未成熟,仍存在诸多需要解决的技术难题,因此短时间内,光互连技术仍无法取代电互连成为片上唯一互连形式。相比之下,光电混合互连架构同时具备了光互连和电互连的技术优势,是技术过渡时期一种灵活可行的实现方式。在未来片上互连架构的研究中,需要根据应用需求,研究光电混合的互连架构,综合评估性能、功耗、面积开销等因素,以实现整个系统的平衡设计。

结束语 随着半导体制造工艺进入深亚微米阶段,片上集成的核心数量越来越多,使得片上互连的效率越来越成为制约芯片整体性能的瓶颈。将光互连技术应用于片上互连是解决未来片上数据移动问题的一种可行的技术手段。因此,本文面向未来片上高性能互连的需求,深入分析了基于金属线的片上电互连技术的现状与局限性。在此基础上,研究并分析了基于硅光子的光互连技术的发展现状和趋势,深入分析了多种典型光互连网络架构的特点及优缺点。最后,本文还归纳总结了未来硅光子互连技术需要解决的 5 个重要问题,这有助于明确未来的研究方向,以对相关问题展开进一步深入研究。

参考文献

- [1] Gupta T K. Copper Interconnect Technology [M]. New York: Springer, 2009
- [2] Haurylau M, Chen G, Chen H, et al. On-Chip Optical Interconnect Roadmap: Challenges and Critical Directions [J]. IEEE Journal of Selected Topics in Quantum Electronics, 2006, 12(6): 1699-1705
- [3] Dally W J. On-Chip Interconnection Networks Low-Power Interconnect[R]. ISLPED, Portland, Oregon, USA, 2007
- [4] Canham L T. Silicon Quantum Wire Array Fabrication by Electrochemical and Chemical Dissolution of Wafers[J]. Applied Physics Letters, 1990, 57(10): 1046-1048
- [5] IBM, Inc. IBM Research Photonics Research Highlights[OL]. http://domino.research.ibm.com/comm/research_projects.nsf/pages/photonics_projects.html
- [6] IBM, Inc. Made in IBM Labs: Breakthrough Chip Technology Lights the Path to Exascale Computing[OL]. <http://www-03.ibm.com/press/us/en/pressrelease/33115.wss>
- [7] Green W M J, Assefa S, Rylyakov A, et al. CMOS Integrated Silicon Nanophotonics: Enabling Technology for Exascale Computational Systems[R]. IBM TJ Watson Research Center, 2010
- [8] Intel, Inc. The 50G Silicon Photonics Link: The world's first silicon-based optical data connection with integrated lasers[R]. White Paper, 2010
- [9] Intel, Inc. The 50Gbps Si Photonics Link: A Research Milestone From Intel Labs[Z]. 2010
- [10] UK Silicon Photonics Project[OL]. <http://www.uksiliconphotonics.co.uk/>
- [11] PhotoFAB Project[OL]. <http://www.photofab.eu/>
- [12] BOOM Project[OL]. <http://www.ict-boom.eu/>
- [13] Historic Project[OL]. <http://www.ict-historic.eu/>

[14] Hellemans A, Optical R A M. IEEE-Spectrum, 2010

[15] Helios Project[OL]. <http://www.helios-project.eu/>

[16] Platon Project[OL]. <http://www.ict-platon.eu/>

[17] SOFI Project[OL]. <http://www.sofi-project.eu/>

[18] Kurian G, Miller J E, et al. ATAC: A 1000-Core Cache-Coherent Processor with On-Chip Optical Network[C]// Proceedings of Parallel Architectures and Compilation Techniques (PACT). September 2010

[19] Psota J, Eastep J, et al. ATAC: On-Chip Optical Networks for Multicore Processors [R]. Technical Report, 2010. http://groups.csail.mit.edu/carbon/docs/Psota_ATAC_BARC_1-07.pdf

[20] Psota J, Miller J, et al. ATAC: Improving Performance and Programmability with On-Chip Optical Networks[C]// Proceedings of International Symposium on Circuits and Systems(ISCAS). Paris, 2010; 3325-3328

[21] Biberman A, Droz N S, et al. Network-on-chip Architecture Using 3D Integration[C]// Invited Paper, In Proceeding of SPIE 2011. 2011

[22] Xue J, Garg A, et al. An Intra-Chip Free-Space Optical Interconnect[J]. Proceedings of The 37th Annual International Symposium on Computer Architecture, 2010, 38(3)

[23] Kash J A. Internal Optical Interconnects in Next Generation High-Performance Servers[C]// Avionics Fiber-Optics and Photonics, 2005. IEEE Conference. Yorktown Heights, NY, USA, 2005; 23-30

[24] STMicroelectronics, Inc. The Silicon Photonics Technology[R]. Technical Report. 2010

[25] Chan J, Hendry G, et al. Phoenixsim: A Simulator for Physical-layer Analysis of Chip-Scale Photonic Interconnection Networks [C]// Proceedings of the Conference on Design, Automation and Test in Europe European Design and Automation Association. 3001 Leuven, Belgium, Belgium, 2010; 691-696

[26] Hendry G, Chan J. PhoenixSim 1.0 User Manual; Photonic and Electronic Network Integration and eXecution Simulator, Lightwave Research Laboratory[OL]. <http://lightwave.ee.columbia.edu/downloads/phoenixsim/PhoenixSim.pdf>, 2010

(上接第 281 页)

图 5 比较了使用三次元时一致加密和自适应加密下的后验误差估计。后验误差估计子使用的是残量型的后验误差估计^[3]。可以看到, 为达到相同的后验误差, 自适应网格所需自由度更少。

图 6 和图 7 分别是悬臂梁问题的初始网格和自适应迭代得到的自适应网格。自适应网格中, 单元在带有奇性的固定端的分布更加密集。



图 6 悬臂梁初始网格



图 7 悬臂梁自适应网格

4.3 神光-III 装置靶球结构

本节介绍一个模态分析算例, 所计算的装置如图 8 所示, 其底座是固定的。该算例中采用二次元离散, 并对网格进行逐步一致加密, 调用 ARPACK 对代数特征值问题进行求解。

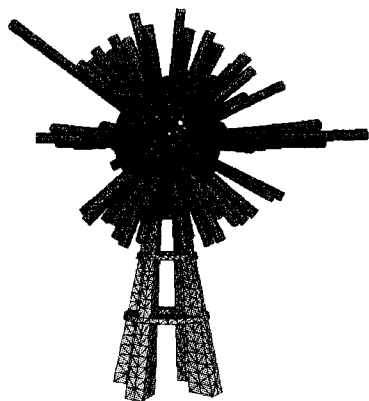


图 8 光学固定装置

表 4 模态分析计算结果

自由度数	组装时间	计算时间	频率 1	频率 2	频率 2
686,679	0.2847s	11.2629s	2.244210	2.308494	3.172591
1,361,109	0.6375s	23.2910s	2.208258	2.279572	3.138892
3,404,370	1.7627s	69.8647s	2.168395	2.242561	3.092803
8,672,937	4.9665s	225.3922s	2.147446	2.220872	3.070956

计算中使用了 8 个结点、64 个 MPI 进程。表 4 列出了计算时间以及前 3 个最小特征频率。

结束语 本文介绍了三维结构分析并行自适应有限元软件 PHG-Solid。它是一个支持大规模并行、并行自适应, 并且完全可扩展的结构分析软件, 可用于大型复杂结构的有限元分析。

参考文献

[1] Zhang Lin-bo. A parallel algorithm for adaptive local refinement of tetrahedral meshes using bisection[J]. Numer. Math. Theor. Mech. Appl., 2009, 2(1): 65-89

[2] Babuska I, Rheinboldt W. Error estimates for adaptive finite element computation[J]. SIAM J, 1978, 15: 736-754

[3] Verfurth R. A review of a posteriori error estimation techniques for elasticity problems[J]. Comput. Methods Appl. Mech. Engrg., 1999, 176(1-4): 419-440

[4] Zienkiewicz O C, Taylor R L. The finite element method for solid and structural mechanics(6th edition)[M]. Butterworth-Heinemann, Oxford, 2005

[5] Ciarlet P G. The finite element method for elliptic problems [M]. Amsterdam; North-Holland, 1978

[6] Inspur Ts10000 cluster [EB/OL]. <http://lsec.cc.ac.cn/chinese/lsec/docQuickstart.txt>

[7] Patzák B. OOFEM project home page [EB/OL]. <http://www.oofem.org>, 2000

[8] Tahoe discussion forums[EB/OL]. <https://www.paklein.com/tahoe/forums/>

[9] ADVENTRUE PROJECT[EB/OL]. <http://adventure.sys.t.u-tokyo.ac.jp/>

[10] Patzák B, Bittnar Z. Design of object oriented finite element code [J]. Advances in Engineering Software, 2001, 32(10/11): 759-767

[11] Henson V E, Yang U M. BoomerAMG: a parallel algebraic multigrid solver and preconditioner[J]. Applied Numerical Mathematics, 2002, 41: 155-177

[12] HYPRE: High performance pre-conditioners[EB/OL]. <http://www.llnl.gov/CASC/hypre>