

基于片上网络多处理器 QoS 研究与设计

衡 霞 支亚军 韩俊刚

(西安邮电大学计算机学院 西安 710061)

摘 要 在研究片上网络服务质量的基础上,提出面向多处理器的 64 核片上网络结构。IP 单元产生不同类型的数据包,网络提供优先级别服务,以保证高优先级数据包的低延时需要。性能统计结果表明,该模型对多处理器之间不同类型的数据包通信均满足服务质量要求。

关键词 多处理器,片上网络,QoS

中图分类号 TP302 **文献标识码** A

Based on Network on Chip of Multiprocessor QoS Mechanism Research and Design

HENG Xia ZHI Ya-jun HAN Jun-gang

(School of Computer Science & Technology, Xi'an University of Posts and Telecommunications, Xi'an 710061, China)

Abstract Based on researching network on chip quality of service, the thesis is proposed network on chip structure for multi-processor 64-Core. IP module produces different types of data packet, the network provides priority services to ensure that high priority packets and low-latency needs. Performance result shows that the model which for multiple processors communication with different types of data packets meets the Quality of Service requirements.

Keywords Multi-processor, Network on chip, Quality of service

1 引言

随着更多的实时性业务在片上网络(Network on Chip, NoC)中的不断涌现,比如视频及音频数据流,它们对时延等因素的要求已经使服务质量(Quality of Service, QoS)成为片上网络的设计性能体现。如何让 NoC 通信方案在面向超大规模、多处理器芯片设计应用领域发挥出高性能、高效率的优势,是研究人员所要考虑的问题。由于片上网络设计思想是将不同的 IP 核集成在单个芯片上,在芯片资源有限的条件下,保证服务质量便成为片上网络设计者必须考虑的一个关键因素。

本文的研究目标是面向单芯片多处理器单元,设计支持 QoS 的高性能片上网络通信模型,同时采用适合硬件实现、面向应用的拓扑结构和路由算法,提高多处理器之间通信性能和网络资源利用率。

2 NoC 服务质量分析

QoS 是指数据包在网络的具体传输过程中所表现的各种性能,是对各种性能参数的具体描述,包括吞吐量、数据包的延迟、抖动、丢包率和错误率等。设计片上网络服务质量保证机制必须考虑到片上网络的特殊性。比如在采用分组交换的网络中,不同分组独立路由,每个分组到达的时延将会不同,并且分组到达时的顺序也可能会发生混乱,因此在接收端会

出现抖动现象^[1]。网络中采用分组重排来解决乱序问题,但这样会占用大量的缓存空间,并且会增加额外的时延和硬件复杂度,所以面向片上网络的服务质量要考虑实现的可行性^[2]。

目前研究较为成熟的网络拓扑结构有 2D_Mesh 和 2D_Tours, Tours 具有平均网络延时低的优势,但考虑到硬件实现的可行性和面向多处理器单元的应用,Mesh 结构比较合理。采用确定性路由协议可以保证数据包的顺序传送,不会出现乱序重排的问题,并且硬件复杂度低,便于电路设计实现。

片上网络处理器单元产生特定流量的数据包,并且数据包大小和间隔与数据流业务类型相关。根据对 TILE64 核处理器的应用研究^[3]、处理器单元通信数据流的特点,将 IP 单元数据划分为 4 种类型的数据包,即对应 4 种类型的片上网络数据信号流量:信号量(Signal)、实时(Real Time)、读/写(RD/WR)和块传送(Block Transfer)^[4]。信号量服务类型数据包应优先级最高,需保证最低延时,例如网络关键控制信号和处理器的中断控制信号。实时类型数据包保证高带宽和低延时的实时应用,例如待处理音频和视频数据流。读写类型数据包提供总线机制寄存器或存储器读写访问,对于延时的要求低于 Real Time 数据包类型。块传输服务类型提供长消息和大数据块的传输,例如 Cache 缓存读取和 DMA 传送具有最低优先级。

均匀流量分布只是一种理想的网络数据分布模型,更多

本文受陕西省重大科技创新专项(2008ZKC02-11)资助。

衡 霞(1978—),女,硕士,讲师,主要研究方向为数据通信、集成电路研究;支亚军(1982—),硕士生,主要研究方向为数字集成电路系统设计;韩俊刚(1943—),男,教授,博士生导师,主要研究方向为系统芯片(SoC)设计与验证。

实际流量是不均匀分布,并且有更明显的局部特点和猝发式特点。为了便于结果分析,我们定义 QoS 为每个服务级别的吞吐量和端到端延时。端到端延时定义为数据包在源节点的排队时间和通过网络的时间之和。在我们的设计中,每个数据包带有时间信息,到达目的节点后可统计出包的端到端延时,通过对整个网络仿真得到 QoS 性能指标。

3 64 核网络体系结构

考虑面向多处理器之间的通信与数据流传送,采用 2D Mesh 拓扑结构,搭建 64 核的片上网络模型。图 1 为该模型的体系结构。64 个 IP 单元分别与路由器链接,IP0 单元和 Monitor 单元链接,主要完成寄存器配置指令操作和仿真结果收集。IP 产生特定流量的数据包,Router 根据特定的路由协议和仲裁机制来传送数据包。Monitor 通过微处理接口与 IP0 链接,完成对各 IP 功能配置和寄存器读写操作,并产生使能信号,控制 NoC 的开始运行和结束。每个路由器连接一个 IP 单元,路由器和路由器之间的链接通过两组 36bit 数据线和 4bit 状态信号线。每个 IP 核提供 40bit 输入数据接口和输出数据接口。

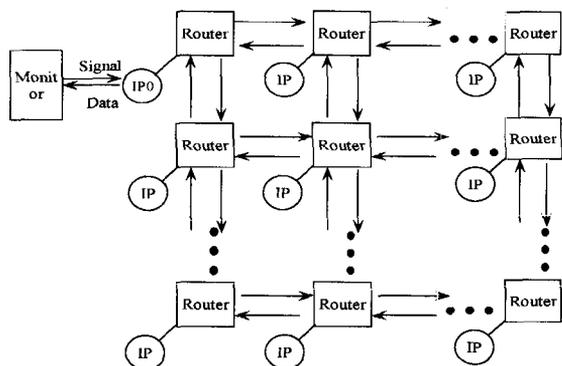


图 1 8×8 Mesh 网络拓扑结构图

根据 NoC 的应用情况,IP 和路由器之间的数据分为两种类型:IP 模块产生的网络流量数据包和 IP 单元寄存器读写配置数据包。网络流量数据包带有路由信息、指令和净荷。头片可以被检测作为有效片。片类型和服务级别分别由不同虚通道传输。数据包格式如表 1、表 2 中描述。

表 1 网络流量数据包头微片格式

虚通道号(2 位)	同一端口内的虚通道:00-11
Flit 类型(2 位)	头微片:01
源地址(6 位)	高 3 位为 X 地址;低 3 位表示 Y 地址
目标地址(6 位)	高 3 位为 X 地址;低 3 位表示 Y 地址
数据包类型(1 位)	0 表示网络数据包
数据包标识(2 位)	00:信号量 01:实时 10:读写 11:块传送
数据包个数(7 位)	记录当前数据包的数据片个数
发包时间(10 位)	记录 10 位相对发包时间(时钟周期数表示)

表 2 网络流量数据包非头微片格式

虚通道号(2 位)	与头微片一致
Flit 类型(2 位)	中间片:10;尾片:11,无效:00
数据净荷(32 位)	用户定义数据或者 PRBS 数据序列

配置数据包完成对各 IP 单元的功能设置。网络运行之前首先对各 IP 单元进行寄存器功能配置,网络运行结束后再

发送读统计指令数据包,各节点收到指令数据包后,将统计数据打包送给 IP0 单元,这个过程的路由协议保持不变。表 3、表 4 给出了读写配置数据包格式。

表 3 配置数据包头微片格式

虚通道号(2 位)	同一端口内的虚通道:00-11
Flit 类型(2 位)	固定为:01
源地址(6 位)	高 3 位为 X 地址;低 3 位表示 Y 地址
目标地址(6 位)	高 3 位为 X 地址;低 3 位表示 Y 地址
数据包类型(1 位)	1 表示配置数据包
数据包标识(2 位)	10:表示配置寄存器数据包 01:表示读统计指令数据包
特定(17 位)	

表 4 配置数据包非头微片格式

虚通道号(2 位)	与头微片一致
Flit 类型(2 位)	中间片:10;尾片:11,无效:00
数据净荷(32 位)	配置寄存器数据或统计寄存器数据

3.1 IP0 单元模块

IP0 单元模块完成与 Monitor 的统计结果通信,并向网络其他 IP 模块发送配置数据包和读统计指令数据包。图 2 给出了 IP0 的模块结构图。当写信号低电平时,tga_ip_pac 模块把数据线和对应的地址线上的数据存到寄存器中,接收到两次写操作的数据后,封装成一个数据包,送给本地路由器,进入 Mesh 网络。

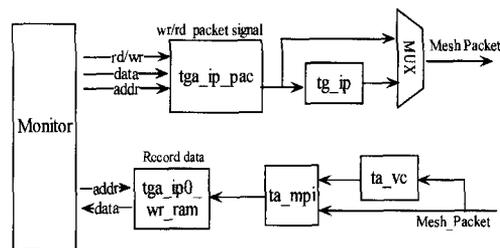


图 2 IP0 单元体系结构图

当读信号低电平时,Monitor 给出要读的 IP 单元的地址,IP0 把读命令和地址数据封装成数据包,送入网络;若干周期(2×跳数×每个路由器延时+发包时延+收包时延)后,IP0 接收到来自 IP 单元的统计数据包,并把解析后的数据送给 Monitor。

Tga_ip_pac 模块将读写命令和地址信号封装成在网络传送的数据包格式。写命令数据包共 3 片,其中头片标识写操作和对应的目标 IP 单元,中间片和尾片分别存储要写的两个寄存器的值,即配置特定的流量模型。读命令数据包共 2 片,其中头片表示读操作和要读的目标 IP 单元,尾片只是为了让路由器能判断是一个完整的数据包。

3.2 IP 单元

IP 单元完成网络流量数据的产生和接收,并根据接收到的指令数据把统计数据封装成包,送入网络。图 3 给出了 IP 单元模块结构图。IP 单元从路由器收到的数据包有 3 种类型:写操作数据包、读操作数据包和网络流量数据包。写操作的数据包送给 tg_mpi 模块,配置发包流量类型、地址流量和时间流量(网络数据包注入速率)。

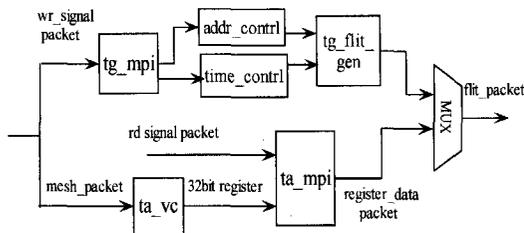


图3 IP单元体系结构图

ta_mpi模块接收到读操作的数据包命令,把延时统计信息和收发包个数封装成包,送入网络,根据数据包中的路由信息最后到达IP0单元。当接收到网络流量的数据包时,ta_vc模块完成误码、延时信息、收包个数的统计功能。

3.3 路由器单元

路由器单元完成对数据包的转发功能,提供优先仲裁传送机制。路由器连接4个Mesh路由方向和1个IP单元接口,共提供5个36bit输入数据和输出数据接口。每个输入/输出接口还提供4bit的控制信息,接口宽度为40bit。路由器的每个输入接口提供4个虚通道,对于每个服务级别数据包都有单独的虚通道缓存,可以存储若干微片(参数可以根据寄存器配置来调整)。图4给出了路由器的模块结构。

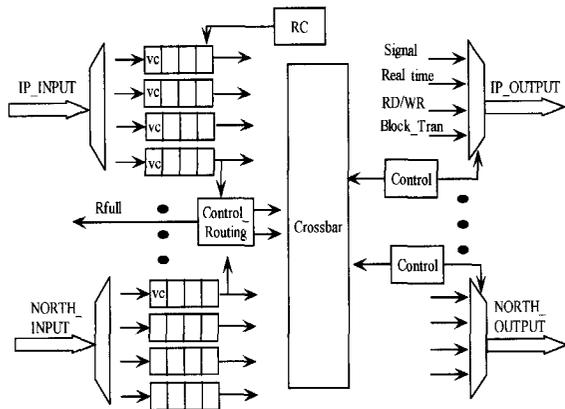


图4 路由器单元体系结构图

路由逻辑采用确定性X-Y路由。当接收到头片时,RC(Router Compute)根据路由算法计算出下一跳端口号,并向Crossbar发出请求信号。Crossbar模块根据当前网络情况来判断是否响应。如果响应请求,则通知RC把数据片输出;否则数据片缓存当前虚通道,直到下一跳网络空闲。当尾片从输入到输出转发后,Rfull信号送达上级路由器,表示本级虚通道空闲,可接收新数据包。Crossbar仲裁机制采用优先级轮询策略,即当多个输入端口的数据包请求某一个端口输出时,Crossbar判断各数据包的类型,响应优先级高的数据包先出路由器;若两个包的优先级相等,则采用同等优先级数据包轮询策略来保证高优先级数据包的低延时要求。

4 性能分析

文中采用Verilog硬件描述语言实现Mesh网络模型,并

对仿真结果进行分析。图5和图6分别给出地址均匀分布和局部分布流量模型中数据包端到端延迟随数据包注入率变化的曲线图。显然,随着网络流量的增大,Signal类型数据包始终具有较低延迟,保证了对最高优先级数据包的低延时要求。Real_Time类型数据包和WR/RD类型数据包平均延时保持稳定增大,满足多处理单元之间的通信要求。Block_Tran类型数据包在注入率较高时端到端延时增大,但在50%的注入率下平均延时保持在同一个数量级,同样满足处理器的数据包传送。

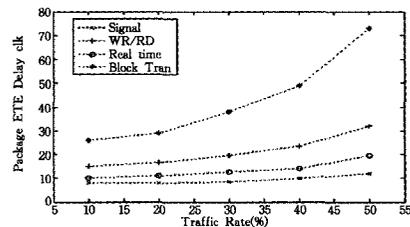


图5 均匀分布流量平均延时曲线图

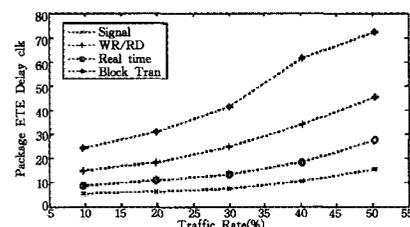


图6 局部分布流量平均延时曲线图 xlabel(Traffic Rate %)

结束语 本文深入研究分析了面向多处理器片上网络QoS机制,采用硬件语言搭建64单元2Dmesh网络。该模型模拟处理器产生不同类型的数据包,数据包按优先级传送,并支持多种流量模型分布。仿真结果表明,其不同数据注入率情况下对优先级高数据包具有最低平均延时,满足面向SoC多处理单元的QoS要求。

参考文献

- [1] Aline M, Leonel T, Ney C, et al. Evaluation of current QoS mechanisms in networks on chip[C]//System on Chip, International Symposium. 2006;1-4
- [2] Marescaux T, Corporal H. Introducing the super GT network on chip; Super GT QoS: More than just GT[C]//Design Automation Conference, 44th ACM /IEEE. 2007;116-121
- [3] http://www.tilera.com/pdf/ProductBrief_Tile64_Web_v3.pdf
- [4] Bolotin E, Cidon I, Ginosar R, et al. QNoC: QoS architecture and design process for network on chip[J]. Journal of Systems Architecture, 2004, 50(2/3): 105-128
- [5] Ankur A, Mehmet M, Pandya A S. QoS driven network on chip design for real time systems[C]//Electrical and Computer Engineering. Canadian Conference, 2006;1291-1295
- [6] 鞠宏浩, 顾华玺, 尹小杰. 片上网络中服务质量的研究[J]. 计算机与现代化, 2009, 164(4): 112-115