

不规则 IP 模块到 2 维 NoC 结构的映射方法研究^{*}

李光顺^{1,2} 吴俊华^{1,2} 马光胜¹

(哈尔滨工程大学计算机科学与技术学院 哈尔滨 150001)¹

(曲阜师范大学计算机科学学院 山东日照 276826)²

摘要 提出了一种新的基于 NoC(Network on Chip)的不规则 IP 模块映射方法。其基本思想是把较大的 IP 模块分解成几个小的 IP 虚模型,或把几个较小的 IP 模块组合成一个 IP 虚模型,使得每个 IP 虚模型能映射到 NoC 结构的一个资源节点上。通过计算曼哈顿距离和输入/输出度,可以确定每个通信节点中缓冲区的大小。根据计算的通信代价可以对初始映射结果进行调整,从而可以避免通信拥塞,降低系统的功耗。

关键词 片上网络,通信矩阵,通信代价

New Method of Mapping Irregular IP Cores to 2-d NoC Architecture

LI Guang-Shun^{1,2} WU Jun-Hua^{1,2} MA Guang-Sheng¹

(College of Computer Science and Technology, Harbin Engineering University, Harbin 150001)¹

(College of Computer Science, Qufu Normal University, Rizhao 276826)²

Abstract A NoC based irregular IP mapping algorithm is showed in this paper. The basic idea is to decompose a large IP core into several dummy IPs or integrate several small IPs into one dummy IP, such that each dummy IP can fit into one single tile. The size of buffer in every communication node can be decided by computing the Manhattan distance and I/O degree. The initial mapping result can be adjusted according to the communication cost, and thus can avoid communication congestion and reduce the power consumption.

Keywords Network on chip, Communication matrix, Communication cost

1 介绍

随着半导体工艺技术的发展,集成电路设计者能够将越来越复杂的电路功能集成到单硅片上,称为系统芯片(System on Chip, SoC)。总线结构是初期 SoC 的主要特征。由于片上集成的单元越来越多,数据处理量也越来越大,总线结构的可扩展性差的问题就越来越突出。近年来,NoC(Network on Chip)将计算机网络的设计技术移植到芯片设计中来,试图彻底解决总线结构带来的问题^[1]。2000 年 3 月,法国 Pierre Guerrier 等人提出一种可升级、可编程的集成网络,将并行计算中的分组交换方法引入系统芯片,以实现数据通信^[2]。2001 年 6 月,斯坦福大学的 Dally 等人发表论文^[3],提出使用片上互连网络通过数据包通信的方式替代各式各样的连线结构的构想,将研究重点转到 NoC 上来。2001 年 10 月,意大利博洛尼亚大学的 Benini 与斯坦福大学的 Micheli 开始研究 50 纳米到 100 纳米下的 SoC-SoC 互连技术,着重研究如何保证服务质量^[4]。

尽管 NoC 设计思想来源于计算机通信网络,但又与计算机网络有着很大的区别:基于纳米工艺的 NoC 的最终目的是为了在单芯片上实现更大规模的电路集成,除了考虑网络延迟和面积,功耗是 NoC 最重要的约束,降低通信功耗成为设计者越来越关心的问题。Benini 等人详细分析了各个协议层上的功耗问题,并提出了一些建设性的研究方向^[4];Eisley 等人指出对于 NoC 设计来说,在设计早期分析通信功耗对整个

系统功耗有着重要的影响,并构建了一种基于通道利用率的功耗分析模型^[5];Simunic 等人提出了一种基于网络中心的功耗管理技术^[6]等。他们的研究对象都是规则 IP 模块或标准 IP 库元件。本文拟研究一种新的不规则 IP 模块到 2 维 NoC 网络结构的低功耗映射方法。

2 问题的提出

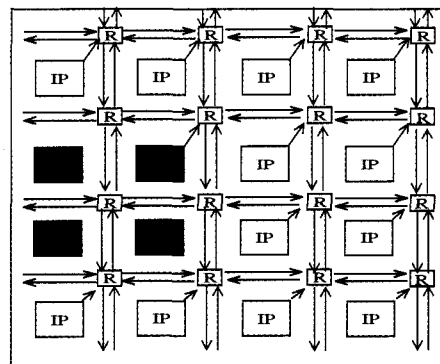


图 1 4×4 的规则 2 维网状 NoC 结构图

目前 NoC 研究中采用的拓扑结构类型主要包括 2 维网状结构、2 维折叠环结构和蜂窝结构等。2 维网状网络结构是目前研究中最常用的拓扑结构,每一个资源节点与一个通信节点相连,而一个通信节点与四个相邻的通信节点和一个资

^{*} 基金项目:国家自然科学基金项目(60273081)。李光顺 博士生,研究方向为片上网络通信;吴俊华 博士生,研究方向为片上网络通信;马光胜 教授,博士生导师,研究方向为 EDA 理论及算法。

源节点相连。2 维折叠环将处于边界的通信节点也连接起来,使所有的通信节点成为一个环路。这样不可避免地在物理实现时需要更多的版图布线资源。蜂窝结构使得每个映射到六角形节点上的 IP 核可以同时连接三个通信节点,使得其连线资源也比较紧张。从特征参数来看,2 维网状结构并不是最优的,但是由于其结构简单、易于实现和良好的重用性,本文选择规则的 2 维网状结构作为映射对象。

图 1 是一个由许多大小相等的资源节点组成 4×4 的规则 2 维 NoC 网状结构。其中标有“IP”的结构表示资源节点,标有“R”的结构表示通信节点。每个资源节点都能容得下一个 IP 模块(或后面提到的虚模型)。每个资源节点都跟一个通信节点相连,用于 IP 模块之间的信息交换。每个通信节点与四个相邻的通信节点通过输入/输出通道相连。每个通道包含两个单向的点-to-点的总线。通信节点的内部结构如图 2 所示。通信节点是互连网络中的主要成分,其核心就是交换开关。交换开关的功能就是将信息从它的输入端口传输到其中的一个或多个输出端口。交换开关内部包含一个缓冲器,发生拥塞时能暂时存储信息。由于缓冲器对整个网络的面积有较大的影响,必须合理配置缓冲器的大小。在任何系统中信息从源地址到目的地址的传输都需要一系列的规则和方法,这些规则就称为协议。当直接连接的两个单元之间通信时,通过请求和应答实现硬件握手就是一种简单的通信协议。在分组交换网络中,通信协议定义了资源节点如何连接到网络上以及信息如何从源地址传输到目的地址。分组交换网络通信协议比总线协议更为复杂,通常分为多个层次。我们采用 Benini 等人提出的微网络协议组(Micro-network Protocol Stack) [7],它类似于计算机网络研究领域常用的 OSI 协议模型。

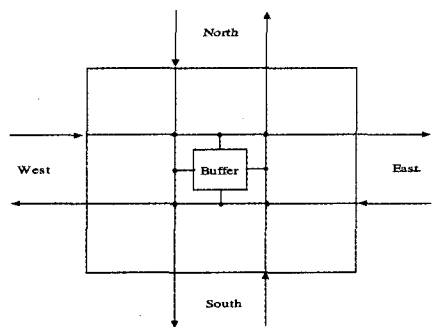


图 2 通信节点的内部结构图

在以前的研究中,很多学者假设资源节点的大小是相等的,并且资源节点的大小足以容得下最大的 IP 模块。这就意味着资源节点的大小必须大于系统设计中用到的最大 IP 核。由于每个 IP 模块都需要映射到某一资源节点上,这样对于很多小 IP 模块会造成巨大的面积浪费和更多的通信功耗。为了解决这些问题,在此提出一个不规则(特别大或特别小)IP 到 NoC 结构的低功耗映射方法。

3 不规则 IP 模块的映射方法

简单地讲,映射问题就是将任务分配好的处理单元映射到 NoC 的资源节点上,并且使整个系统的通信功耗最小。如果一个 SoC 系统由 n 个 IP 模块组成,根据它们之间的通信关系,可以组成一个通信矩阵 $T = t_{ij}$ ($0 \leq i, j \leq n-1$), 如式(1)所示。

$$T = \begin{bmatrix} 0 & t_{01} & t_{02} & \cdots & t_{0n} \\ t_{10} & 0 & t_{12} & \cdots & t_{1n} \\ t_{20} & t_{21} & 0 & \cdots & t_{2n} \\ \cdots & \cdots & \cdots & \cdots & \cdots \\ t_{n-1,0} & t_{n-1,1} & t_{n-1,2} & \cdots & 0 \end{bmatrix} \quad (1)$$

$t_{ij} = 1$, 如果 $i \neq j$ 且第 i 个 IP 模块与第 j 个 IP 模块之间有通信关系;否则, $t_{ij} = 0$ 。很容易看出矩阵的祝对角线的元素全部为 0,即一个 IP 模块与其自身不存在通信关系。

不规则 IP 模块的映射算法描述如下。

Step1: 计算所有用到的 IP 模块的平均值。把所有用到的 IP 模块的面积累加起来,然后除以个数 n ,就得到 IP 模块的平均值 S_{avg} 。通过大量的设计实践可知,多数 SoC 系统设计用到的 IP 模块的大小在平均值左右的占多数。相对于平均值来说,特别大的 IP 模块或特别小的 IP 模块(称它们为不规则 IP 模块)占少数。因此我们选择 $\alpha * S_{avg}$ 作为标准资源节点大小,其中系数 α 可以根据设计的实际情况设定具体值,使得资源节点的大小能容得下绝大多数 IP 模块。这样只需要对少数的不规则 IP 模块进行下面的处理即可。

Step2: 产生初始化的映射。先选择较大的 IP 模块进行映射,后映射较小的 IP 模块。如果 IP 模块大于资源节点的大小,可以把该 IP 模块看作 m ($m \geq 2$) 个尽可能大的虚(dummy)模型,使得每一虚模型都能映射到一个资源节点上,即该 IP 模块映射到 m 个相邻的资源节点上。如图 1 所示,一个大 IP 模块(黑色部分)可以看成 4 个虚模型,并且这些虚模型只能通过右上角的通信节点与其他资源节点上的模块进行通信。左下角资源节点对应的通信节点与其周围节点不存在通信关系,因此它与周围节点之间的通信距离是无穷大。如果 IP 模块小于资源节点的大小,可以把尽可能多个类似 IP 模块看作一个虚模型,使得该虚模型能映射到一个资源节点上。由此可以得到一个初始的映射。

Step3: 计算曼哈顿距离矩阵。如果 NoC 中某一资源节点上对应的 IP 虚模型是由某一较大的 IP 模块分解成 m 块中的一块,则经过此资源节点对应的通信节点的曼哈顿距离为 $\lceil \frac{m}{2} \rceil + 2$; 否则曼哈顿距离的计算方法与规则 IP 模块的计算方法相同。例如图 1 中的黑色 IP 模块被看作是 4 个 IP 虚模型,因此经过它的通信路径的曼哈顿距离为 $\lceil \frac{4}{2} \rceil + 2 = 4$ 。由此可以得到 IP 虚模型之间通信的曼哈顿距离矩阵 $D = d_{ij}$ ($0 \leq i, j \leq n-1$)。

Step4: 计算输入/输出度。对于第 k ($0 \leq k \leq n-1$) 个 IP 模块,如果它需要传输数据到 O_k 个其他的 IP 模块,则其输出度为 O_k 。类似的,如果它需要接收 I_k 个其他 IP 模块的数据,则其输入度定义为 I_k 。第 k 个模块的输入/输出度定义为

$$D_{IOk} = O_k + I_k \quad (2)$$

给定系统的总缓冲空间限制时,我们可以利用每个模块的输入/输出度来分配具体的缓冲空间。如果某 IP 模块的输入/输出度很大,表明该模块要频繁跟其他模块进行信息交换,发生拥塞的概率就比较大,因此可以相应地多分配一些缓冲空间;如果某 IP 模块的输入/输出度很小,表明该模块很少跟其他模块进行信息交换,发生拥塞的概率就比较小,因此可以相应的少分配一些缓冲空间。

Step5: 计算通信代价。我们可以根据 Step3 中的计算得到的曼哈顿矩阵和 Step4 中的计算得到的输入/输出度计算每

个 IP 模块的通信代价。对于第 k ($0 \leq k \leq n-1$) 个 IP 模块, 它的通信代价 C_k 等于所有输入/输出的曼哈顿距离之和。即:

$$C_k = \sum_{i=0}^{O_k} d_{ki} + \sum_{i=0}^{I_k} d_{ik} \quad (3)$$

Step6: 映射调整。如果通信代价 C_k 很大, 表明第 k 个 IP 模块需要跟许多个其他 IP 模块进行远距离通信, 容易造成通信拥塞, 使得整个 NoC 结构的负载很不平衡。因此为了减少 IP 模块之间的通信距离, 降低通信功耗, 这种情况应该避免。计算该模块对应的资源节点到其它所有资源节点之间的曼哈顿距离之和 d_k :

$$d_k = \sum_{i=0}^n d_{ki} \quad (4)$$

调节该 IP 模块的映射位置, 使得 d_k 尽量小, 即通信量大的模块尽量映射到 NoC 的中央资源节点上, 然后转 Step3。重复上述过程直到所有 IP(虚)模块的映射位置都不能进一步优化为止。

4 实验结果

我们对 6 个视频处理器件进行了模拟实验: MPEG4 解码器(映射 14 个 IP 模块), 视频对象平面解码器 OPD(Video Object Plane Decoder, 映射 16 个 IP 模块), 图像到图像的应用 PIP(Picture-In-Picture application, 映射 8 个 IP 模块), 多窗口应用 MWA(Multi-Window Application, 映射 14 个 IP 模块), 图像多窗口应用 MWAG(MWA with Graphics, 映射 16 个 IP 模块)和双屏显 DSD(Dual Screen Display, 映射 16 个 IP 模块), 其中后面的四个基准电路是高端视频应用。实验过程中系数 α 的值取 1.2。为了进行比较, 我们还实现了文[8]中的分支定界算法 PBB(partial branch-and-bound algorithm)。程序源代码用 C++ 语言编写, 在 Windows xp, P4 2.6GHz

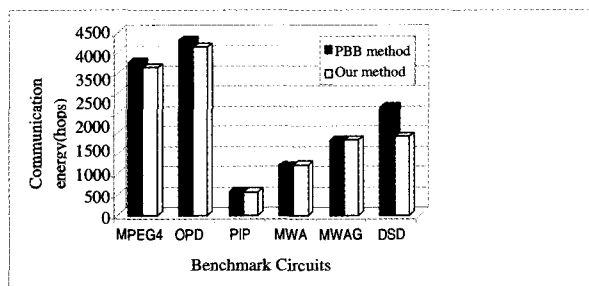


图3 本文方法和PBB算法的通信功耗比较

环境下测试的最小通信功耗的比较结果如图3所示。从图3可以看出, 本文提出的方法与PBB方法相比通信功耗能节省大约7%。

算法的运行速度也是我们非常关心的问题。随着 NoC 尺寸的增大, 映射算法的搜索速度在下降。利用本文提出的算法, PIP(映射到 3×3 的 NoC) 的运行时间是 2 秒左右, 而其余 5 个(映射到 4×4 的 NoC) 的算法运行时间均在 10~12 秒之间。

结论 本文提出了一种新的不规则 IP 模块到二维 NoC 结构的映射方法。算法的基本思想是把大的 IP 模块看作尽可能少的虚模型, 使得每一虚模型都能映射到 NoC 的一个资源节点上。如果 IP 模块的大小远小于资源节点的大小, 则把尽可能多的类似 IP 模块看作一个虚模型, 使得该虚模型能映射到一个资源节点上。通过计算输入/输出度, 可以确定每个通信节点缓冲器的大小。根据最后计算的通信代价对初始的映射结果进行调整, 从而可以避免通信拥塞, 降低系统的功耗。本文在计算通信路径时采用的是确定性的 XY 路由算法, 今后可进一步研究采用自适应路由算法计算 NoC 通信路径的方法。

参考文献

- 周干民, 高明伦. NoC 基础研究: [学位论文]. 合肥: 合肥工业大学, 2005
- Guerrier P, Greiner A. A generic architecture for on-chip packet-switched interconnections. In: Proceedings of Design, Automation and test in Europe, Paris, France, 2000
- Dally W J, Towles B. Route Packets, Not Wires. On-chip Interconnection Networks. In: Proceeding of Design Automation Conference, Las Vegas, 2001
- Benini L, DeMicheli G. Powering networks on chip. In: Proceedings of the 14th International Symposium on System Synthesis, Montreal, Quebec, Canada 2001
- Eisley N, Peh L S. High-level power analysis for on-chip networks. International conference on Compilers, architecture and synthesis for embedded systems, Washington DC, USA, 2004
- Simunic T, Boyd S. Managing power consumption in networks on chips. In: Proceedings of Design, Automation and test in Europe, Paris France, 2002
- Benini L, De G. Micheli. Networks on Chips: A New SoC Paradigm. IEEE Computer, 2002, 35(1): 70~78
- Hu J C, Radu M. Energy- and performance-aware mapping for regular NoC architectures. IEEE Transaction on CAD of IC and Systems, 2005, 24(4): 551~562
- 100(20): 11394~11399
- Koutis I. A faster parameterized algorithm for set packing. Information Processing Letters, 2005, 94(1): 7~9
- Liu Yang, Lu Songjian, Chen Jianer, et al. Greedy localization and color-coding: Improved matching and packing algorithms. In: IWPEC, 84~95
- Mathieson L, Prieto E, Shaw P. Packing Edge Disjoint Triangles, A Parameterized View. In: Proceedings of the International Workshop on Parameterized and Exact Computation, 2004
- Monien B. How to find long paths efficiently. Annals of Discrete Mathematics 1985, 25: 239~254
- Naor J, Naor M. Small-bias probability spaces: efficient constructions and applications. New York, NY, USA: ACM Press, 1990
- Schmidt J P, Siegel A. The spatial complexity of oblivious k-probe hash functions. SIAM J Comput, 1990, 19(5): 775~786
- Scott J, Ideker T, Karp R M, et al. Efficient algorithms for detecting signaling pathways in protein interaction networks. In: RECOMB, 2005. 1~13
- Grohe M. Descriptive and parameterized complexity. In: Proceedings of the 13th International Workshop and 8th Annual Conference of the EACSL on Computer Science Logic, 1999. 14~31
- Huffner F, Wernicke S, Zichner T. Algorithm engineering for color-coding to facilitate signaling pathway detection. In: Proceedings of the 5th Asia-Pacific Bioinformatics Conference (APBC '07), Advances in Bioinformatics and Computational Biology. World Scientific, 2007 (To appear)
- Isshiki T, Tanaka K. An $(n-1)$ -out-of- n Threshold Ring Signature Scheme. In: Information Security and Privacy, 10th Australasian Conference, ACISP, 2005, 2005. 4~6
- Liu Y, Wang J, Chen J. Color-coding: $n \leq 2k$. Manuscript, 2007
- Sze Sing-Hoi, Chen Jianer, Lu Songjian, et al. Improved algorithms for path, matching, and packing problems. Manuscript, 2006
- Kelley B P, Sharan R, Karp R M, et al. Conserved pathways within bacteria and yeast as revealed by global protein network alignment. Proceedings of the National Academy of Sciences, 2003,