

# ASIC 集成电路的可测性设计与技术实现

韩 威 江 川

(中国船舶重工集团第 709 研究所 武汉 430074)

**摘 要** ASIC 集成电路设计开发中的隐含逻辑瑕疵与电路故障是芯片实现的最大困境,针对不同特性的电路提出了内部逻辑扫描、存储器内建自测试、边界扫描链插入以及 ATPG 自动测试向量生成的解决方案与技术方法,实现了 SOC 设计开发中逻辑与成片电路的主动侦测与跟踪寻径,经实践证明这些方法大大提高了复杂 SOC 研制的成功率。

**关键词** SOC 测试,可测性设计,主动测试技术,故障模型,测试向量自动生成

**中图法分类号** TN407 **文献标识码** A

## Design for Testability and Implement Technology in ASIC Design

HAN Wei JIANG Chuan

(Microelectronic Center, CSIC Wuhan Digital Engineering Institute, Wuhan 430074, China)

**Abstract** The hidden logic flaw and circuit fault are most difficult situation in implementation of ASIC. A comprehensive DFT technique can implement active detection and path tracing in SOC circuit, according to various circuits characteristic. The technique includes inside logic scan, memory built-in self test, boundary scan chain insertion and ATPG. It is proved by practice that the method mentioned above is able to increase the successful probability of developing a complex SOC design enormously.

**Keywords** SOC test, DFT (Design For Testability), Active test technique, Fault pattern, ATPG (Automatic Test Pattern Generation)

随着当前应用需求的不断增加,集成电路芯片的规模也在不断扩大。内含:高性能处理器、协处理器、DSP、多重总线构架、嵌入式软件、多功能 IP 核、大容量存储器以及各种通信接口部件的 SOC 芯片已广泛地出现在电子产品的各个领域,这种超高速、多功能 SOC 的出现,不仅突出地表征了现代 SOC 的智能化、高集成度、超复杂性的特点,同时也造成了芯片研制的难度大幅度增加,设计、制造中出现的隐患与缺陷增多,验证与测试也越来越困难,以至于芯片的开发风险与成本迅速上升。因此,如何快捷、有效地开展复杂 SOC 芯片的验证与测试,是我们当前 SOC 开发中一项非常重要的课题。

### 1 芯片中的可靠性测试技术与方法

按照芯片的研制进程,在整个设计开发流程中要进行的验证与测试有:功能(功能、性能、时序)验证、原型系统测试、样片测试、工程试用测试等。其中,功能验证是采用设计工具中的仿真器,硬件仿真器在计算机仿真环境下完成的行为功能与时序验证;原型系统实验测试是在 FPGA 原型实验板上辅助专用测试设备对设计芯片的 FPGA 电路原型进行测试与验证;样片测试是通过专用的测试设备对已生产出来的芯片进行测试;工程试用测试则是将芯片安装在实际应用的电路板上进行实况工作环境下的运行测试。

在 SOC 开发中,芯片电路的验证技术与测试技术一样,

都是通过对芯片模型或电路加入输入信号,通过观察、分析输出的响应结果来判断、检验芯片功能与特性的正确性。但不同的是验证的目标是保证设计过程中芯片功能的正确性,而测试的目的是保证生产过程与工艺结果的正确性。

测试技术从测试方法上可分为:功能性测试、穷举法测试以及基于故障模型的测试。无论何种测试其追求的目标都是采用最少的测试向量或激励来得到最大的测试覆盖率。

测试技术从测试特性上也可分为主动测试与被动测试。

主动测试技术:通过有效的测试策略和方法,预先在被测物件中插入测试分析电路和观察点来主动地侦寻、检查、分析内部隐患或缺陷的一种故障探测技术。这种测试技术的被测物件是开放的,就像“白盒子”,测试者能预先在物件内部构建专用的测试电路和模块,可采用局部或定向的测试技术以及分析、跟踪手段来确定缺陷的位置,是一种主动、积极的寻找故障的技术与方法。在这种测试技术中,专用测试设备、设计软件、电脑都可作为测试结果的监测、分析工具。主动测试技术的一个典型代表就是可测性设计(DFT)技术。

被动测试技术:是一种采用测试设备监测被测物件对输入信号激励发出响应的测试技术。在这种技术中,被测物件被认为是封闭的,内部结构不能干预与深入,只能通过接口信息进行测试。被动测试技术也是一种传统性的测试技术,专用测试设备是测试中十分重要的主体,被动测试技术对专用

到稿日期:2008-10-18

韩 威(1956—),男,研究员,硕士生导师,主要研究方向为计算机应用与开发、集成电路设计以及电子设计自动化(EDA)工程等, E-mail: hanson@public.wh.hb.cn; 江 川(1982—),男,硕士研究生,主要研究方向为安全通信、密码算法和集成电路设计。

测试设备的精度、特性依赖性非常强,离开了这个主体无法完成测试工作。

## 2 SOC 芯片的可测性设计(DFT)

可测性设计(Design-For-Test)是一种典型的主动测试技术。这项技术的基本方法策略是:在设计阶段,通过在芯片内的关键部位或周边接口预先插入专用测试电路结构并形成扫描链,待芯片生产完成后,由自动测试设备(ATE)对这些已插入的测试结构或扫描链进行特定的功能/性能测试,开展测试覆盖率分析和故障定位,检测在 ASIC 版图制作、工艺生产等过程中出现的芯片瑕疵与缺陷,从而保证芯片加工过程与结果的正确性。可测性设计技术是一项能进行自诊断的主动测试技术,它不像其它被动测试系统(例:黑盒子测试),仅仅依赖外围接口的激励响应来推断、假设被测系统的结果正确性。

可测性设计技术具备以下能力:

- 1) 能在 ASIC/IC/SOC 设计中插入测试电路结构和动态设置探测点,以保障局部设计和内部电路的可测性;
- 2) 可按照一定的测试规则和方法以及故障模型自动生成芯片设计电路的测试向量集,并利用这些重复、繁杂的测试向量在自动测试设备上对设计的芯片进行各种专项测试;
- 3) 能够评估测试覆盖率,并辅助进行测试结构的改进;
- 4) 通过测试、分析,能诊断和定位芯片失效的原因;
- 5) 可实现芯片、模块的自诊断与自动测试机制。

目前,在 SOC 设计工具中,采用的 DFT 可测性设计技术能够完成:内部逻辑的扫描链测试、存储器的内建自测试、边界扫描测试以及测试向量自动生成等。这些测试、技术在 SOC 设计流程中的应用如图 1 所示。

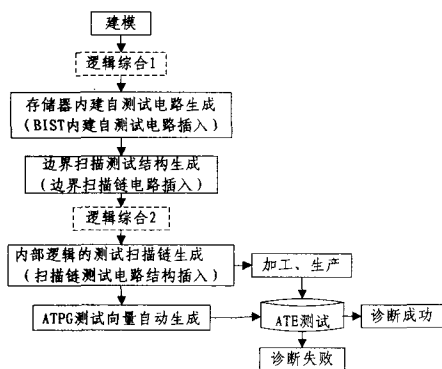


图 1 SOC 开发中的 DFT 可测性设计与测试流程

上述流程中,存储器内建自测试、边界扫描测试(测试结构的插入)过程既可在逻辑综合之前(图 1 的逻辑综合 2),也可在逻辑综合后(图 1 的逻辑综合 1)进行。而插入了测试结构的芯片实测工作,则是在芯片加工生产之后,由 ATE 自动测试设备来完成。该 ATE 测试设备上的测试向量集可由 ATPG 测试向量生成工具自动产生。

### 2.1 内部逻辑扫描链测试技术

内部逻辑扫描链测试技术是一种将芯片内部时序电路转换成具有测试功能的扫描链电路,通过控制把内部电路信息载入该扫描链中,并经串行输出到芯片管脚上,观测、判定其内部逻辑运作是否正确的测试技术。

使用内部逻辑扫描链测试技术时,首先应将芯片电路中

的所有时序单元全都替换成能受控进行数据传输与数据测试的扫描单元(通常会采用最为简洁 MUX-SCAN 多路选择器结构的扫描单元进行替换),再把每一个这样的扫描单元首尾相连,形成一个串行的移位寄存器链,如图 2 所示。

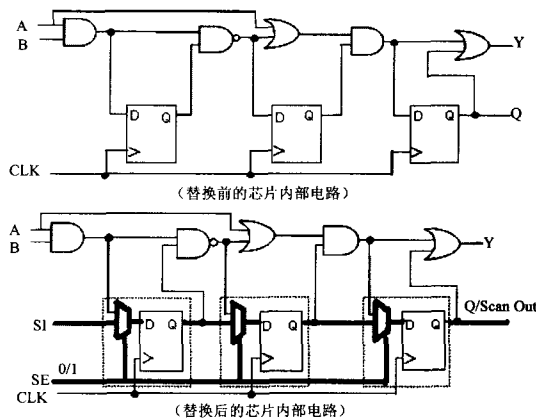


图 2 采用电路扫描链替换前、后的芯片内部电路

替换后的电路中,SI 为扫描数据输入;SE 为扫描使能信号;SO 既是扫描状态的输出,也是正常电路逻辑的输出。

当 SE=0 时,该电路工作在正常模式(也称:获取模式 Capture Mode),寄存器读入、保存内部电路的工作状态。

当 SE=1 时,电路工作在测试模式(也称:串行移位输出模式),寄存器的值是来自前一级寄存器的扫描输出(即:移位输出)。

把内部电路扫描链的输入、输出端连接到芯片的输入/出管脚,通过控制 SE 信号的高低电平变换,使得电路扫描链在两种工作模式下反复切换,即可将内部电路逻辑路径上的状态值读入触发器链中,并串行移位至芯片的输出管脚进行观测与判断。

实现内部逻辑扫描测试技术最重要的步骤是将 RTL 代码模型中的门级时序单元(寄存器)通过逻辑综合全部替换成带有扫描特性的时序单元,并将这些具有扫描特性的时序单元首尾相连接成一条串行扫描链。这项工作在 DFT 技术中被称为测试综合。

### 2.2 存储器的内建自测试(MBIST)技术

针对超大规模 SOC 芯片内的存储单元越来越多,其在芯片版图中所占面积的比例越来越大;以及存储器的制造过程常常会隐藏;存储单元地址译码出错、存储器单元高或低电平固化、存储单元间出现耦合等问题,业界推出了专门针对 SOC 内部存储器设计与测试验证的解决方案——“存储器内建自测试(Memory Built-in Self Test, MBIST)技术”。这项技术是通过在 SOC 片内的存储器周边添加专门用于检测存储器故障的测试算法电路(如著名的 March2 算法),来实现内部存储器的正确性测试。即:专业的软件工具,在 RAM 存储器外围插入内建自测试(BIST)的算法控制电路、多路选择器和比较器(参见图 3 的深色图块)等,通过控制多路选择器,来选择 RAM 存储器是工作在正常模式还是进行自测试。

在存储器内建自测试模式下,BIST 电路(图 3 中的虚线部分)根据专业测试算法自动产生用于存储器正确性测试的数据、地址与控制信号,并对存储器的每一个存储单元进行读写,同时,将写入与读出的数据在比较器中进行比较,如果写

人与读出的数据一致,比较器输出为低,则表明存储器正常,反之,表明该存储器中存在缺陷。

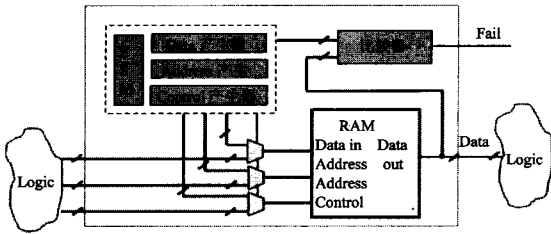


图3 存储器内建自测试原理图

### 2.3 边界扫描技术

边界扫描(Boundary Scan)测试技术与内部逻辑扫描链测试技术有所不同。后者是将电路逻辑中的普通时序单元替换成具有扫描能力的时序单元,并将它们连接成扫描链通道。而前者则是在芯片的内部逻辑与每个输入/输出管脚之间插入时序单元,并将这些时序单元串行连接成扫描链。由于这项技术是在芯片的引脚与内部逻辑之间来建立时序单元扫描链,因此,被形象地称为“边界”扫描技术。

边界扫描技术是JTAG(联合测试行动小组)最初为解决PCB印制电路板上芯片与芯片之间的互连测试而提出的解决方案,1990年被IEEE组织采纳成为IEEE 1149.1标准。

采用边界扫描技术能够完成:

- 1) 芯片内部逻辑的测试和调试:通过控制扫描链,可动态地将测试输入加到内部逻辑中,并可观察到相应逻辑的响应输出。
- 2) PCB板上的芯片互连测试:通过将PCB板上所有具有边界扫描寄存器的芯片首尾相接连接成一个多芯片的串行大扫描链,从板级的TDI端输入一定的测试矢量,可以测试到这些芯片的引脚及板上连线是否短路、开路和连接出错。
- 3) 在SOC系统中的内部模块功能测试与互联测试。

单块芯片中建立的边界扫描链结构如图4所示。

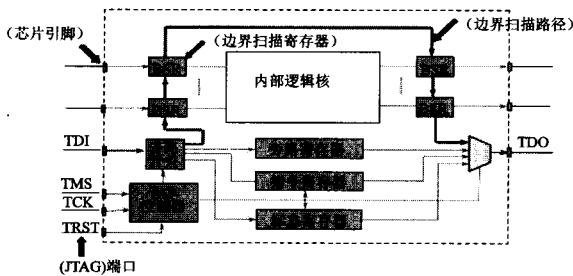


图4 在单块芯片中插入的边界扫描链结构

边界扫描链设计工具能在芯片中插入:TAP控制器、多路开关、BSR边界扫描寄存器、旁路寄存器、指令寄存器、标志寄存器、多路选择器等部件(参见图4中的深色图块)。并从芯片引脚引入了JTAG标准信号(TDI测试输入、TMS测试方式选择、TCK时钟、TRST复位、TDO测试输出)。其中:

BSR(Boundary Scan Register)边界扫描寄存器:在正常工作模式下,完成接口数据的捕获与更新(测试数据的输入与输出);在测试模型下,完成扫描链上数据的串行移位。

TAP(Test Access Port)测试进程控制器:根据测试方式选择(TMS)信号的状态,决定边界扫描控制逻辑的工作模

式,并产生该工作模式下所需要的各种控制时序信号。

多路开关、多路选择器:受TAP控制器的控制,在不同工作模式下,连接不同的输入/输出通道。

旁路寄存器:当不需要对本芯片内逻辑进行测试时,可通过旁路寄存器直接将测试数据输入(TDI)端的信号传递到测试数据输出(TDO)端(即:将测试数据直接传递到后级芯片中)。

指令寄存器:译码、识别由测试数据输入(TDI)端串行输入的JTAG指令。

标志寄存器:保存芯片型号、版本、制造厂商等信息。

当PCB板上的有多块芯片相互连接时,我们可以利用边界扫描技术来判断经过大规模PCB生产过程后,这些芯片间互连线的正确性,如图5所示。

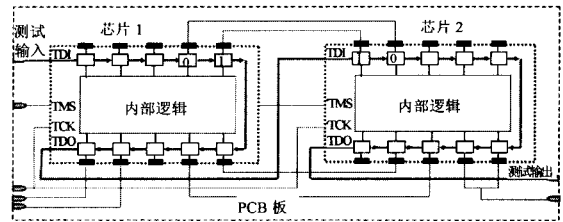


图5 基于边界扫描链的PCB板互连测试

图5中,如果芯片1与芯片2之间的互连线正确,则通过芯片1的边界扫描测试数据输入管脚TDI串行输入的0,1就应该通过互连线反映在芯片2的对应管脚上,那么经过一定时间,芯片2的边界扫描电路就应该将获取的这两个数值串行输出至其TDO管脚上,如果从TDO上没有正确观测到这两个数值,则表明PCB在制造过程中出现了芯片间的互连线障碍。PCB板的测试输入、输出端可以直接连接到ATE自动测试设备的相应端口,进行整个PCB板上的芯片互连线扫描测试。

以上的测试方法也被应用到了SOC的部件测试管理中。

### 2.4 测试向量自动生成技术

ATPG(Automatic Test Pattern Generation)测试向量自动生成技术是一项根据特定的故障模型与芯片电路网表结构自动生成测试向量的技术。这项技术通常与ATE自动测试设备配套使用,即:前者用于在芯片的设计阶段产生测试向量,后者在芯片生产完成后采用这些测试向量进行相应芯片结构的特定故障测试,以筛选出不合格的芯片。

ATPG是一个自动化的过程,它减少了人工测试向量生成过程的繁杂性,缩短了测试向量的生成时间,提高了测试覆盖率。并且,由于ATPG是根据各种故障模型来生成测试向量,因此,一旦在ATE自动测试设备上发现了错误,可直接按照该错误的故障模型来追踪、定位错误的出处。

以下是一个粘连型的固定故障,我们可以通过该逻辑结构的故障模型与真值表来表征故障查找的基本原理与测试向量的生成方法,如图6所示。

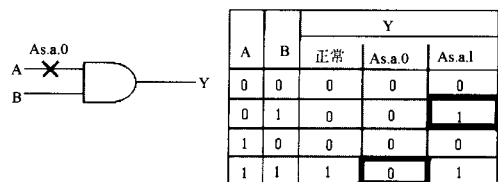


图6 两输入与门逻辑的粘0(s-a-0)型故障与真值表

粘连故障(Stuck-at)是芯片制造过程中最常发生的故障模型。粘连故障分粘0(s-a-0)与粘1(s-a-1)故障(即:其逻辑的某一节点始终为低或高电平)。在图6中,两输入与门如果制造过程没有任何缺陷,其输出端Y就应按照正常的真值表来响应。而一旦与门的A点连线出现粘0故障,由于A点被固定在低电平,则即使B点输入1,Y输出也始终为低电平。因此,通过观测输出点Y就可判断出A点存在制造缺陷。

ATPG工具会按照这种故障模型反复对每个节点尝试输入数值,并通过观测其输出与正常情况的一致性来判断是否出现了制造过程的缺陷,如果找到,就记录下该测试向量,直至达到期望的测试覆盖率,ATPG停止运作,并保存最终的测试向量。

目前,EDA设计软件中的ATPG工具,可以为SOC的全扫描或部分扫描设计自动生成高质量的测试向量集,不仅能对常用的粘连故障模型生成测试向量,还能针对关键时序路径、信号跳变模型生成实速(at-speed)测试向量,针对基于静态电流检测(IDDQ)模型生成测试向量,支持所有的主要故障类型,也可以利用生成的测试向量进行故障仿真和测试覆盖率计算。

可测性设计技术(DFT)目前已成为SOC研制中一个非常重要的环节。尤其是在规模化生产中,DFT技术更是举足轻重,大大提升了产品质量,保证了合格产品的上市时间,减少了产品的研制与测试成本。

### 3 SOPC的可测性设计与调试

FPGA是一款在已建好的标准工艺器件单元阵列上采用编程(剪裁、连接、配置)技术实现电路组合设计并能对设计内容进行现场更新与重复修改的可编程芯片。由于FPGA的这些特性,人们在新型电子产品开发、ASIC芯片设计的原型功能验证与调试以及小批量芯片产品的开发中,均采用这种比ASIC技术更加灵活、方便的可编程技术,以降低芯片的研制成本和风险,加快上市周期。

目前,随着深亚微米工艺技术日益成熟和完善,内含多种接口标准、低功耗技术、全局布线池技术、块状存储器、DSP与处理器硬核、DCM数字时钟管理模块、大数乘法器等,并能进行数千万门电路设计的高速、复杂FPGA已经出现,并且伴随着FPGA设计工具的专业化深入,以及软件工具中各种IP核的日益丰富和免费使用,FPGA现在已广泛地应用到嵌入式系统与SOC领域中,这种采用FPGA特性技术来完成的SOC设计的芯片,通常被称为“可编程片上系统”(即:SOPC—System On Program Chip)。

在FPGA的测试技术中,由于FPGA的基本单元工艺是预先定制好的,芯片电路实现过程中由生产工艺形成的瑕疵、故障成分已由FPGA的生产厂家给屏蔽掉了,因此FPGA芯

片的实现与测试技术的考虑重点通常是如何有效地进行电路的可测试设计与电路调试。

采用SOPC可测性设计技术进行FPGA芯片的测试并不需要ATE测试设备,可直接在软件工具界面的操作、控制下,通过JTAG端口连接到FPGA芯片完成。而且,利用FPGA的可编程特性,测试时还可以现场更新、修改芯片电路的内部观测点、触发方式、激励内容以及设计逻辑等,并在反复观测、更新结果后,实现最终理想电路的调试。这种不需要ATE测试设备而直接采用软件工具对芯片硬件电路进行测试、调试的方式是SOPC可测性设计技术最独有的特性。SOPC可测性设计技术的FPGA测试流程如图7所示。

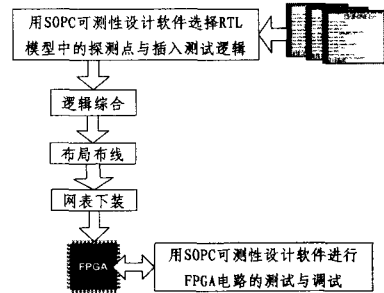


图7 SOPC可测性设计技术的FPGA测试与调试流程

随着SOC设计、开发技术越来越朝系统级发展,DFT技术也由单一模块的测试向多样化、组合控制的方向发展。因此,依据SOC的设计流程、电路特征、DFT技术要求以及故障覆盖率指标等要素,制定详尽的测试方略和步骤是我们开展复杂SOC测试所必需进行的工作。近年来,低功耗测试电路技术、减少测试时间、测试向量的压缩与优化、at-speed测试、故障模拟等已成为本专业工程师在SOC测试中所面临的课题。

### 参考文献

- [1] Hamdiour S, Wadsworth R, Reyes J D, et al. Memory Fault Modeling Trends: A Case Study[J]. Journal of Electronic Testing, 2004
- [2] 杨士元. 数字系统的故障诊断与可靠性设计[M]. 北京:清华大学出版社, 2002(4): 39-59
- [3] 郭炜. SOC设计方法与实现[M]. 北京:电子工业出版社, 2007: 107-205
- [4] Liu Yang. New Testing idea facing chip design[J]. CSIA-IC-CAD, 2006
- [5] 黄博. DFT Technology in SOC[J]. Mentor Graphic forum, 2007
- [6] 于敦山. Rochit Rajsuman SOC设计与测试[M]. 北京:航空航天大学出版社, 2003(8): 125-133