

时序电路等价性检验中的存储元素映射方法研究

李光辉^{1,2} 曾松伟¹

(浙江林学院信息工程学院 杭州 311300)¹ (浙江大学工业控制技术国家重点实验室 杭州 310027)²

摘要 随着集成电路规模越来越大,系统的功能日益复杂,功能验证已成为整个设计流程的瓶颈。对于大规模的时序电路,传统基于状态空间遍历的等价性检验方法可能会遇到内存爆炸问题。为了降低等价性检验方法的复杂度,提高验证效率和处理大规模电路的能力,通常需要构造两个被验证电路的存储元素映射之间的映射关系,从而将时序电路等价性检验问题转化为组合电路等价性检验问题。较全面地介绍了时序电路等价性检验的基本方法及其研究进展,讨论了基于存储元素映射的时序电路等价性检验的基本思想,并介绍了若干具有代表性的存储元素映射方法,展望了集成电路等价性检验方法的研究发展方向。

关键词 集成电路,设计验证,等价性检验,存储元素映射

中图分类号 TP302.8 **文献标识码** A

Research on Storage Elements Mapping for Sequential Equivalence Checking

LI Guang-hui^{1,2} ZENG Song-wei¹

(School of Information Engineering, Zhejiang Forestry University, Hangzhou 311300, China)¹

(National Laboratory of Industrial Control Technology, Zhejiang University, Hangzhou 310027, China)²

Abstract As the integrated circuit size continues to increase, the complexity of system function has become increasingly high. Functional verification has become the bottleneck of the design flow. For large sequential circuits, the traditional sequential equivalence checking based on state-space traversal of product machine potentially meets with the state explosion. In order to improve the efficiency and the scalability of equivalence checking technology, by exploiting the storage element correspondence, the sequential equivalence checking may reduce to combinational equivalence checking, which is computationally less expensive. We investigated the basic method of sequential equivalence checking, and discussed the principle of storage element mapping. Then we introduced some typical mapping algorithms. Finally, the current and future research frontiers on equivalence checking were put forward.

Keywords Integrated circuits, Design verification, Equivalence checking, Storage element mapping

在集成电路设计流程中,等价性检验是验证不同阶段中两种设计描述是否功能等价的基本方法。在当今的设计方法学中,为保证底层设计,实现关于其寄存器传输级(RTL)规范的功能正确性,等价性检验已成为非常流行的工具。验证两个时序电路(设计)等价性的传统方法是将它们表示成有限状态机,然后检验两个电路(设计)对于所有有效的输入序列是否产生相同的输出。当状态空间很大时,这类方法可能面临内存爆炸问题。因此,在实际应用中,等价性检验工具往往是先构造两个电路中存储元素(如寄存器、锁存器等)的映射关系,进而将电路分解成一些相对应的组合模块。接着使用高效的组合验证方法验证各相应的组合模块功能等价,从而决定两个时序电路的等价性^[1,2]。

目前,国内外学者已经提出了不少构造存储元素映射的方法^[3-10]。这些方法大体可以分为不完全方法和完全方法两类。不完全方法通常使用功能或非功能性的启发式策略对存

储元素匹配,但不能保证匹配的正确性或完备性。非功能性方法利用名称或结构信息来匹配存储元素,功能性方法则使用随机模拟或自动测试生成(ATPG)等手段产生不等价信息,然后确定存储元素的对应关系。另一方面,完全方法通常使用不动点迭代策略确定所有存储元素的映射关系。给定足够的计算资源,完全方法能够获得可证明正确性和完备性的存储元素映射关系。显然,完全方法也可以归结为功能性的方法。由于商业验证流程中普遍应用组合等价性检验方法,研究功能强大和高效的存储元素具有十分重要的意义^[3]。

1 时序电路的等价性检验方法

传统的时序电路等价性检验是基于有限状态机遍历的方法。通常需要构造两个被验证电路的积自动机,遍历积自动机的每一个状态,完成这种遍历的计算复杂度非常高。状态空间遍历的方法主要有两种:一种是显式的方法^[5],它每次完

到稿日期:2008-10-20 本文受国家“八六三”高技术研究发展计划(2008AA04Z132),浙江省自然科学基金项目(Y106707),浙江省科技计划项目(2007C21045)资助。

李光辉(1970—),男,教授,博士后,主要研究方向为集成电路设计验证、容错计算、无线传感器网络,E-mail:lgh@zjfc.edu.cn;曾松伟(1975—),男,讲师,硕士,主要研究方向为电子系统集成技术。

成一个状态转移,并用哈希表记录访问过的状态,由于计算复杂度太高,显式方法不适于等价性检验;第二种方法是符号方法,它采用布尔函数的压缩表示来存储和操作状态集合的特征函数^[6,7]。文献中出现的大多数符号方法是使用二叉判决图(BDD)表示状态集合。取决于状态空间的大小与结构,符号表示有可能使 BDD 变得很大,导致内存爆炸的问题。

设 $M=(I,O,S,S_0,\lambda,\delta)$ 表示一个有限状态机,相应于一个时序电路,这里, I,O,S,S_0 分别表示输入集合、输出集合、状态集合与初始状态集合。 $\delta:I\times S\rightarrow S$ 表示次态函数, $\lambda:I\times S\rightarrow O$ 是输出函数。我们用布尔向量 $X=(x_1,x_2,\dots,x_m)$, $Y=(y_1,y_2,\dots,y_n)$, $Z=(s_1,s_2,\dots,s_k)$ 分别表示任意的输入向量、输出向量及状态向量。有时,使用 $\delta_i(X,Z)$ 和 $\lambda_j(X,Z)$ 表示次态函数与输出函数的每一位, $i=1,2,\dots,k$; $j=1,2,\dots,n$ 。为简单计,我们考虑只有一个初始状态的情况。

定义 1(转移关系) 状态机 $M=(I,O,S,S_0,\lambda,\delta)$ 的转移关系是如下定义的一个关系 $T:S\times S\rightarrow\{0,1\}$:

$$T(Z,Z')\Leftrightarrow\exists X\in I,\delta(X,Z)=Z'$$

显然,状态对 (Z,Z') 在转移关系中,当且仅当存在一个输入向量 X ,使得状态机能够从状态 Z 转移到状态 Z' 。如果用一对变量表示每一状态位,其中一位表示当前状态,另一位表示次态,那么转移关系可以表示成单一的 BDD。BDD 的每条从根结点到 1 结点的路径就表示一条状态转移的路径。

转移关系可以用来计算状态集合的所有后继状态,称为像计算;也可用来计算状态集合的前趋状态,称之为原像计算。状态遍历可以使用两种方式:(1)前向状态遍历,即计算从初始状态可以到达的所有状态;(2)后向状态遍历,即确定所有从区分状态(distinguishing state)不可达的状态。一个区分状态 Z 是指对于某个输入向量 X ,积自动机的某个原始输出 y_i 为 1 的状态,即 $\lambda_i(X,Z)=1$ 。在符号方法中,前向遍历与后向遍历的算法,经常使用广度优先的方式。

为了提高状态空间遍历算法的效率,人们提出了许多的改进方法,其中有不少可用于时序电路的模型检验。常用方法是通过早期量化(early quantification),或分解转移关系来产生压缩的 BDD 表示^[11]。类似基于结构相似性的组合电路验证方法,利用积自动机状态位之间的功能相关性,可以减少状态空间遍历的变量数。如果一个状态位能够表示成其它状态位的函数,那么称该状态位为功能相关。消除相关的状态位可以显著地减小可达状态集合的 BDD 表示的大小^[11,12]。

由于基于状态空间遍历的时序电路等价性检验方法计算复杂度太高,往往只能应用到小规模的设计验证,对于大型的实际设计,它们显得无能为力。更高效而且处理能力强大的时序电路等价性检验方法是建立在两个电路之间的存储元素映射关系,将时序电路分解成一些相应的组合模块,然后依次验证相应的组合模块是等价的,这样可以极大地降低计算复杂性。通过利用这些结构相似性,现有的等价性检验方法能够验证几百万门级甚至更大规模的设计。

2 存储元素映射方法

寻找存储元素(如触发器)的一致性或者说建立存储元素匹配,最常用的方法是非功能性的方法,如根据命名规则或结构信息来确定候选的存储元素匹配关系。虽然利用非功能性方法可以将许多触发器匹配起来,但有时并不能把全部的触

发器都匹配好,这时还必须使用功能性匹配方法完成。存储元素一致性问题的定义如下:

定义 2^[3] 给定两个时序电路(状态机) M_1 和 M_2 ,假设集合 $S=\{s_1,s_2,\dots,s_n\}$ 和 $T=\{t_1,t_2,\dots,t_m\}$ 分别表示两个电路中的状态变量,并且两个电路具有相同的状态编码(这里允许电路中存在冗余的触发器)。存储元素一致性问题是指确定一个触发器分组的集合 $G=\{g_1,g_2,\dots,g_k\}$,使得每个分组 g_i 中包含一对或多对来自两个电路中的触发器,并且每个分组中的触发器是不可区分的或者说功能等价的。

不失一般性,通常假设两个电路中具有相同数目的触发器,我们希望定义 2 中,最终的分组结果为每个分组中恰好只有一对分别来自两个电路的触发器。下面以寄存器为例介绍存储元素的映射方法。

2.1 功能性的存储元素映射方法

完全的功能性匹配方法是把寄存器一致性当成一个最大的不动点自动计算。最原始的算法是,首先只包含一个等价类,其中的寄存器分成两类,即初始状态值为 1 和初始状态值为 0。然后,根据各寄存器的次态函数是否等价,将等价类进行分解。如此重复,直到最终各等价类中的寄存器次态函数都相同。显然,上述分解过程需要的最大迭代次数是积自动机的寄存器个数。通常为了提高效率,会使用随机模拟来产生初始的等价类。比较次态函数可以使用基于 BDD 的算法^[8],还有不少改进的方法^[7,9],也可以使用基于特征(signature)一致性的方法^[6]。

设 REG 表示积自动机中所有寄存器(含不同相位)的集合,即 $REG=\{s^1,-s^1,\dots,s^n,-s^n\}$, $RC\subseteq REG\times REG$ 是寄存器一致性。显然,如果 $(s^i,s^j)\in RC$,那么 $(-s^i,-s^j)\in RC$ 。同样,如果 $(s^i,-s^j)\in RC$,那么 $(-s^i,s^j)\in RC$ 。功能性的寄存器匹配算法如下^[1]:

Algorithm Functional_Register_Correspondence

```
{
  RC' = {(si, sj) | (s0i, s0j)} ∪ {(si, -sj) | (s0i, -s0j)};
  do {
    RC = RC';
    ρ = ∏(si, sj) ∈ RC (si = sj) ∧ ∏(si, -sj) ∈ RC (si = -sj);
    RC' = {(si, sj) | (si, sj) ∈ RC ∧ ∀ xs. (ρ(s) ⇒ (δ'(xs, s) = δ'(xs, s)))} ∪ {(si, -sj) | (si, -sj) ∈ RC ∧ ∀ xs. (ρ(s) ⇒ (δ'(xs, s) = -δ'(xs, s)))};
  } while (RC' ≠ RC);
  return RC;
}
```

上述算法开始时,只有一个包含所有寄存器的等价类,其中所有寄存器处于正、负相位时的初始值分别为 1 和 0。在每次迭代过程中,如果某个等价类中成员的次态函数不同,那么这个等价类将被分解。这个过程一直持续到不动点的出现为止。假定积自动机中总的寄存器数是 n ,那么最多经过 n 步上述算法将结束。因此,给定足够的计算资源,完全的功能性匹配方法可以获得能够证明是正确的存储元素的映射方法。

不完全的功能性匹配方法是利用随机模拟或 ATPG 搜索等方法产生寄存器的不等价信息,然后根据这些不等价信息来构造寄存器的对应关系。Anastasakis^[4]提出了一种功能性的启发式比较点匹配方法,该方法首先建立比较点之间的

不等价关系,然后利用这些不等价关系把最可能等价的比较点进行组合。该方法不仅能够高效地处理工业级电路,还可以把比较点的匹配过程与随后的等价性验证过程区分开来。Cao^[7]提出了一种基于互补模拟的存储元素映射方法,该方法首先使用随机模拟将两个电路中的触发器进行第一轮的分组,接着使用针对性的模拟对第一轮的分组结果进行细分,经过两轮互补的模拟使得分组结果更加准确。此外,该方法是基于模拟的算法,因此效率高而且可以应用到大规模的电路。郑飞君^[11]提出了一种结合多种方法的新型锁存器匹配算法,该算法结合随机模拟、局部二叉判决图、目标模拟等3种方法来匹配锁存器,并使用了类似滤波器的思想,任意模拟对锁存器作初步快速匹配,提出的局部BDD技术降低了发生内存爆炸的可能性,目标模拟则针对性地对锁存器作进一步的划分。实验结果表明该算法可以用于较大规模的时序电路验证问题。

2.2 非功能性的存储元素映射方法

只要寄存器一致性存在,那么完全的功能性匹配算法一定能够找到。然而,如果次态函数有差别,那么这类方法可能会失效。第1节已经介绍,不完全的存储元素映射方法主要包括功能性的和非功能性的方法。这里我们介绍非功能性的匹配方法。非功能性的匹配方法主要利用名称信息或者拓扑结构信息来确定存储元素是否匹配。在集成电路的设计流程中,前后两个版本中往往保留大量存储元素的名称相关性,因此,利用名称信息可以初步确定许多存储元素的匹配关系。然而,有时经过综合优化、时钟树插入、可测试性设计等环节的设计变换,名称信息可能发生变化,这时可以使用结构性的匹配算法^[1]。结构性方法是指根据结构的一致性来判断寄存器是否一致。例如,如果两个寄存器的次态函数的支撑集合(support set)相同,就认为它们是等价的。这里的支撑集合是指次态函数所依赖的状态变量与原始输入变量的集合。结构性的寄存器匹配算法如下:

Algorithm Structural_Register_Correspondence

```

{
  RC' = {(si, si) | (s0i, s0i)} ∪ {(si, -si) | (s0i, -s0i)};
  do {
    RC = RC';
    RC = {(si, sj) | (si, sj) ∈ RC ∧ SUPPORT(si) = SUPPORT(sj)};
  } while (RC' ≠ RC);
  return RC;
}

```

上述算法中,各变量的含义如同2.1节所述,SUPPORT(sⁱ)表示次态变量sⁱ的支撑集合。显然,结构性算法可能会导致错误的匹配。尽管有产生错误匹配的可能性,但结构性匹配算法在实际应用中效果却很好,它比完全的功能性匹配算法要快得多。因此,在等价性检验工具中,一般的存储元素映射方法是,首先使用命名规则匹配,然后使用结构性匹配,最后使用功能性方法匹配剩余的存储元素。为了提高存储元素映射的准确性和效率,通常都需要将功能性方法与非功能性方法结合起来使用^[1]。

3 基于存储元素映射的等价性检验方法

在实际的集成电路设计流程中,前后不同阶段的两个设

计描述往往具有相同的状态编码,并且它们的存储元素(如寄存器)之间具有直接的对应关系。我们称来自不同状态机中的两个寄存器如果具有相同的次态函数,则称它们是一致(或匹配)的。寄存器的匹配构成了积自动机中寄存器集合的一个等价关系。广义的一致性包括那些次态函数功能相反的寄存器。类似于组合电路中的反相结点,广义的一致寄存器在验证过程中能起很大作用。图1描述了利用寄存器一致性将时序电路等价性检验问题转化为组合验证问题原理。图中X和Z分别表示由电路C1和C2组成的积自动机的原始输入向量与状态变量向量,NS1和NS2表示相匹配的一对次态变量,PO1和PO2表示相应的原始输出对。我们把寄存器的一致性转换成电路的伪原始输入、伪原始输出对应关系,即把寄存器的当前状态变量当作伪原始输入,把次态变量当作伪原始输出。这样,时序电路的等价性检验就转化成组合电路的等价性检验问题了,但在验证原始输出等价性的同时,还要验证各次态变量的等价性。

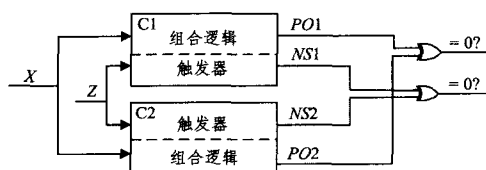


图1 基于存储元素映射的等价性检验方法

3.1 基于存储元素映射的等价性验证流程

以Synopsys公司的等价性检验工具Formality^[12]为例,基于存储元素映射的等价性检验流程如下:

- 第一步 读取设计规范和设计实现;
- 第二步 建立验证环境;
- 第三步 存储元素映射;
- 第四步 验证设计规范与设计实现的功能等价性;
- 第五步 如果验证成功,结束验证过程;否则,分析验证结果,对设计实现进行调试,并重新验证。

在上述验证过程中,第一步是读取被验证的两个电路(可以是两个不同抽象层次的描述),然后进行工艺库的链接;第二步是进行验证环境的设置,例如将扫描逻辑置为无效;第三步存储元素映射,通常是先利用非功能性方法进行存储元素的匹配,然后使用功能性的方法匹配剩余的存储元素。第四步是根据存储元素匹配结果,进行两个电路的功能等价性验证。如果验证成功,则结束验证过程,当验证失败时,则进入第五步。这一步需要分析验证失败的原因,即是因为验证环境设置不正确,还是设计实现中真正存在错误。如果是设计实现存在错误,那么需要对其进行调试,消除设计错误。然后重新执行验证。

结束语 组合等价性检验是目前集成电路设计验证流程中成熟和实用的方法。为了提高大规模时序电路等价性验证方法的效率,经常要利用存储元素映射方法将时序电路等价性验证转化为组合等价性检验问题。当前,集成电路设计等价性检验方法的研究主要集中在两个主要领域。一方面,随着设计复杂性的持续增长,必须继续提高组合等价性检验方法的处理能力和强健性。这就要求改进现有的算法和开发新算法以适应验证问题的难度。另一方面,改进时序等价性检验算法,并减少对设计方法的约束,以便使等价性检验方法更

加实用。这包括提高传统基于状态遍历算法处理能力,并推广应用基于结构信息的验证方法,以便简化验证问题。

参 考 文 献

- [1] Hassoun S, Sasao T, Brayton R K. Logic Synthesis and Verification [M]. Boston/Dordrecht/London: Kluwer Academic Publishers, 2002
- [2] Burch J R, Singhal V. Robust Latch Mapping for Combinational Equivalence Checking [C]//Proceedings of IEEE International Conference on Computer-Aided Design (ICCAD). San Jose, CA, USA, November 1998; 563-569
- [3] Ng K, Prasad M R, Mukherjee R, et al. Solving the Latch Mapping Problem in an Industrial Setting [C]//Proceedings of IEEE/ACM Design Automation Conference (DAC'2003). Anaheim, CA, USA, June 2003; 442-447
- [4] Anastasakis D, Damiano R, et al. A Practical and Efficient Method for Compare-Point Matching [C]. DAC, New Orleans, LA, USA, June 2002; 305-310
- [5] van Eijk C, Jess J A G. Detection of Equivalent State Variables in Finite State Machine Verification [C]//Proceedings of ACM/IEEE International Workshop on Logic Synthesis. Lake Tahoe, California, USA, 1995; 335-344
- [6] Mohnke J, Molitor P, Malik S. Establishing Latch Correspondence for Sequential Circuits Using Distinguishing Signatures [C]//Proceedings of IEEE Midwest Symposium on Circuits and Systems (MWSCAS), Sacramento, CA, USA, August 1997
- [7] Cao Wanlin, Walker D M H, Mukherjee R. An efficient solution to the storage correspondence problem for large sequential circuits [C]//Proceedings of Asia and South Pacific Design Automation Conference (ASP-DAC). Yokohama, Japan, January 30-February 2, 2001; 181-186
- [8] Burch J R, Clarke E M, et al. Symbolic Model Checking for Sequential Circuit Verification [J]. IEEE Transactions On Computer-Aided Design, 1994, 13(4): 401-424
- [9] Ranjan R K, Aziz A, Brayton R K, et al. Efficient BDD algorithms for FSM Synthesis and Verification//Proceedings of the International Workshop on Logic Synthesis (IWLS). Lake Tahoe, California, USA, 1995
- [10] van Eijk C, Jess J A G. Exploiting Functional Dependencies in Finite State Machine Verification [C]//Proceedings of IEEE European Design & Test Conference. Paris, France, 1996; 9-14
- [11] 郑飞君, 杨军, 葛海通, 等. 面向等价性验证的锁存器匹配算法 [J]. 浙江大学学报: 工学版, 2006, 40(8): 1293-7296
- [12] Synopsys Inc. Formality Workshop Student Guide. Synopsys Customer Education Services

(上接第 281 页)

度大小,以达到“小的调节,大的改变”的目的,从而适应不同的人群对音色的感觉需求和创作需要。

本文的分析是在振幅包络子模型参数取值不变的情况下进行的,如果在改变振动子模型参数的同时也改变振幅包络参数的取值,则可以获取成千上万种音色,那么对众多音色的组织和管理将是以后要讨论的问题。

参 考 文 献

- [1] ANSI S. 3. 20-1973, American National Standards Institute [S]
- [2] 张一彬, 周杰, 边肇祺, 等. 基于内容的音频与音乐分析综述 [J]. 计算机学报, 2007, 30(5): 712-729
- [3] Tardieu D, Rodet X. An Instrument Timbre Model for Computer Aided Orchestration [J]//2007 IEEE Workshop on Applications of Signal Processing to Audio and Acoustics. New Paltz, NY, October 2007
- [4] 陈旭. 电脑音乐的音色优势与创编理念 [J]. 湛江师范学院学报, 2008, 29(2): 112-115
- [5] Jordà S. Multi-user Instruments: Models, Examples and Promises [J]//Proceedings of the 2005 International Conference on New Interfaces for Musical Expression (NIME05). Vancouver, BC, Canada; 23-26
- [6] 黄忱宇. 电子音乐与计算机音乐基础理论 [M]. 北京: 华文出版社, 2005
- [7] 张静, 梁澍. Windows 多媒体编程基础 [M]. 北京: 清华大学出版社, 2005
- [8] 郑阿奇, 刘毅. 多媒体实用教程 [M]. 北京: 电子工业出版社, 2007, 8: 21
- [9] 韩纪庆, 冯涛, 郑贵滨, 等. 音频信息处理技术 [M]. 北京: 清华大学出版社, 2007, 1: 37

《计算机科学》杂志报导国内外计算机科学与技术的发展动态,主要栏目有:计算机网络与信息技术、人工智能、图像处理、数据库、人机界面、软件工程等;欢迎各高等院校师生以及从事计算机科学与技术领域的科研、生产人员踊跃投稿。投稿邮箱:jsjkxtg@163.com