

基于演化硬件的在线自适应系统

朱继祥¹ 李元香¹ 夏学文² 曾辉²

(武汉大学软件工程国家重点实验室 武汉 430072)¹ (武汉大学计算机学院 武汉 430079)²

摘要 随着演化硬件的兴起,其在电子电路自动设计、容错以及自适应等方面的优越性,使它有望成为突破传统电子系统设计瓶颈的新技术。在已有研究的基础之上,进一步探讨利用演化硬件技术实现电子系统的自适应性,提出了一个基于演化硬件技术的自适应系统模型,并通过在 Xilinx Virtex-II Pro(XC2VP20) FPGA 芯片上的实验,表明了演化硬件技术是解决电子系统自适应性问题的一种可行方案。

关键词 演化硬件, 自适应, 数字电路, 现场可编程逻辑门阵列

On-line Self-adaptive System Based on Evolvable Hardware

ZHU Ji-xiang¹ LI Yuan-xiang¹ XIA Xue-wen² ZENG Hui²

(State Key Laboratory of Software Engineering, Wuhan University, Wuhan 430072, China)¹

(College of Computer Science, Wuhan University, Wuhan 430079, China)²

Abstract As the rising of evolvable hardware, due to its advantages in evolutionary design of electronic circuits, fault-tolerance, self-adaptability and so on, it maybe a new technology to break through the bottle-neck of conventional electronic system designing. On the basis of previous researches, we took a further explore on using evolvable hardware to self-adaptive system, a self-adaptive system model based on evolvable hardware was proposed, and with the experiments on Xilinx Virtex-II Pro(XC2VP20) FPGA, it demonstrated that evolvable hardware technology is a feasible scheme for the self-adaptability of electronic system.

Keywords Evolvable hardware, Self-adaptive, Digital circuits, FPGA

1 引言

传统的电子系统的设计方法尽管已经很成熟,但也存在一些不足:首先,传统的电子系统设计方法需要依赖于设计者本身的经验,一个已经完成的设计有可能由于外部环境的改变或者某些其他原因突然不能正常工作,一旦这种情况出现,整个设计需要经过大量的人工修改,甚至是重新设计;其次,一个在正常情况下设计成功的系统,在某些极限的环境(比如太空、深海等)中可能无法正常工作,此时一旦系统出现故障,系统设计者无法及时地对系统进行调整、干预或者是重新设计。因此,电子系统的自适应能力已经成为制约传统设计方法的瓶颈,研究具有自适应能力的电子系统将会成为电子系统设计的发展趋势,而演化硬件正是符合这一趋势的新技术^[1,2]。

演化硬件(Evolvable Hardware, EHW)是1992年由 Hugo De Garis 在瑞士联合工学院(Swiss Federal Institute of Technology)提出的。可以用下面的公式来形象地定义演化硬件: $EAs + PLDs = EHW$, 即演化算法+可编程逻辑器件=演化硬件^[3]。演化计算为演化硬件提供了理论和方法学的基础;可编程集成电路,特别是新一代现场可编程逻辑门阵列

(Field Programmable Gate Array, FPGA)为演化硬件提供了物质基础。

根据已有的文献[3-6],把演化硬件按照演化模式分为“性能型”演化硬件和“功能型”演化硬件。“性能型”(或者“优化型”)演化硬件功能在某一范围内正确,但有性能优劣之分(例如功耗、芯片面积、效率等等),这类演化硬件一般只需要演化电路的参数,通过演化参数使电路的性能达到最优。这类演化硬件包括大部分的模拟电路以及部分数字电路,其中的代表性工作有:Knut Arne Vinger 和 Jim Torresen 实现的演化有限脉冲响应滤波器^[4]、以及 Gunnar Tufte 等实现的自适应数字滤波器^[5]等等。“功能型”演化硬件要求搜索到一个功能绝对正确的电路,这类演化硬件一般需要演化电路结构,并且要求在搜索到正确解的前提下保证结构最优。从这个意义上讲,“功能型”演化硬件也包含了“性能型”的要求。“功能型”演化硬件主要是指演化组合逻辑电路,其中代表性的研究工作有:康立山等实现的四选一多路选择器和四位比较器^[3]、以及赵曙光等实现的四位可级联数字比较器^[6]等等。

Jim Torresen 等人实现的滤波器是将演化算法作为一种辅助手段引入到传统电子系统的设计中,对设计进行优化。

到稿日期:2008-08-04 返修日期:2008-11-26 本文受国家自然科学基金(编号:60773009)和国家863高技术研究发展计划(编号:2007AA01Z290)资助。

朱继祥(1984-),男,博士研究生,主要研究方向为演化计算、演化硬件, E-mail: zhuzhu0111@163.com; 李元香(1962-),男,教授,博士生导师,研究方向为智能计算、并行计算等; 夏学文(1976-),男,博士研究生,研究方向为演化计算、演化密码等; 曾辉(1980-),男,博士研究生,研究方向为智能计算、实时系统等。

康立山以及赵曙光等人的研究工作其意义在于利用演化硬件实现了电子电路自动设计,使得电子系统的设计不再依赖设计者的先验知识,属于演化硬件的第一个研究阶段。但是,正如 YAO X 和 Higuchi T 以及 Andy M. Tyrrell 等人所说,演化硬件不仅仅是简单地将演化算法引入到电子设计中去,它更大的目标在于使电子系统能够自发地适应外部环境^[7,8]。因此,本文在已有的研究工作的基础之上,对如何利用演化硬件技术实现电路系统的自适应性进行探讨,提出了一种基于演化硬件的自适应系统模型,并利用该模型实现了一个具有自适应能力的组合逻辑电路系统。

2 自适应系统模型

基于演化硬件的自适应系统模型如图 1 所示。整个自适应系统分为 4 个部分:原有的电子系统是指正在运行的电子系统,它可以是人工预先设计好的电子系统,也可以是通过演化硬件系统产生的电子系统,外部环境的干扰或者系统内部的故障都可能使它不能正常工作;新的电子系统是每一次执行演化硬件技术后产生的最优的电子系统,当新系统满足期望要求时将替代原系统;演化硬件系统是整个系统的核心部分,下一节将详细介绍;实时监控系统负责实时检测整个系统是否正常工作,并产生控制信号。

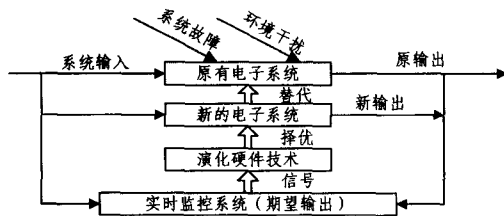


图 1 自适应系统模型

实时监控系统是整个系统行为的管理者,它存储着目标系统的期望输出,并将原有电子系统的输入和输出作为其输入。一旦发现正在运行的电子系统的输出不满足期望输出,那么它将产生信号来启动演化硬件系统,后者将在有限时间内产生一个最优化的新系统。实时监控系统同时检测利用演化硬件技术产生的新系统,若新系统的输出不满足期望输出,则继续执行演化硬件技术;若新系统的输出符合期望输出,则用新系统替代原有的电子系统。如此循环,整个过程对用户来说是一个“黑盒”,使整个系统在不需人工干预的情况下保证其功能回到期望状态,从而使整个系统具有自适应性。

3 演化硬件实现原理

演化硬件按照评估载体的不同分为离线演化、在线演化。离线演化是指在演化过程中每个个体的适应值都是通过软件仿真得到的,只有最终的个体才下载到芯片中去以验证其功能性;在线演化是指在演化过程中的每个个体都下载到芯片,由芯片来计算其适应值,并将适应值返回给演化算法。在线演化按照演化算法的实现载体不同又可以分为两种:一种是指演化算法在 PC 上运行,芯片只负责评估个体的适应值;另外一种是指演化的整个过程包括演化算法都在 FPGA 芯片上面运行,为了和前一种情况区分开来,称之为“在片演化”。下文所说的在线演化均是指算法在 PC 上面运行。

这 3 种方法各有优劣:离线演化易于实现,速度快,但是软件仿真无法反映芯片所在的真实环境和芯片的实时状态等

信息,使演化算法得到的适应值不一定准确。一般只有在验证算法性能的研究中才使用离线演化的方法。在线演化实现起来相对复杂,并且由于每一个个体都要下载到芯片中去获得相应的适应值,因此芯片与 PC 交互数据也需要花费大量的时间,使得在线演化所需要的时间相对较长。但是由芯片实时返回的适应值对于演化算法显得更加可靠,是演化硬件研究中常使用的一种折中方法。相比之下,在片演化实现起来最为复杂,同时,演化算法需要耗费大量的芯片资源,而且 FPGA 芯片上 Power PC 的主频远低于 CPU,在芯片上运行演化算法的效率远不及 PC,因此在研究阶段一般较少采用在片演化。但是演化硬件的目标之一是使整个电子系统具有实时自适应性^[7],因此在线演化乃至在片演化是演化硬件的研究趋势,本文所有实验均采用在线演化。

本文的实验环境是,程序语言:C(VC++),VHDL,仿真软件:Modelsim6.0,综合软件:XILINX ISE8.2,主板:AMD-XPL,FPGA 芯片:XILINX Virtex-II Pro(XC2VP20)。主板通过 PCI 插槽与 PC 向连,应用程序通过 SDK 提供的接口函数(C 语言描述)可以方便地与芯片进行交互。

图 2 是本文使用的在线演化示意图,图中虚线箭头表示该交互操作由接口函数完成。当实时监控产生启动信号后,PC 机上的演化算法进程开始运行。将由演化算法产生的每一组电路编码写入片上存储器。当一组编码全部写入后,由 PC 向芯片发送启动映射信号。VHDL 进程接受信号后,将电路编码解码为实际电路。解码完成后,测试向量产生器依次生成测试向量作为电路的输入。电路运行后,产生相应的输出并将输出写入存储器。当所有的测试向量都产生过一次后,由芯片向 PC 返回一个结束信号,表示一个电路编码的评价测试已经完成。此时 C 进程从片上存储器中读出电路输出,并将其转化为适应值。如果适应值已经达到期望要求,说明已经搜索到一个满足条件的新电路系统,则停止演化算法。否则,继续执行演化算法,直到满足算法停止准则。

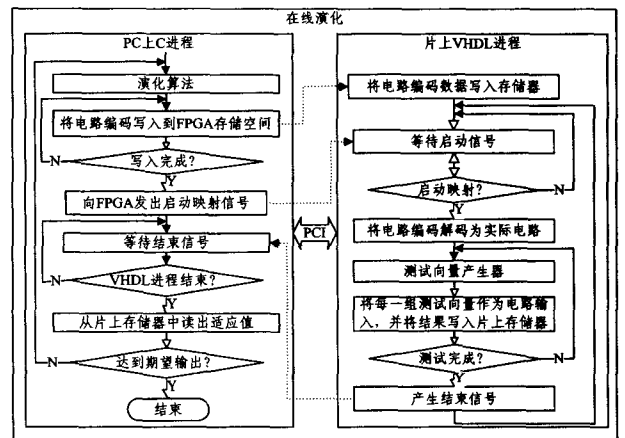


图 2 在线演化示意图

4 实验结果

根据自适应定义:能够自发地改变自身的行为以及改进自身的结构以适应外部环境的变化^[7],可以从“改变行为”和“改进结构”两个层面来理解自适应系统^[7-10]。对此,分别进行了两组实验。所有实验均采用简单遗传算法,算法的终止演化算法的终止准则是找到正确编码或者运行 50 万代,适应

值是当前电路输出与当前真值表的匹配程度。电路的编码采用多路选择器阵列的方式^[11]。

实验 1 模拟系统改变自身行为

假设由于用户对系统的功能要求发生变化,但原系统的功能不满足新要求,导致系统输出不再符合期望输出,此时系统需调整自身行为(功能)。通过更改实时监控系统中的期望输出来模拟这种情况。

对于组合逻辑电路而言,存放在实时监控系统中的期望输出就是一个真值表。为了充分说明系统在面对各种性能要求时的处理能力,随机生成5个输入输出数目各不相同的真

表 1 系统改变行为实验结果表

输入(个)	8	7	6	5	4
输出(个)	1	2	4	3	4
成功次数	10	9	8	10	10
平均收敛代数(约万)	18.2	38.5	43.8	32.1	29.5

值表,并用它们替代实时监控系统中原有的真值表,每个真值

表 2 系统改进结构实验结果

实验次数	1	2	3	4	5	6	7	8	9	10
迭代次数(约万)	50	34.8	50	50	46.4	42.1	50	50	50	38.7
最大适应值(%)	95.625	100	95.0	84.375	100	100	93.125	90.0	88.125	100
最优电路编码	0,0,0,0, 6,2,11,3, 0,0,0,0, 0,0,0,0, 11,8,13,1, 0,0,0,0, 14,7,10,0, 9,8,15,4,0,0,0,0, 12,2,5,0, 11,8,0,2, 5,1,9,3, 9,12, 7,2, 12,8,11,2,15,12,14,3,14,13,1,6,7,3,8,4, 0,0,0,0, 0,0,0,0, 12,5,10,0, 10,7,1,0, 13,11,7,2,11,13,15,3,11,9,14,0,0, 0,0,0, 3,7,10,2, 9,4,4,0, 1,5,13,6, 13,6,11,1, 2,6,13,6, 9,10,2,3,10,12,7,2,2,6,11,2, 0,0,0,0, 11,2,8,0, 11,9,4,3, 13,8, 8,0, 0,4,7,5, 11,13,7,4, 7,3,0,6,0,0,0,0,10,12,9,2, 0,0,0,0, 14,9,5,3, 11,8,9,0, 10,6,13,0, 4,0,15,6, 0,0,0,0,0,0,0,0, 0,0,0,0, 13,8,5,0, 0,0,0,0, 5,1,14,2, 0,4,9,4,15,7,2,1, 0,0,0,0,0,0,0,0, 0,0,0,0, 0,0,0,0, 0,0,0,0, 0,0,0,0, 14,9,3,5, 0,0,0,0, 0,0,0,0									

综合实验 1 和实验 2 的结果,不难发现,实验 2 中系统的成功率(8 输入、5 输出)与实验 1 相比下降了许多,这是由于演化组合逻辑电路时,由于“组合爆炸”现象的存在,输入和输出的数量增加会给搜索空间带来指数级增长。研究符合演化硬件特性的算法以及对目标电路进行有效的分解将有助于提高成功率^[12]。另外,在本文的实验中,我们给予系统自我调整的时间非常宽裕(50 万代)。但是在实际环境中,如果系统不能在很短的时间内恢复正常状态,系统往往已经受到毁灭性的破坏。因此,如何从提高算法的角度出发,加快系统自我调整的速度,以实现系统的实时自适应性,也是亟待解决的问题。

结束语 “演化硬件将进化计算技术应用于系统(特别是电子系统)内部结构的设计、调度和实时自适应等方面,以实现电路、系统的自动设计和在线自适应与容错,因而在电路设计、自动控制与容错、模式识别与人工智能、机器人等领域均具有广阔的应用前景和巨大的商业价值,现已成为世界性的研究热点”^[6]。目前,对演化硬件的研究主要集中在演化数字电路。但是演化数字电路时(尤其是组合逻辑电路),成功率会随电路规模的增大呈急剧下降的趋势。因此,已有的研究大多以一些具有代表性的中小规模数字电路来进行实验,演化大规模电路需要从编码、算法、方法以及实现平台等多方面进行研究^[10-12]。这不是本文的重点,但将是我們下一步的工作。

本文旨在阐述利用演化硬件技术实现具有自适应能力电子系统的可行性,所采用的实验也是一些小型的组合逻辑电路系统。如何将演化硬件技术引入到大规模的自适应系统中去,以及如何缩短系统自我调整的时间等等,都有待演化硬件技术的进一步发展。根据本文的试验,我们相信,随着演化硬件技术的发展和逐步成熟,其必将成为未来电子系统自适应

表启动系统 10 次。实验结果如表 1 所列。

实验 2 模拟系统改进自身结构

假设由于环境的变化或者外部干扰,破坏了系统的某些部件,导致系统的输出不再符合期望输出,此时系统需要改善自身结构。通过更改电路编码来模拟这种情况。

以较具代表性的四位加法器为例。演化得到一个正确编码后,故意更改其中的某些编码(被改变后的编码不再参与演化),使电路输出不再满足四位加法器的真值表(存放在实时监控系统中)。进行了 10 次实验,每次更改编码的不同位置,实验结果如表 2 所列。

从表 2 可以看到,10 次实验中,系统在有限时间内(50 万次迭代),有 6 次出现了“适应值停滞”现象^[12],成功搜索到正确编码有 4 次,最优电路编码是第 6 次实验的电路编码(为了简洁,将编码中的无效编码用“0”代替),对电路进行解码后发现,电路的结构发生了变化,以保证电路重新恢复到加法器状态。

性问题的解决方案之一。

参考文献

- [1] Gallagher J C, Member S. On Learning to Trust the Unexpected; Toward a Systematic Apologetic for Evolvable Hardware [A]// Proceedings of the 2007 IEEE Workshop on Evolvable and Adaptive Hardware(WEAH 2007)[C]. 2007;55
- [2] Fang Qian-sheng, Yang Yi, et al. Implementation and Research on EHW-based Digital Chip Using Handel-C Language[A]// IEEE. Third International Conference on Natural Computation (ICNC 2007)[C]. 2007;624
- [3] 康立山,何巍陈,陈毓屏.用函数型可编程器件实现演化硬件[J].计算机学报,1999,22(7):781
- [4] Vinger K A, Torresen J. Implementing Evolution of FIR-Filters Efficiently in an FPGA[A]// IEEE, Proceedings of The 2003 NASA/Dod Conference on Evolvable Hardware[C]. 2003;26
- [5] Tufte G, Haddow P C. Evolving an Adaptive Digital Filter[A]// IEEE, Proceedings of The Second NASA/DoD Workshop on Evolvable Hardware[C]. 2000;143
- [6] 赵曙光,杨万海.基于函数级 FPGA 原型的硬件内部进化[J].计算机学报,2002,25(6):666
- [7] Yao X, Higuchi T. Promises and Challenges of Evolvable Hardware [J]. IEEE, Transactions on Systems, Man and Cybernetics, 1999, 29(1):87
- [8] Tyrrell A M, Timmis J, et al. Evolvable Hardware, a Fundamental Technology for Homeostasis[A]// Proceedings of the 2007 IEEE Workshop on Evolvable and Adaptive Hardware(WEAH 2007)[C]. 2007;40

(下转第 287 页)

and Machine Intelligence, 2002, 24(1): 34-58

- [2] Hsu Rein-Lien, Abdel-Mottaleb M, Jain A K. Face detection in color images[J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 2002, 24: 696-706
- [3] Chen L F, Liao H Y M, Lin J C. Why a statistics-based face recognition system should base its recognition on the pure face portion; a probabilistic decision-based proof[J]. Pattern Recognition, 2001, 34(7): 1393-1403
- [4] Liao H Y M, Han C C, Yu G J, et al. Face Recognition Using A Face-Only Database; A New Approach[C]// Proceedings of the 3rd Asian Conference on Computer Vision. Hong Kong. Lecture

Notes in Computer Science. 1998, 1352: 742-749

- [5] Bayoumi F, Fouad M, Shaheen S. Feature-based human face detection[C]// Proceedings of the Twenty-First National Radio Science Conference. 2004: C21-1-10
- [6] Naseem I, Deriche M. Robust human face detection in complex color images[J]. IEEE International Conference on Image Processing (ICIP). 2005, 2(II): 338-341
- [7] 艾海舟, 武勃, 等译. 图像处理、分析与机器视觉(第二版)[M]. 北京: 人民邮电出版社, 2003
- [8] 王建国, 王江涛, 杨静宇. 基于新颜色空间 YCgCr 的人脸检测与定位[J]. 计算机科学, 2007, 34(9): 221-223

(上接第 269 页)

- [9] Stoica A, Andrei R. Adaptive and Evolvable Hardware-A Multifaceted Analysis[A]// IEEE, Second NASA/ESA Conference on Adaptive Hardware and Systems(AHS 2007)[C]. 2007: 486
- [10] Kaufmann P, Platzner M. Toward Self-adaptive Embedded Systems; Multi-objective Hardware Evolution[A]// International Conference on Architecture of Computing Systems (ARCS 2007), Lecture Notes in Computer Science[C]. Springer, 2007: 199

- [11] Zhu Jixiang, Li Yuanxiang, He Guoliang, et al. An Intrinsic Evolvable Hardware Based on Multiplexer Module Array[A]// 7th International Conference on Evolvable System(ICES 2007), Lecture Notes in Computer Science[C]. Springer, 2007: 35
- [12] Stomeo E, Kalganova T, Lambert C. Generalized Disjunction Decomposition for Evolvable Hardware[J]. IEEE, Transactions on Systems, Man and Cybernetics—Part B: Cybernetic, 2006, 36(5): 1024

致 作 者

随着我国计算机科学技术的不断发展,科技创新能力的不断提高,计算机领域相关文献量逐年递增。承蒙广大作者对《计算机科学》的认可和厚爱,我刊的投稿量也日益剧增,为了使来稿更方便,专家审稿更快捷,同时也为提高编辑部的工作效率和工作质量,新版的《计算机科学》网站很快就会与您们见面,届时投稿、审稿、稿件录用、出版详情等都可在网站上直接查询,极大地提高编辑部为大家服务的水平。我们会尽最大努力使您投稿轻松,查询便捷,并尽快让计算机界同行分享您的研究成果。

感谢您们对《计算机科学》的一贯关怀和支持,请继续关注和支持我们的工作,让我们共同努力,为我国计算机科学领域的发展做出更大贡献!

敬请关注新版的《计算机科学》网站 www.jsjkkx.com

欢迎投稿,欢迎订阅!

《计算机科学》编辑部