

# 一种基于 FPGA 高集成化的直接数字频率合成系统的设计<sup>\*</sup>

王庆东 谢长生 王海卫

(华中科技大学计算机学院外存储国家专业实验室 武汉 430074)

**摘要** 文章提出了一种基于高集成化的直接数字频率合成技术构成的程控信号发生器的设计方案,用于模拟微硬盘读写通道的伺服信号,方案采用超大规模 FPGA(field-programmable logic)集成 PDSP(programmable digital signal processor)设计和直接数字频率合成技术,试验结果证明,与传统使用分离器件设计方案相比,该方案能产生较高质量信号。电路设计有集成化、低功耗,简单化、易现场修改、便于程控等优点。

**关键词** 伺服信号,PDSP,FPGA,直接数字频率合成

## An High Integrated Direct Digital Frequency Synthesis System Design on FPGA

WANG Qing-Dong XIE Chang-Sheng WANG Hai-Wei

(Key Laboratory of Data Storage System, School of Computer Science and Technology, Huazhong University of Science and Technology, Wuhan 430074)

**Abstract** This paper researches a programmable signal generator by an high integrated direct digital frequency synthesis(DDFS) technology on FPGA to simulate servo signal for read-write channel of micro hard disk. This device use very large-scale integrated circuit FPGA(field-programmable logic) to integrate PDSP(programmable digital signal processor) design and DDFS design. Test results indicate that this device has higher precision of signal, and circuit design is simply, reliable, and programmable, Compared with general design by separate parts design.

**Keywords** Servo signal, PDSP, FPGA, Direct digital frequency synthesis(DDFS)

## 1 引言

高质量的信号发生器来模拟各种伺服信号对微硬盘读写通道的研究起着重要作用,直接数字频率合成技术是目前设计信号发生器的关键技术,影响着信号的精度、分辨率、稳定性以及波形失真度等指标。

目前一般采用传统的分离器件设计方案,此方案设计线路繁琐、电路功耗大、噪声干扰大、每周波的点数少,因此存在信号精度低,现场无法修改等缺点。

本文介绍一种采用高集成化直接数字频率合成技术产生 0.001Hz~10MHz 伺服信号,采用 16bit 高精度 D/A 转换器以及信号发生器的整体设计,产生符合设计要求的高精度信号,其总设计原理如图 1 所示。其中超大规模 FPGA 集成了 PDSP、1K \* 16bit RAM 和直接数字频率合成算法。利用 PDSP 计算出含有幅值及相位信息的信号离散点并存放于 RAM 中。本方案每周波采用 512 点。直接数字频率合成算法将依据信号频率对 RAM 中存储的波形离散点进行合成可产生 512Hz~512000000Hz,步进值为 51.2Hz 的方波脉冲信号,台阶数为 512。RAM 中存放 1K 的信号波形表,脉冲信号通过计数器产生循环地址,依次将 RAM 中的 16bit 二进制码取出并送入 D/A 转换器,经过低通滤波后输出平滑连续的信号。信号的幅值精度为 0.05%,稳定性为 0.005%/min,相位精度为 0.05°,频率精度为 0.0001Hz,并可叠加 2~100 次

谐波。

## 2 直接数字频率合成器

直接数字式频率合成器(Direct Digital Frequency Synthesis 简称 DDFS)是近年来发展的一种新的频率合成技术,它是将先进的数字处理理论与方法引入信号合成领域的一项新技术,标志着合成技术进入第三代,其特点是计算机参与频率合成,把一系列数字量形式的信号通过数字/模转换器转换成模拟量形式的信号,在时域中进行频率合成。直接数字式频率合成器的主要优点是:转换频率的时间短(可达 ns 级),频率、相位和幅度均可实现程控、输出频率的稳定性与系统的时钟稳定性相同,图 2 为 DDS 的系统的基本原理图。

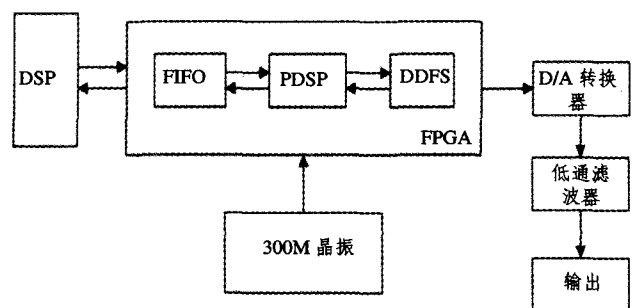


图 1 总设计原理框图

<sup>\*</sup> 基金项目:国家 863 基金项目(2005AA114180)资助;国家自然科学基金项目(60373091),国家 973 重大基金研究项目(2004CB318203)。王庆东 博士研究生,研究方向为海量数据网络存储系统的研究等。谢长生 教授,博士生导师,研究方向为海量数据网络存储系统的研究;王海卫 副教授。

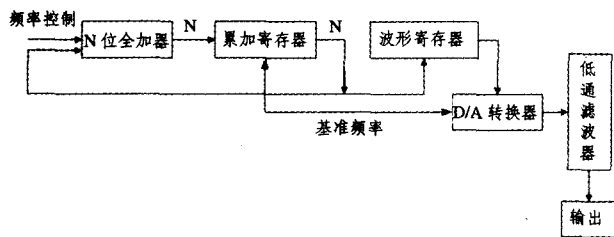


图2 DDS系统的基本原理图

### 2.1 直接数字频率合成器的传统设计方法

分频器采用 74LS191 四位加/减法计数器, 四片级联的方法进行分频。寻址加法计数器电路采用 74LS283 全加器级联方式实现。如果是模 1024 加法器电路需使用三片 74LS283。

信号波形预先算好存入存储器中。此方案的缺点是: 电路设计复杂, 不能现场更改设计, 电路功耗较大, 精度不高, 信号质量不好。

### 2.2 直接数字频率合成器基于 FPGA 高集成化的设计方法

分频器、累加器及查找表由 FPGA 实现, 信号波形的信息如频率、相位、幅值等依据具体需求由 DSP 实时送入 FPGA。

FPGA 由于其可编程性、灵活性、快速性, 近几年来得到快速的发展并且广泛应用于数字电路和数字信号处理设计中<sup>[2,3]</sup>。使用 FPGA 设计 PDSP 在数字信号处理领域的优势日益突出, 由于其处理速度快, 修改灵活, 特别在数字信号处理方面得心应手<sup>[4,5]</sup>, 本文以直接数字频率合成技术为出发点<sup>[1]</sup>, 根据 FPGA 的优点, 设计专用的直接数字频率合成器。与以往的实现方式相比, 在设计上能减少器件的使用数量、减少线路上的干扰、可在线修改以及信号的稳定性提高等优点。此方案的优点在于: 电路设计集成化、功耗较低、现场修改方便、便于程控。

## 3 直接数字式频率合成器在 FPGA 中的实现

直接数字频率合成是从相位概念出发直接合成所需波形的一种新的频率合成技术。它在相对带宽、频率转换时间、相位连续性、正交输出、高分辨率以及集成化等一系列性能指标方面已远远超过了传统频率合成技术。

### 3.1 DDS 的实现过程

相位累加器由 N 位全加器和 N 位累加寄存器级联而成, 可对频率控制字的二进制码进行累加运算, 是典型的反馈电路, 产生的累加结果的高 M 位作为 RAM 查找表的取样地址值, 而此查找表中储存了一个周期的信号波形值。显然, 此处存储器 RAM 可以看作一个从相位到幅值的转换器。这样, 用 RAM 的输出值来驱动 D/A 转换器, 然后经滤波即可转换成所需要的模拟信号波形; 同时 N 位累加输出又可作为全加器的下一轮数据与频率数据相加, 直到 16bit 相位累加器加满产生溢出, 从而完成一个周期, 也就是 DDS 信号的频率周期。

### 3.2 DDS 在 FPGA 中的实现

FPGA 的设计分三部分:

#### (1) 查找表算法设计

依据信号的频率、相位、幅值计算出 512 点离散波形, 存入 RAM 中, 因此需设计一个 1K \* 16bit RAM, 32bit \* 32bit

#### 乘法器

#### (2) DDS 算法设计

使用 16bit 分频器作为 32bit 累加器的时钟输入, 分频器采用 300MHz 时钟输入, 累加器累加结果的高位作为 RAM 的寻址地址。

#### (3) RAM 和 D/A 转换器的读写控制器的设计

对 RAM 和 D/A 转换器读写操作的数据总线、地址总线、控制总线设计。

本设计采用 ALTERA 公司的 FPGA 芯片 EP1K30TC-144 来实现 DDS 技术。EP1K30TC-144 的最大系统门数为 119000, 它有 1728 个逻辑宏单元数和 5 个嵌入式阵列块, 最大可提供 2k 的 ROM/RAM 位, 因而可完全满足 DDS 和 PDSP 的设计要求。

FPGA 的设计电路采用 VHDL 硬件描述语言来实现, 因为 VHDL 语言设计的电路模块可以方便地移植到不同的 FPGA 芯片中。本系统中 FPGA 外接晶振的最高频率为 300MHz, 因此, 属于高速系统, 还要采用一些提高系统运行速度的措施, 如采用流水线技术, 即在设计中把延时较大的组合逻辑块切割成两块大致相等的组合逻辑块, 并在这两个逻辑块中插入触发器, 也可通过多个触发器时钟来提高系统速度, 还可以采用 FPGA 器件所特有的进位串来设计高速电路。图 3 为 DDS 实现过程的仿真, 其中信号 ADDER 为地址累加过程, 80M\_CLK 为分频后的时钟, OUT 为脉冲输出。图 4 为查找表算法的设计仿真, RAMADDRESS 为 RAM 地址发生器, INTEGER\_COUNTER 为乘法器。

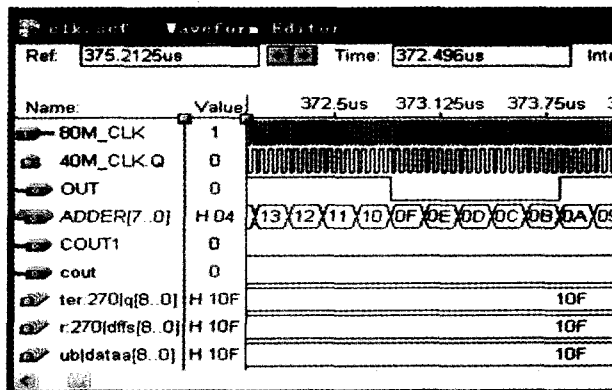


图3 DDS实现过程

#### 3.2.1 DDS 主模块设计

DDS 主模块部分可根据上述原理, 采用 VHDL 来描述, 以下是部分属算法源程序:

```

BEGIN
PROCESS(CLK)
BEGIN
COUNTER[7..0]=COUNTER[7..0]-1;
CLK=COUNTER[7];
IF(CLK'event AND CLK='1') THEN
\时钟上升沿触发
FREQW<=FREQIN;
AC<=AC+FREQW; \开始累加
END IF;
END PROCESS;
RAMADDR <= AC (ADDER WIDTH-1 DOWN TO ADDER
WIDTH-9);; \累加结果的高 16 位作为查找表的地址位
RAM:LPM_RAM\调用 RAM 查找表
.....

```

#### 3.2.2 DDS 控制模块设计

DDS 部分的系统控制是根据所需要的功能(如相位调

(下转第 305 页)

功耗利用率显著增加,新型的低功耗器件将在减少渗漏功耗和切换功耗方面发挥更重要的作用。另外,多核、多线程体系结构需要新的有针对性的低功耗设计方法,但这些新的体系结构同时也为研究和开发新的低功耗工作模式提供了更大的空间。

**结论** 随着微处理器设计技术和半导体工艺的发展和进步,低功耗设计已经成为深亚微米设计领域中的严峻考验。本文针对多核、多线程处理器介绍了低功耗设计技术的基本原理、研究内容、设计方法。分析了 CMP 和 SMT 体系结构的功耗需求和特性,讨论了不同的功耗优化策略在两种体系结构下的适用程度以及对性能造成的影响。着重从不同抽象层次对动态线程分派和转移、电压和频率的动态调整、共享关键资源的多核体系结构等典型的功耗优化技术做了讨论,并展望了未来微处理器低功耗设计的发展趋势。

(上接第 300 页)

制、幅度调制等)要求而设计的,这一点也是利用了 FPGA 的灵活性。其设计框图如图 5。

### 3.2.3 PDSP 控制模块设计

PDSP 是为查找表而设计,这一点也是利用了 FPGA 的灵活性。其设计框图如图 6。

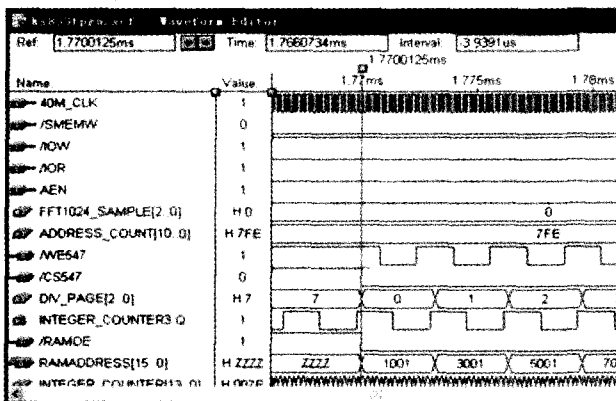


图 4 PDSP 实现过程

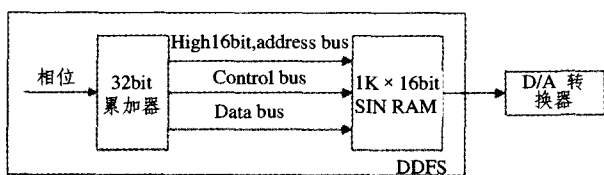


图 5 DDFS 设计框图

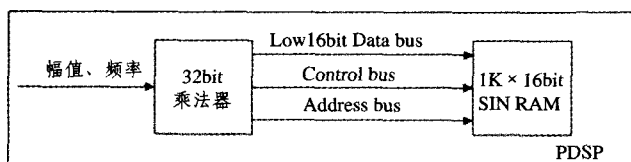


图 6 PDSP 设计框图

### 3.2.4 测试结果对比

本设计与传统设计测试结果对比如表 1,表 2,表 3 所示,分别对幅值精度,相位精度和频率精度进行比较。从表中可以看出采用本设计方案的精度对比传统设计方案有较大的提高,设计完全达到预期效果。

## 参考文献

- 1 梁宇,韩奇,魏同力. 低功耗数字系统设计方法. 东南大学学报自然科学版, 2000,09,30
- 2 Yano K, et al. A 3, 8ns CMOS 16x16 Multiplier Using Complementary Pass Transistor Logic. IEEE Journal of Solid State Circuits, April 1990, 388~395
- 3 Li Y, Brooks D, Hu Z, et al. Understanding the energy efficiency of simultaneous multithreading. In: Proc ISLPED'04, Aug, 2004
- 4 Seng J, Tullsen D, Cai G. Power sensitive multithreaded architecture. In: Proc. ICCD 2000, 2000, 199~208
- 5 Burns J, Gaudiot J L. Area and system clock effects on SMT/ CMP processors. In: Proc. PACT Sep, 2001, 211~18
- 6 Hammand L, Nayfeh B A, Olukotun K. A single-chip multiprocessor. IEEE Computer, 1997, 30(9):79~85
- 7 Donald J, Martonosi M. Temperature aware design issues for smt and cmp architectures. In: Proceedings of the 2004 Workshop on Complexity-Effective Design, June 2004
- 8 Sasanka R, Adve S V, Chen Y K, et al. Debes. The energy efficiency of cmp vs. smt for multimedia workloads. In: Proc. 18th ICS, June 2004

表 1 幅值信号改进方案和传统方案测试结果对比

幅值(V)	改进方案(V)	误差(%)	传统方案(V)	误差(%)
0.1	0.10002	0.02	0.10050	0.50
0.5	0.50008	0.01	0.50200	0.40
1	1.00010	0.01	1.00350	0.35
2	2.00025	0.01	2.00640	0.32
3	3.00036	0.01	3.00991	0.33
5	5.00700	0.01	5.01503	0.30

表 2 相位信号改进方案和传统方案测试结果对比

幅值(°)	改进方案(°)	误差(°)	传统方案(°)	误差(°)
30	30.0016	0.001	30.015	0.015
90	89.9993	-0.001	90.0027	0.002
120	120.0008	0.001	119.9978	0.002
240	240.0005	0.001	240.0033	0.003
270	270.0007	0.001	270.0022	0.002

表 3 频率信号改进方案和传统方案测试结果对比

频率(Hz)	改进方案(Hz)	误差(Hz)	传统方案(Hz)	误差(Hz)
1	1.00019	0.0002	0.89154	0.1085
10	10.00011	0.0001	9.76552	0.2354
50	50.00008	0.0001	50.39732	0.6027
100	100.00012	0.0001	100.25752	0.7425
400	400.00015	0.0001	400.46903	0.4310
700	700.00016	0.0001	700.67723	0.3228

**结论** 文章介绍一种基于高集成化的直接数字频率合成技术的程控信号发生器的设计方案,用于模拟微硬盘读写通道的伺服信号,测试结果证明,信号的质量比传统的设计方案有较大的提高,该方案的有效和重要性将逐渐被业界所认识。

## 参考文献

- 1 Best E. Phase-Locked Loops, 2003
- 2 Ren XiaoDong, Wen Bo. CPLD/FPGA Advanced Application Design Guide, 2003
- 3 Zhu ZhengYong, Weng MuYun. FPGA DESIGNED AND APPLICATION, 2002
- 4 Zhang YouZheng, Cheng ShangQing, Zhou ZhengZhong. Frequency Synthesis Technology, 1984
- 5 Wang ChunMei, Shun HongBo, Ren ZhiGang. TMS320C5000DSP System Design and Research Example, 2004
- 6 Wang LianXu. DSP BASE and Application System Design, 2002