

# 高级综合十年进展<sup>\*</sup>

王冠军 马光胜 刘晓晓 李东海

(哈尔滨工程大学计算机科学与技术学院 哈尔滨 150001)

**摘要** 介绍 EDA 领域中的一个重要方向高级综合最近十年的进展情况,并对以前的工作做了简单的回顾。对各个有代表性的算法进行了描述,并且对这些算法的基本思路进行了分析和总结。对最近出现的一些新的研究热点也进行了阐述和分析,并对以后的发展做了一个展望。提出了一些待研究解决的问题。

**关键词** 电子设计自动化,高级综合,高级测试综合,多项式符号代数

## Advances in the High Level Synthesis in the Latest Decade

WANG Guan-Jun MA Guang-Sheng LIU Xiao-Xiao LI Dong-Hai

(Department of Computer Science and Technology, Harbin Engineering University, Harbin 150001)

**Abstract** High level synthesis is one important stage of EDA(Electric design automation). Survey the developments of high level synthesis of recent ten years. Then describe some basic techniques for various subtasks of high-level synthesis. Techniques that have been proposed in the past few years for various subtasks of high-level synthesis are surveyed. At last we give a perspective of the future direction. Finally presents some problems that should be considered in the future.

**Keywords** Electric design automation, High level synthesis, High level test synthesis,PSA

在应用需求在驱动下,集成电路工艺水平不断提高,目前量产芯片的特征尺寸已降到 90nm(2005 年底已出现 65nm 工艺的手机芯片产品),实验室最新工艺水平已达到 45nm。国际半导体技术路线图(ITRS)预测,到 2010 年 45nmCMOS 工艺的高速、低功耗超大规模 IC 将量产,能在单个芯片上集成数十亿个晶体管,其时钟频率将达到 10~20GHz。

传统的制造技术有可能支撑到 5 纳米的范围。由于在高层就做出决策将产生良好的优化效果,因此高级综合也日益获得开发人员的重视。在过去的 25 年中,高级综合一直是一个研究热点,在文[1]中有比较全面和详尽的研究和讨论。我们主要集中于最近十年的新进展。文章的第 1 节回顾了前期的重要工作,第 2 节重点阐述最近十年的新进展和出现的新算法。最后对高级综合的发展做了一个展望。

### 1 高级综合基本回顾

高级综合是 EDA 设计流程中的一个重要阶段,它接受各种形式的行为级描述和设计约束,输出 RTL 的网表文件。目的是产生一个实现满足行为描述和各种约束条件的优化的 RTL 级设计。随着芯片复杂度程度的提高,设计层次也越来越向高层次发展,因此高级综合也就日益引起研究人员的重视。一个基本的高级综合流程如图 1 所示。

高层次综合的算法主要是调度和分配算法。最初的调度算法只能对小规模的顺序操作进行调度,后来出现了支持条件分支、循环结构、多周期操作、链式操作、流水线操作和控制器综合等的调度算法。目前调度算法的进一步研究,出现了支持多维约束(调度步数、时钟周期、面积、功耗等)的算法;考虑可测性因素的算法;能同时完成调度和分配等多项任务的

统一算法以及对某些特定(控制流为主)设计的形式化调度算法等。分配算法主要解决操作步骤和硬件资源的匹配问题,开始研究的是操作步骤和简单元件之间的匹配,后来出现了操作步骤和高层次元件的匹配以及操作步骤和模板(高层次元件的组合)之间的匹配等。调度是高级综合中的关键问题,它和分配问题紧密相关,并且需要高层次元件库或工艺参数库的支持。调度主要解决行为描述操作的时间安排问题,即把每一步操作按照数据相关性和约束条件的要求安排到相应的控制步中。一个控制不是一个基本的时序单位,在同步系统中,通常对应于一个或几个时钟周期。调度的目的在于将操作赋给各控制步并使得给定的目标函数最小。因此,调度结果的优劣直接影响系统设计实现的性能,如面积、速度、功耗等指标。

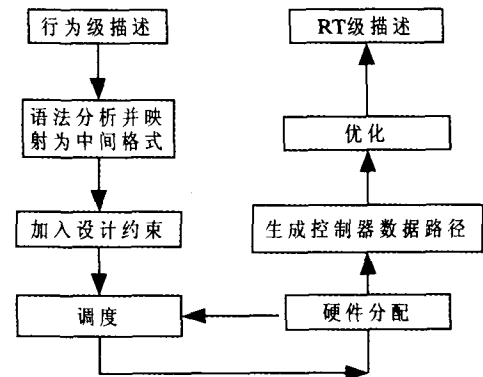


图 1 高级综合流程图

下面给出调度算法的分类:

<sup>\*</sup>基金项目:国家自然科学基金(No. 60273081),哈尔滨工程大学基础研究基金(No. 04088)。王冠军 博士生,主要研究方向为高级综合, VLSI 测试。马光胜 教授,博导,主要研究方向为 EDA 算法与理论。刘晓晓 博士生,主要研究方向为逻辑综合。李东海 博士生,主要研究方向为高级综合与验证。

### 1) 依据约束条件分类

目前调度的约束条件主要有:时间约束(操作步数或时钟周期)、硬件资源约束(面积)、功率约束、可测性设计约束。前两类是传统的约束条件,也是人们研究调度算法时考虑相对充分的两类约束条件,其中时间约束还可以分为以时钟周期为单位的约束和以调度控制步数为单位的约束。硬件资源约束主要是指高层次元件库中可用元件和设计实现面积的约束。相应的调度算法可分以下四类:无约束调度算法、时间约束条件下的算法、硬件资源约束条件下的调度算法、时间约束和硬件资源约束条件下的调度算法。功率约束是对设计电路的总功耗进行的约束。可测性设计约束是指在设计的高级综合过程中考虑可测性设计的因素并在设计性能、面积和可测性方面作综合的优化。

### 2) 依据算法实现分类

**变换法:**首先找出一个初始调度方案,然后对该调度方案进行变换,以期得到最优调度结果。所谓变换是指将操作从一个控制步移到另外的控制步中。常用的启发式算法包括模拟退火方法(Simulated Annealing)、遗传算法(Genetic Algorithm)和神经网络(Neural Network)等。

**构造法:**每次选一个操作进行调度,直到所有的操作都调度完成。这类算法的关键是如何选择下一个要进行调度的操作,以及将所选择的操作赋给那个控制步。列表算法、FDS(Force-Directed Scheduling)算法属于这类算法。

**分配和绑定**是调度之后的后续工作,分配决定设计中使用的 RT 组件的数目和类型。由于组件库中可能有各种类型和特征功能组件。绑定则在保证行为级设计操作在选择的组件上正确执行的前提下,将操作、变量和数据传输等映射为功能、存储和互连单元。

## 2 最近十年新进展

十年来,高级综合的发展越来越成熟。各种新的综合算法和新的综合工具也不断出现。基于单目标,多目标以及各种新的模型的综合方法我们将详细阐述如下。

### 2.1 基于单目标的高级综合

#### 2.1.1 低功耗高级综合

功耗一直是电路设计中的一个重要设计问题,特别是当前一些应用对功耗提出了相当苛刻的要求(例如移动通信,医疗器械等),如何降低功耗成了高级综合中的一项重要目标。在早期工作中就已经提出相当多的算法来达到低功耗,最近的十年来,又出现了一些新的方法,要达到低功耗,首先要做的是功耗估计,文[2~4]都提出了许多方法。文[2]提出了一种低功耗综合的活动模型,文[3]提出了下界估计方法,在这过程中考虑资源共享,又有文[4]提出使用行为级信息来提取分支概率,连同开关活动和电容信息,来估计系统功耗。这些工作都使功耗估计有了新的进展。在算法方面,文[2]提出一种方法通过在调度过程中使用划分技术达到低功耗,而文[3]则提出一种基于多电压和算术级变换的综合策略,通过减少循环,重定时和展开的方法,大大降低了功耗。还有的方法是通过互连优化来达到低功耗通过增加数据关联度和考虑物理级的漏流优化来达到目标也有报道。所有这些都做出了有益的尝试。

#### 2.1.2 基于可测试性的高级综合

高级测试综合在近年来得到越来越多的重视,由于现在电路越来越复杂,电路的测试越来越困难,在综合过程中就考

虑可测性可以大大减少底层测试的复杂度。减少测试过程中的硬件资源和设计迭代,提高故障的覆盖率。文[5]中提出一个较好的测试综合系统应包括内容:(1)应完全地与高层次设计环境集成在一起,达到综合、模拟、测试能方便地综合考虑,提高设计的整体效果;(2)能支持按设计规范要求或自动地完成完全扫描、部分扫描,以及边界扫描的设计插入;(3)应具有可测试性规则的检查、分析和反馈的功能,并能与 ATPG 结合,保证足够高的故障覆盖率,且与测试设备具有好的接口协议;(4)在界面上,对原理图应能亮化显示扫描通路、违章规则等,以便于检查和修改;(5)具有优化设计的性能、面积、可测性的设计,使代价最小的功能。文[6]对高层测试综合做了有益的探索,它通过有权图着色算法在寄存器分配阶段考虑可测性,减少 ATPG 时间,增强了可控性和可观察性,消除了自循环。文[7]则综述了高级测试综合的进展,讨论了基于 BIST 和层次化的可测试性,以及一些高层次测试生成方法。另外在综合中考虑可靠性与可修复性也是一个重要的方向。

#### 2.1.3 布局规划和高级综合相结合

高级综合和布图规划的结合是当前集成电路发展的迫切要求。由于高级综合阶段是确定电路逻辑结构的阶段,对最终电路进行调整拥有更大的空间。因此它们的结合成为必然。传统的方法是在布局布线后分析时序,然后再把时序约束参数加入到综合中,这样就导致了重复的时序收敛分析而且非常耗时。现在的做法则是先经过初步的布图规划,然后将时序信息再逆向传递到综合过程,进行增量优化,这样就能取得较优的结果。文[8~13]都考虑了布局规划和高级综合的结合。当前,“高级综合和布图规划相结合”的研究工作主要集中于两部分:一是采用确定性算法,通过构造式方法获得电路的最终结果;二是采用随机优化算法,通过一种表示法来表示这一问题的解空间,并且通过在这一解空间上进行搜索来获得最终结果。确定性算法包括 3D 调度算法,整数线性规划, BINET 算法以及以数据传输为中心的高级综合方法,常用的随机优化算法包括模拟退火算法、遗传算法、禁忌搜索以及平滑空间算法等。无论传统的高级综合还是传统的布图规划,都存在大量亟待解决的问题。其中清华大学边计年教授的课程组做了大量的工作,它们包括:(1)面向布图规划的高级综合。这一研究内容包括通过诸如行为级聚类等方法在内的,为减小布图规划复杂度而努力高层次综合优化行为;(2)不完全约束情况下的布图规划。这一研究内容是通过在布图规划阶段,在保证电路行为不变的情况下,通过小规模地修改电路逻辑的方法来获得可行解得求解方法;(3)面向布图规划的增量式高级综合和面向高级综合的增量式布图规划。此外物理方面有许多新的问题需要克服它们包括比如串绕问题、噪声问题、可布线性问题、寄生参数提取问题等。同时,用于支撑高级综合和布图规划相结合的参数化功能单元库,以及在不进行布图规划的条件下进行高层次物理信息估计的技术也拥有巨大的潜力。

#### 2.1.4 基于性能、面积、时延的高级综合

性能是综合过程中需要考虑的一个重要因素,现代电路设计的发展对性能提出了更高的要求。文[14]提出一种基于性能驱动考虑布局的高层次搜索算法,它基于 MILP 进行增量全局布局,并且增量的更新全局布局信息。文[15]则通过一个 AUDI 综合系统来进行性能优化,它在布局之后并不直接布线,而是利用估计的互连延迟产生一个指导文件给高层的综合系统,进而产生一个新的网表来改进电路的性能,可以

产生良好的效果。文[16]通过插入冗余的算术部件和使用ILP(整数线性规划)来达到面积的优化。又有新的研究<sup>[17]</sup>通过使用基于SAT的整数线性规划来达到面积优化。文[18]提出了快速的延时估计模型,可以进行精确的时延估计,文[19]等通过调整线宽技术来达到时延优化。

## 2.2 基于多目标的高级综合

相对于单目标的高级综合而言,基于多目标的高级综合则相对困难,因为各目标之间相互制约,相互影响的情况是相当普遍的,要想得到一个符合各方面要求的综合方法则相当困难。文[20]提出了一个同时优化功耗和面积的算法,它通过快速迭代的改进技术来搜索设计空间,得到较优解。也有的文献提出同时优化功耗和时延等参数的算法。最近的一个进展则是基于博弈论的高级综合。

## 2.3 基于新模型的高级综合

近年来,各种基于新模型的综合方法也相继出现,其中比较有代表的是基于多项式符号代数和Petri网的方法。基于多项式符号代数的综合方法使高层次综合技术进入了新的阶段,文[21~23]提出了把用位级描述的组合电路和时序电路转化为字级多项式描述的算法,并把该算法应用到POLYSYS高级综合工具中去。文[24~26]实现了一个基于符号代数的数据路径综合的有效算法。该算法基于Grobner理论,把描述行为级的多项式自动分解为元件库中存在的多项式组合。同时在该算法中加入对多项式的一些基本操作,例如因式分解,树高度缩减,提取公因式和扩展,Horner形式,替换与消除等,文[27,28]提出了一个关于对多项式提取公因子和消去公共子表达式的算法,来减少多项式中的加法和乘法操作,依此实现综合过程的低功耗。文[29,30]则提出基于多项式符号代数的详细布局布线方案。国内已有研究机构在此方面做了大量工作,取得较为丰硕的成果。其中以哈尔滨工程大学马光胜教授为首的嵌入式实验室为代表,在此方面的理论研究取得了可喜的成果,达到了比较高的水平。文[31,32]则提出基于Petri网的高级综合方法,它通过基于Petri网的表示来并行化的进行高级综合。在并行化的过程中采用层次化的Petri网结构来减少综合过程中的复杂度。利用这个模型的行为特性,可以消除各种死锁和冒险,取得了较好的优化效果。

## 2.4 高级综合工具的发展

高级综合工具必须有能力为目标工艺和RTL综合工具的关键值建立精确模型,让设计人员在各种微架构之间做出有效的取舍,这是高级综合工具的基础。美国Synopsys公司于1994~1995年推出新一代的行为综合工具Behavioral Compiler,可以说是这方面的代表。在作为下一代综合工具进入市场十年后,Synopsys公司的Behavioral Compiler工具却没有大受欢迎。虽然行为级综合工具提供了比RTL综合高得多的工作效率,但大多数用户要么不愿意使用这些工具来达到所要求的QoR(结果质量),要么不愿意使他们的验证流程复杂化。考虑到现在所有大的EDA厂商都放弃了行为级综合工具,它们还会有未来吗? Forte Design Automation公司持肯定态度。在03年的DAC(设计自动化会议)大会上,Forte公司预先介绍了他们的基于SystemC的Cynthesizer工具,并在John Cooley的DAC总结报告中得到了比较好的评价。Bluespec公司也于2005年发布第一款能够真正综合验证声明、而不是让它们原封不动通过的行为级综合工具。可以肯定的是高级综合工具终将走出低谷,并且在将来的

EDA设计中占有重要的地位。

**前景及展望** 高级综合最近又有新的发展,我们相信未来它将在目标架构考虑。通用库组织(组件层次,操作和物理组件之间的多对多映射,多技术组件),领域内综合策略(控制为主的应用,时序驱动优化,性能驱动优化),设计重用,综合现有的商业子系统(基于IP的系统),可测性高级综合,考虑功耗的高级综合等方面继续出现新的算法和新的解决方案。和底层的布局结合也是大势所趋。此外软调度方法也是一个积极的探索。因此在这些方向我们仍大有作为。

## 参考文献

- 1 Lin Y-L, Recent Developments in High-Level Synthesis, TODAES 1997, 2(1):2~21
- 2 Rettberg A, Rammig F J. A new design partitioning approach for low power high-level synthesis, DELTA, Jan. 2006, 6
- 3 Yang H-C, Dung L-R. Synthesis for low power; On multiple-voltage high-level synthesis using algorithmic transformations ASP-DAC '05, 872~876
- 4 Khouri K S, Lakshminarayana G, Jha N K. Fast high-level power estimation for control-flow intensive design. In: Proceedings of the international symposium on Low power electronics and design, 1998, 299~304
- 5 陶仁基,叶晨. 数字系统高层次设计技术及其发展. Systems Engineering and Electronics, 1999, 21(9)
- 6 Safari S, Esnaeiizadeh H, Jahangir A-H. A Novel Improvement Technique for High-Level Test Synthesis, ISCAS'03, May 2003, 5:609~612
- 7 Ghosh I, Jha N K. High-level test synthesis: a survey INTEGRATION, the VLSI Journal, 1998, 79~99
- 8 Weng J P, Parker A C. 3d Scheduling High Level Synthesis with Floorplanning. In: 28th ACM/IEEE Design Automation Conference, 1991, 668~673
- 9 Junhyung U, Jae-hoon K, Taewhan K. Layout-driven resource sharing in high-level synthesis. ICCAD, 2002, 614~618
- 10 Chaudhuri W S R A. ILP-based scheduling with time and resource constraints in high level synthesis. In: Proceedings of the 7th International Conference on VLSI Design, 1994, 17~20
- 11 Papachristou C A, Konuk H. A Linear Program Driven Scheduling and Allocation method Followed by an Interconnect Optimization Algorithm. In: Proc. of the 27th DAC, 1990, 77~83
- 12 Ashutosh M, Minjoong R, Rajiv J, De L R. BINET: An Algorithm for Solving The Binding Problem. In: Proceeding of International Conference on VLSI Design'94, 163~168
- 13 Rim M, Majumdar A, et al. Optimal and Heuristic Algorithms for Solving the Binding Problem. IEEE Transactions on VLSI Systems, 1994, 2:211~225
- 14 Mukherjee M, Vemuri R. A Methodology for Performance Driven Incremental Placement with High Level Exploration. In: The 47th IEEE International Midwest Symposium on Circuits and Systems, 441~444
- 15 Li Hao, Katkooori S, Liu Zhipeng. Feedback Driven High Level Synthesis for Performance Optimization. ASICON2005 Volume, Oct. 2005, 2:961~964
- 16 Peyran O. An area-optimized solution to introduce redundant arithmetic in high-level synthesis. In: 2nd International Conference on ASIC, 1996, 81~84
- 17 Aksoy L, Costa E, Flores P, Monteiro J. Communication-driven synthesis: Optimization of area under a delay constraint in digital filter synthesis using SAT-based integer linear programming. In: Proceedings of the 43rd annual conference on Design automation DAC '06, 669~674

(下转第14页)

发展<sup>[31]</sup>。近年来,基于小波的图像可分级编码技术得到了很好的发展,目前尽管基于小波的视频可分级编码技术已经表现出了非常强的发展势头,但其技术的发展还远不如图像可分级编码那样成熟,其理论体系尚需进一步完善。

(3)适应于无线信道环境下视频可分级编码技术还有待进一步研究。无线信道所具有的时变、带宽有限、误码率高等特性使得在无线网络上实时传输高质量的视频成为一个挑战性的工作。但随着无线信道嵌入式系统的应用,对这一技术的需求越来越迫切。在无线信道通信中,可分级编码除了要适应网络状态的动态变化外,有限的移动终端电池能量和信道的高误码率所造成的影响也是需要考虑的一个因素。

## 参考文献

- 1 王相海. 基于小波的图像和视频可分级编码研究:[南京大学博士后研究报告]. 2001. 6
- 2 王相海. 基于小波的视频空间可分级编码研究. 计算机科学, 2002, 29(7): 115~117
- 3 ISO/IEC 13818-2. Generic coding of moving pictures and associated audio information. MPEG(Moving Pictures Expert Group). International Organization for Standardisation 1994. (MPEG2 Video)
- 4 Fukunaga S, et al. MPEG-4 Video Verification Model Version 16.0. ISO/IEC document JTC1/ SC29/WG11 N3312, March 2000/ Noordwijkerhout
- 5 郭晓强, 门爱东. 视频编码标准的发展: 从 H. 261 到 H. 264. <http://www.ict.ac.cn>
- 6 Cote G, Erol B, Gallant M, et al. H. 263+: Video coding at low bit rates. IEEE Trans on Circuits and systems for video Technology, 1998, 8(7): 849~866
- 7 毕厚杰. 新一代视频压缩编码标准—H. 264/AVC. 北京: 人民邮电出版社, 2005
- 8 张鲲, 吴正茂, 卢官明. H. 264 标准详解. 中国多媒体视讯. <http://searchmobilecomputing.techtarget.com.cn/tips/252/1913752.shtml>
- 9 张福炎. 数字媒体的原理与应用. 南京大学计算机科学与技术系讲义, 2002. 8
- 10 Tudor P N. MPEG-2 video compression. [http://www.bbc.co.uk/rd/pubs/papers/paper\\_14/paper\\_14.shtml](http://www.bbc.co.uk/rd/pubs/papers/paper_14/paper_14.shtml)
- 11 Wang Y, Ostermann J, Zhang Ya-Qin. 视频处理与通信. 侯正信, 杨喜, 王文全译. 电子工业出版社, 2003
- 12 王相海. MPEG-4 自然视频编码工具和算法. 计算机科学, 2001, 1: 1~7
- 13 Li W. Overview of fine granularity scalability in MPEG-4 video standard. IEEE Transactions on Circuits and Systems for Video Technology, 2001, 11(3): 301~317
- 14 van der Schaar M, Radha H, Chen Y. An all FGS solution for hybrid temporal-SNR scalability. ISO/IEC JTC1/ SC29/ WG11, MPEG99/M5552, Dec. 1999
- 15 Macnicol J, Frater M, Arnold J. Results on fine granularity scalability. Melbourne, Australia, ISO/IEC JTC1/SC29/ WG11, MPEG99/m5122, Oct. 1999
- 16 Li S, Wu F, Zhang Y Q. Study of a new approach to improve FGS video coding efficiency. ISO/IEC JTC1/ SC29/ WG11, MPEG99/M5583, Dec. 1999
- 17 Wu F, Li S, Zhang Y Q. A framework for efficient progressive fine granularity scalable video coding. IEEE Trans on Circuits and Systems for Video Technology, 2001, 11(3): 332~344
- 18 Li S, Wu F, Zhang Y Q. Experimental results with progressive fine granularity scalable (PFGS) coding. ISO/IEC JTC1/SC29/ WG11, MPEG99/ M5742, 2000
- 19 Sun X, Wu F, Li S, et al. Macroblock-based progressive fine granularity scalable video coding. In: IEEE International Conference on Multimedia and Expo(ICME), Tokyo, August 2001
- 20 孙晓艳, 高文, 吴枫, 等. 基于宏块的渐进、精细可伸缩的视频编码. 软件学报, 2002, 13(11): 2134~2141
- 21 孙晓艳, 高文, 吴枫, 等. 基于宏块的具有时域和 SNR 精细可伸缩的视频编码. 计算机学报, 2003, 26(3): 345~352
- 22 Wang Q, Wu F, Li S, et al. Fine-granularity spatially scalable video coding. In: IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP), Salt Lake City, 2001, 3: 1801~1804
- 23 Joint Video Team(JVT) of ISO/IEC MPEG. ITU-T VCEG: Final draft international standard of joint video specification (ITU-T Rec. H. 264/ISO/IEC 14 496-10 AVC). JVT G050, 2003
- 24 Reichel J, Schwarz H, Wien M. Scalable Video Coding - Working Draft 1, Joint Video Team(JVT), Doc JVT-N020, Hong Kong, CN, Jan. 2005
- 25 ITU-T Recommendation H. 264 & ISO/IEC 14496-10 AVC. Advanced video coding for generic audiovisual services, (version 1: 2003, version 2: 2004) version 3: 2005
- 26 Schwarz H, Marpe D, Schierl T, et al. MCTF and scalability extension of H. 264/AVC. In: Proc. Picture Coding Symposium (2004), San Francisco, CA, USA, 2004
- 27 Schwarz H, Marpe D, Schierl T, et al. Combined scalability support for the scalable extension of H. 264/AVC. In: Proc. ICME 2005, Amsterdam, The Netherlands, July 2005
- 28 Schwarz H, Marpe D, Wiegand T. Further Experiment for an MCTF extension of H. 264. ITU-T VCEG-W06, July 2004
- 29 Schwarz H, Hinz T, Marpe D, et al. Further Progress on Scalable Extension of H. 264. ITU-T VCEG, Doc VCEG-X08, October 2004
- 30 Schwarz H, Marpe D, Wiegand T. Subband Extension of H. 264/AVC. ITU-T VCEG, Doc VCEG-V04, March 2004
- 31 王相海. 图像可分级编码研究进展. 中国图象图形学报, 2006, 11(8): 1051~1061

(上接第 6 页)

- 18 Bhattacharya S, Dey S, Brglez F. Fast true delay estimation during high level synthesis. Computer-Aided Design of Integrated Circuits and Systems, 1996, 15(8): 1088~1105
- 19 Gao Youxin, Wong D F. Wire-sizing optimization with inductance consideration using transmission-line model. Computer-Aided Design of Integrated Circuits and Systems, 1999, 18(12): 1759~1767
- 20 Lakshminarayana G, Jha N K. High-Level Synthesis of Power-Optimized and Area-Optimized Circuits from Hierarchical Data-Flow Intensive Behaviors. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1999, 18(3): 265~281
- 21 Smith J, Micheli D G. Polynomial Circuit Models for Component Matching in High level synthesis. IEEE Transactions on VLSI, 2001, 9(6): 783~799
- 22 Smith J, Micheli D G. Polynomial Methods for Component Matching and Verification. In: Proc. of ICCAD, 1998. 678~685
- 23 Smith J, Micheli D G. Polynomial Methods for Allocating Complex Components. In: Proc. of DATE, 1999. 217~222
- 24 Peymandoust A, Micheli D G. Using Symbolic Algebra in Algorithmic Level DSP Synthesis. In: Proc. of DAC, 2001. 277~282
- 25 Peymandoust A, Micheli D G. Symbolic Algebra and Timing Driven Data-flow synthesis. In: Proc. of ICCAD, 2001. 300~305
- 26 Peymandoust A, Micheli D G. Application of Complex Algebra in High level Data-flow Synthesis. IEEE Transactions on CAD of IC and Systems, 2003. 22(9): 1154~1165
- 27 Hosangadi A, Fallah F, Kastner R. Energy Efficient Hardware Synthesis of Polynomial Expressions. In: Proc. of VLSI, 2005. 653~658
- 28 Hosangadi A, Fallah F, Kastner R. Factoring and Eliminating Common Subexpressions in Polynomial Expressions. In: Proc. of ICCAD, 2004. 169~174
- 29 冯刚, 马光胜, 杜振军. 动态串扰优化的开关盒布线. 半导体学报, 2005, 26(2): 399~405
- 30 冯刚, 马光胜, 杜振军. 信号相关的串扰优化详细布线. 计算机辅助设计与图形学学报, 2005, 17(5): 1074~1078
- 31 Shen V R L. A PN-based approach to the high-level synthesis of digital systems. INTEGRATION, the VLSI journal, 2006, 39: 182~204
- 32 Grun P, Eles p, Kuchcinsk K, Peng Zebo. Automatic Parallelization of a Petri Net-Based Design Representation for High-Level Synthesis. In: Proceedings of EUROMICRO-22. 185~192