

USB2.0-ATA 桥接器 IP 核设计^{*}

李美峰 戴冠中 胡伟 苗胜 张德刚

(西北工业大学自动化学院 西安 710072)

摘要 USB2.0 为 PC 外设中的大容量存储设备提供了很好的支持,出现了一系列的便携式大容量存储设备。大容量存储设备遵循不同于 USB2.0 协议的 ATA 协议,因此需要在两个总线之间设计一个 USB2.0-ATA 桥接器来进行指令翻译和数据管理。本文设计了一种 USB2.0-ATA 桥接器 IP 核,为内嵌 ATA 接口的 USB 设备开发打下基础,并可用于 SOC 的集成中。

关键词 USB2.0-ATA 桥接器,IP 核,设备控制器,大容量存储设备

Design of an USB2.0 - ATA Bridge IP Core

LI Mei-Feng DAI Guan-Zhong HU Wei MIAO Sheng ZHANG De-Gang

(Automation College, Northwest Polytechnical University, Xi'an 710072)

Abstract A series of portable mass storage devices are arising due to the effective support from USB2.0 interface. Mass storage Devices follow ATA protocol which is quite different from USB2.0 protocol, therefore a USB2.0-ATA bridge is needed to translate instructions and manage data between the two buses. This paper designs an IP core of USB2.0-ATA bridge, which can be easily used in development of USB devices with ATA interface embedded and SOC integrations.

Keywords USB2.0-ATA bridge, IP core, Device controller, Mass storage device

1 引言

通用串行总线(Universal Serial Bus, USB)是一种快速、双向、同步可动态监测的串行接口,从其诞生发展到今天,USB 协议已经从 1.1 过渡到 2.0,其传输速度也从 1.5 Mbps 的低速和 12 Mbps 的全速,提高到如今的 480 Mbps 的高速。USB2.0 接口速度快、功耗低、支持即插即用、使用安装方便,目前已经成为 PC、便携式计算机和通信电子产品连接外围设备的首选接口。

其中,USB2.0 为 PC 外设中的大容量存储设备提供了很好的支持,出现了一系列的便携式大容量存储设备。这些产品包括便携式数字音频播放器、外置式硬盘驱动器(HDD)、ZIP 驱动器、CD 刻录机、DVD 刻录机等。任何 USB 大容量存储外设的基础都是 USB2.0 到 ATA 桥接器。海量存储设备遵从 ATA 协议,它们能够支持并响应 ATA 命令。但是,USB2.0 总线既不是 ATA 命令通道,也不支持这些命令。USB2.0 到 ATA 桥接器必须在两个总线之间作为指令翻译器和数据管理器^[1]。

本文设计了一种 USB2.0-ATA 桥接器的 IP 核,为内嵌 ATA 接口的 USB 设备开发打下基础,并可用于 SOC 的集成中。

2 系统设计

USB-ATA 桥接器按功能可以分为 USB 设备控制器、主控制器、ATA 控制器、存储器管理单元(Memory Management Unit, MMU)和 FIFO 几个部分,其系统框图见图 1。下面对

各个模块进行简单的介绍。

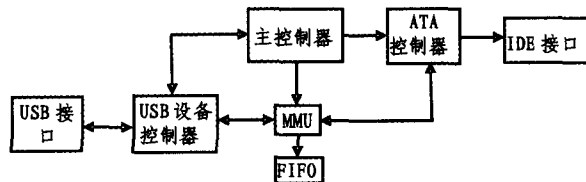


图 1 USB-ATA 桥接器系统框图

USB 设备控制器:用于 USB 的协议处理和数据交换,完成 USB 通信。

主控制器:负责 USB 枚举、Mass Storage 协议的解析以及 ATA 控制器的调用。这个模块是系统的主要控制器,协调各个模块的工作。

ATA 控制器:转发 USB 主机发过来的 ATA 命令。写数据时将 FIFO 中的数据按照 ATA 协议要求的格式发送给设备;读数据时,将从设备读出来的有效数据放回 FIFO。

MMU:因为设备控制器、主控制器和 ATA 控制器都要对 FIFO 进行访问,此模块的功能就是协调各个模块对 FIFO 的访问存取。

FIFO:用于存储有效数据。

3 USB 设备控制器的设计

3.1 设备控制器系统结构

USB 设备控制器负责把 USB 总线上的差分信号进行 NRZI 解码和位解填充,再经串并转换后得到的分组拆装,有用的数据放入 FIFO;或者把设备要传给主机的数据(已放在

^{*}基本支持,国防基础研究项目,项目编号:C2720061361。李美峰 博士研究生,主要研究方向:智能信息处理、网络与信息安全;戴冠中 教授,博士生导师,主要研究方向:自动控制、网络信息安全;胡伟 硕士;苗胜 博士;张德刚 硕士。

FIFO区)组装成协议所规定的分组形式,再通过一个差分驱动电路经过串行化、位填充和 NRZI 编码后输出到 USB 总线上。根据 USB2.0 设备控制器所要实现的功能,控制器可以划分为 UTMI 接口和协议层 (Protocol Layer, PL) 两个模块。其结构框图如图 2 所示。

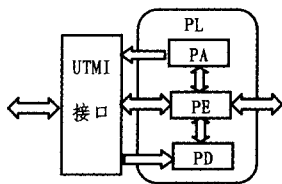


图 2 设备控制器系统框图

其中, UTMI 模块作为 USB2.0 的模拟前端, 用作差分信号的 NRZI 编/解码、位处理和串并转换。为了降低设计难度, 避免涉及到模拟设计, 这部分可以选用已有的成品。本文

采用的是 Cypress 公司的 CY7C68000 芯片。

UTMI 接口模块主要是处理接口的状态, 协调 USB 接口的速度, 检测设备的挂起和复位的检测, 并相应地把接收和发送的数据进行寄存。

PL 负责所有 USB 数据的输入输出的通信控制。包括协议引擎 (Protocol Engine, PE)、包组装 (Packet Assembly, PA) 和包解封 (Packet Disassembly, PD) 三个模块。

3.2 PL 事务处理流程

PL 是设备控制器的核心部件, 负责所有 USB 数据的输入输出的通信控制, 包括 PE、PA 和 PD 三个模块。PE 模块处理所有标准的 USB 通信的控制, 并且与主控制器和 MMU 接口进行交互。PD 模块将收到的包解封装, 将包相关的信息传给 PE 并把有效的数据放入相应端点的 FIFO 中去。PA 根据 PE 的控制, 负责给主机发送应答包或者数据包, 发送数据包时需从 FIFO 中读取有效数据。PL 事务处理流程见图 3。

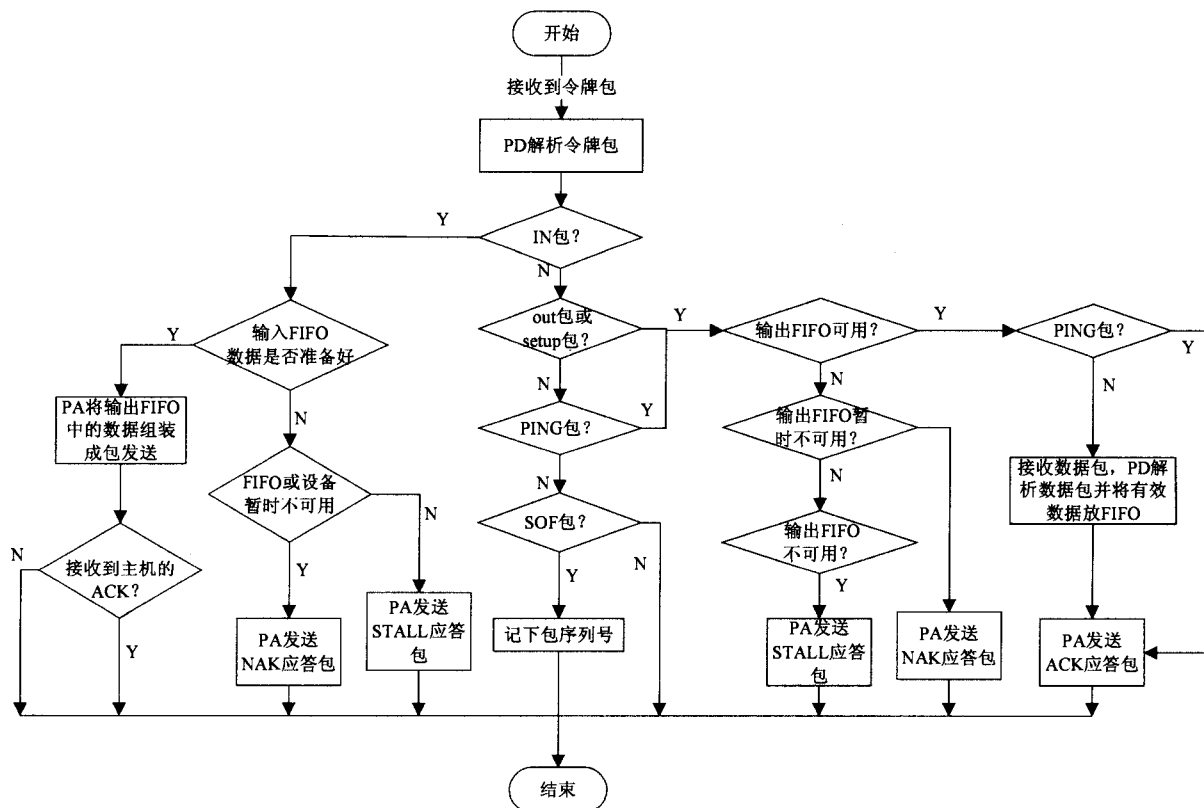


图 3 PL 事务流程

首先, PL 收到主机发来的令牌包, 然后由 PD 模块进行解码。如果令牌包是 SOF 包, 则 PD 将 11 位的帧序列号写入相应的寄存器中; 否则, PD 从后续的 16 位数据中解出 7 位的设备地址号、4 位的端点号以及 5 位的 CRC 校验码。如果校验码正确, 则将地址、端点号放入相应寄存器并将 PID 反应的信息传给 PE。若是 PING 包, PE 判断所请求的 FIFO 的情况, 直接调用 PA 模块给主机发送应答包; 若是 IN 包, 则 PE 判断所请求的 FIFO 的情况和主控制器发过来的控制信号判断数据是否准备好, 若准备好则调用 PA 从 FIFO 中读取数据并组装好后发给主机, 若数据没有准备好, 则发送应答信号 NAK 或 STALL; 若是 OUT 包, 则 PE 判断所请求的 FIFO 的情况来判断当前 FIFO 是否可用, 若可用则通过 PD 模块将有效数据存入 FIFO, 若不可用则发送 NAK 或 STALL 应答包。

4 主控制器的设计

主控制器的功能是对 USB 主机的请求进行响应。其地位相当于通用 USB 控制器外加微控制器应用模型中的微控制器, 其作用相当于微控制器执行的固件程序。从功能上可以分为控制传输模块和 ATA 传输模块。

4.1 控制传输模块

控制传输模块主要响应 USB 主机发起的控制传输, 向 USB 主机返回相应的描述符和执行相应的设置操作。

设备控制器将接收到的 setup 包的数据阶段的有效数据即标准的 USB 请求放入控制端点的 FIFO 中, 主控制器读取此次请求并将需要返回的数据放入 FIFO, 以供设备控制器调用。USB 标准请求的格式可以参看 USB2.0 规范^[2]。USB

标准请求处理程序及设备状态转换流程图 4。

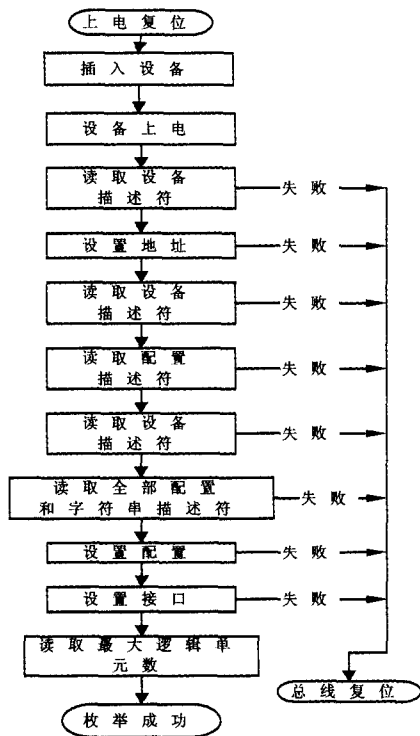


图 4 USB 标准请求处理程序及设备状态转换流程图

4.2 ATA 传输模块

ATA 传输模块主要读取 USB 主机通过批量端点发送的 CBW(Command Block Wrapper), 返回主机请求的设备信息和文件系统信息或者读写设备上的数据, 并在完成操作后向主机返回一个 CSW 包(Command Status Wrapper)。ATA 传输模块事务流程如图 5 所示。

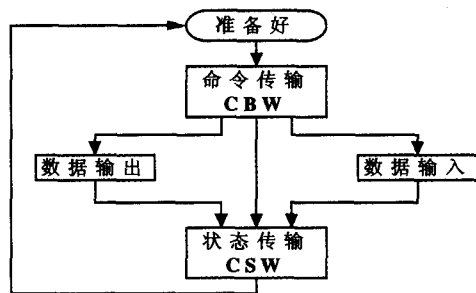


图 5 ATA 事务流程

USB 主机发送的海量存储器的命令分为两大类。一类用于读取存储器型号、固件版本、存储容量、设备状态等信息, 包括 0x12、0x 23、0x 25、0x 5A 和 0x 00 命令; 另一类用于批量数据的读写操作, 包括 0x 28 和 0x 2A 命令。海量存储器

的命令类型可以参看文[3]。

这两类命令响应数据的读写方式是不同的。第一类命令的响应数据由主控制器通过 IDENTIFY ATA DEVICE (0xECh) 命令, 以 PIO 方式从存储器读取; 第二类命令则通过主控制器调用 PIO 或 DMA 命令的方式从设备中读取, 相应的 DMA 命令为 READ DMA (0xC8h) 和 WRITE DMA (0xCAh), 相应的 PIO 命令为 PIO READ (0x20h) 和 PIO WRITE (0x30h)。

5 ATA 控制器与 MMU 的设计

5.1 ATA 控制器设计

ATA 控制器主要是向设备发送主控制器制定的 PIO 和 DMA 命令, 并读写数据。可以形象地说, ATA 控制器是一个命令转发器。

ATA 控制器需要发送的命令主要有 0XECh、0xC8h、0xCAh、0x20h、0x30h 三个命令。若选择的 PIO 和 DMA 模式不同, 则所需产生的时序也不同, 具体的 ATA 控制器时序可以参看 ATA 协议^[4]。

5.2 MMU 的设计

MMU 是协调各个模块对 FIFO 的访问。整个设备共用了 4 组 FIFO, 分别是控制输入 FIFO, 控制输出 FIFO, 批量输入 FIFO 和批量输出 FIFO。其中为了提高通信的吞吐量, 批量传输采用双缓冲机制。

控制器若要使用 FIFO 时, 需要向 MMU 发送请求, 当 FIFO 可用时, MMU 给出应答, 然后根据请求方的 FIFO 索引将其读写信号连接到所请求的 FIFO 的读写信号上。

结论 本文设计了一种 USB2.0-ATA 桥接器, 该设计已经用 VHDL 实现。IP 核下载到 Altera 的 cyclone EP1C12Q 240C8 芯片上进行了验证, 实验结果显示桥接器工作正常, 可以根据设置工作于 PIO 和 DMA (模式 0 到模式 2) 的各种模式。该方案实现的桥接器便于修改且易于实现, 可作为一个功能模块嵌入到 SOC 中, 可在各种情况下最大限度地灵活设计片上系统。

参考文献

- 1 Harmon D. USB 2.0-ATA/ATAPI 桥器件可支持线缆供电的驱动器. 德州仪器公司. http://www1.ti.com/customer/article/2004/01/0116_03.asp
- 2 Compaq, Hewlett-Packard, Intel, et al. Universal Serial Bus Specification Revision 2.0, April 2000
- 3 USB Implementers Forum. Universal Serial Bus Mass Storage Specification For Bootability Revision 1.0, 2004
- 4 American National Standards Institute. Information Technology - AT Attachment with Packet Interface - 5 (ATA/ATAPI-5) Revision 3, 2000