

一种异构片上网络路由算法的研究

方娟 刘士建 刘思彤

(北京工业大学计算机学院 北京 100124)

摘要 随着集成电路工艺的迅速发展,传统的片上网络由于缓存引起芯片面积开销和能耗增加,从而使得无缓存路由技术得到了广泛关注。通过消除缓存,整体的流水线进程大大得到简化,性能得到提高。但当网络负载量较大时,数据包被多次偏转或误传,导致网络的延迟增加,系统健壮性较差。针对片上网络运行应用的多样性,异构网络作为一种相对灵活的网络结构,能有效地降低网络的传输时延,提高系统性能。文中设计了无缓存 NoC 和带缓存 NoC 两种路由方式相结合的异构片上网络,并匹配静态路由算法和动态的自适应路由算法(AFC)进行数据包的传输。同时,还提出了一种针对 AFC 的优化算法(AFC-LP),其通过对无缓存路由计算的二次仲裁,进一步降低了通信的平均时延,提高了网络性能。实验表明,AFC-LP 算法相比于传统带缓存的维序 X-Y 路由算法,片上网络的平均延迟降低了 28.4%,CPU 每一时钟周期内所执行的指令数 IPC(Instruction Per Cycle)提升了 10.4%。

关键词 异构片上网络,无缓存路由,路由算法

中图分类号 TP303 **文献标识码** A **DOI** 10.11896/j.issn.1002-137X.2017.03.017

Routing Algorithm Research on Heterogeneous Network on Chip

FANG Juan LIU Shi-jian LIU Si-tong

(College of Computer Science, Beijing University of Technology, Beijing 100124, China)

Abstract With the fast development of integrated circuits, the traditional buffered NoC, due to the increase of chip area overhead and energy consumption from the buffer, have made the bufferless routing technology receive widespread attention. By eliminating the buffer, the whole process of the pipeline is greatly simplified, performance is improved. But when the network load is very large, the data packets are repeatedly deflected or misrouted, causing the increase of the whole network latency, and system robustness is poor. According to the diversity of network running's applications, heterogeneous networks as a relatively flexible network structure can effectively reduce the transmission latency and improve the system performance. In this paper, a new type of heterogeneous NoC which is combined with the bufferless NoC and the buffered NoC was mainly designed, and it matches the static routing algorithm and adaptive routing algorithm (AFC) for packet transmission. At the same time, a kind of optimized algorithm AFC-LP based on AFC was proposed, through the second arbitration for bufferless routing to further reduce the average latency of communication and improve the network performance. The result of experiments shows that comparing to the traditional buffered order X-Y routing algorithm, the proposed AFC_LP algorithm reduces the average of network latency by 28.4%, and improves the instructions per cycle (IPC) by 10.4%.

Keywords Heterogeneous network on chip, Bufferless routing, Routing algorithms

1 引言

针对片上网络运行应用的多样性,异构网络作为一种相对灵活的网络结构,能够有效地降低网络的平均延迟并提高系统性能。目前,已经有很多学者对异构网络的设计进行了研究并取得了一定的成果。文献[1]提出了带加速网络的片上网络映射优化方案,其通过在原有的网络层上添加加速节点的网络层来解决网络的拥塞问题,但需要很强的硬件支持,实现困难,解决的能力有限。文献[2]在片上网络的中心和对

角线等热点位置布置较多的缓冲区和带宽来降低拥塞和提高性能,但其设计的中心思想还是基于静态 X-Y 算法的静态异构设计,程序扩展性差,健壮性也只稍好于 bufferless 无缓存的设计。文献[3]提出了异构片上的自适应路由算法(AFC),其可以根据网络负载流量的变化,动态地进行 buffered 和 bufferless 两种路由器间的相互切换,降低拥塞。

本文主要探讨基于异构片上网络的路由算法。第 2 节简述异构片上网络上动态自适应路由算法(AFC)的设计原理;第 3 节描述基于自适应路由算法(AFC)的优化设计思路和具

到稿日期:2015-12-15 返修日期:2016-03-16 本文受国家自然科学基金(61202076,61202062)资助。

方娟(1973-),女,博士,教授,主要研究方向为多核计算技术,E-mail:fangjuan@bjut.edu.cn;刘士建(1992-),女,硕士生,主要研究方向为片上网络技术;刘思彤(1989-),女,硕士生,主要研究方向为片上网络技术。

体实现流程;第4节给出实验结果,并对其进行分析;最后总结本文,并指出进一步的工作方向。

2 动态自适应路由算法(AFC)

文献[3]指出,随着数据包不断注入,网络的负载状态也在不断的变化。当网络负载高时,链路竞争导致无缓存路由的误传率增高,利用 buffered 带缓存路由器对数据微片进行存储缓存,可以有效地降低网络拥塞程度;当网络负载低时,使用 bufferless 无缓存路由器对数据微片进行快速地转发,从而降低数据微片在 buffer 的传输时延,提高传输效率。自适应路由算法设计的基本思想是根据前4个周期经过路由节点的平均数据微片数 l 来判断网络负载流量的高低。当负载程度高于路由器的阈值上限时,将路由节点由 bufferless 路由器转换成 buffered 路由器;当网络负载程度低于路由器的阈值下限并且 buffered 路由器中所有端口的 VC 全部为空时,将路由节点由 buffered 路由器转换成 bufferless 路由器,否则会导致 buffered 路由器中缓存的数据微片丢失,数据包路由失败。路由器间的切换情况如图1所示。



图1 自适应路由算法模式转换

自适应路由算法可以根据网络负载的状态变换路由器的模式,相比于静态的异构网络来说更加灵活和高效。算法中新增的无缓存路由器基于偏转的路由方式,还存在很大的改进空间。因此,对自适应路由算法中的无缓存路由部分进行进一步优化改进,以降低延迟,提高性能。

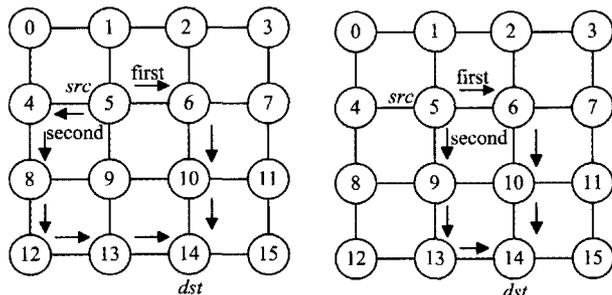
3 基于自适应路由算法的改进

自适应路由算法实现了带缓存路由器和无缓存路由器两种路由结构的动态切换,算法中包含了传统带缓存的 X-Y 维序路由算法和新增的无缓存 NoC 基于偏转的路由算法。目前对于新增的无缓存 NoC 基于偏转的路由算法^[4],随着网络中注入的数据微片越来越多,数据微片的误传概率也在逐渐增高,数据微片的多次偏转一方面会增加网络的拥塞程度,使得数据传输速率变慢,另一方面也延长了数据包的传输时间,导致系统性能较低,这样无缓存路由器对数据微片的快速传输的优势就减弱了。针对自适应路由算法中无缓存 NoC 存在的不足之处,提出算法的优化设计方案 AFC_LP 算法,其优化路由输出端口的选择策略,通过对输出端口的二次竞争仲裁,避免数据微片偏离目的节点越来越远,从而有效地降低数据微片在网络中的传输时延,提高系统性能。

3.1 AFC_LP 算法的设计思路

在自适应路由算法中,针对无缓存路由器基于偏转的路由算法本身并没有进行误传率的控制,若数据微片的有效输出端口被占用,竞争仲裁失败时就选择其余任意3个端口偏转,数据微片的误传概率为67%,只有小部分可能从距离目的节点近的端口输出。因此可以设计让数据微片再选择一个次优的输出端口进行二次竞争仲裁,使得数据微片误传的概

率降低17%,提高了传输效率。例如,当源节点 src 为5、目的节点 dst 为14时,首先让其从有效的西输出端口传输,到达6号路由节点,当西端口已经被占用时,让其选择次优的南输出端口到达9号路由节点,如果南输出端口再次竞争失败,则再选择偏离目的节点越来越远的北和西任意端口输出。这样可以避免数据微片第二次就选择离目的地远的北端口和西端口输出,从而降低传输时延。输出端口的计算策略如图2所示。



(a)原有的输出端口选择

(b)改进后的输出端口选择

图2 输出端口选择的对比

3.2 AFC_LP 算法描述

根据图2所示的输出端口选择的优化策略,数据微片到达路由节点之后,首先要计算出数据微片的有效输出端口和次优输出端口。假设当前路由节点坐标为 (X_c, Y_c) , 目的节点坐标为 (X_d, Y_d) 。为每个数据微片设置一个 $flit_info$ 的结构体,包括时间戳、有效输出端口 $first$ 和次优输出端口 $second$ 。当 $X_d > X_c$ 时,若 $Y_d > Y_c$, 则设置数据微片的 $first$ 为下, $second$ 为右;若 $Y_d < Y_c$, 则设置 $first$ 为上, $second$ 为右;否则,设置 $first$ 为右, $second$ 为-1。当 $X_d < X_c$ 时,若 $Y_d > Y_c$, 则设置 $first$ 为下, $second$ 为左;若 $Y_d < Y_c$, 则设置 $first$ 为上, $second$ 为左;否则,设置 $first$ 为左, $second$ 为-1。当 $X_d = X_c$ 时,若 $Y_d > Y_c$, 则设置 $first$ 为下, $second$ 为-1;若 $Y_d < Y_c$, 则设置 $first$ 为上, $second$ 为-1;否则,输出端口为本地。

完成了路由计算的任务后,需要通过竞争仲裁完成输入端口到输出端口的映射。设计算法的处理过程如下所示:

- 1) 对所有端口的输入数据微片进行筛选判断,满足条件者进入到下一步,否则继续扫描下一端口。
- 2) 判断数据微片的目的地是否为本地节点,如果目的地是本地节点,则将路由的本地输出端口状态设为真,进入下一轮循环。
- 3) 对于目的节点不是本地节点的数据微片,提取当前路由节点和数据微片的路由信息,进行源节点与目的节点相对位置的判断,根据上述设计的端口计算方式得出有效输出端口与次优输出端口。
- 4) 取出数据微片的有效输出端口,判断路由节点中该端口的状态是否被占用。若返回 true, 端口未被占用,将该端口状态更改为占用,并将数据微片的时间戳和优先级信息赋值给路由节点的该端口。否则,判断该数据微片的时间戳或者优先级信息是否大于端口中的数据微片,若大于,则该数据微片竞争胜利,占用端口,将原有端口中的数据微片取出保存,进行第二次竞争仲裁,失败的进行第三次竞争仲裁;否则,取

出该数据微片的次优输出端口,进行第二次竞争仲裁,对两次偏转均失败的数据微片进行最后一次偏转,找出路由的正确输出端口,进入下一轮循环。

5)所有端口的数据微片全部扫描后,释放空间,路由算法结束。

4 性能测试

4.1 实验环境

实验使用基于踪迹(Trace)驱动的模拟器 Macsim 来对算法的性能进行评估测试。Macsim 是一个异构体系结构的模拟器,时钟准确,能够详细地模拟出结构的行为状态,包括详细的流水线阶段(顺序或者乱序)、多线程和存储系统。

4.2 实验配置

本文使用 Macsim 模拟器模拟了一个 4×4 的 2D-mesh 拓扑的多核系统,在 Linux 操作系统下运行测试。具体的参数配置如表 1 所列。

表 1 实验配置参数

部件名称	配置参数
片上网络(NoC)	拓扑结构:2D Mesh, 4×4 (16核) 链路宽度:32位 链路延迟:2周期
内核	4个SMT线程,两级cache,乱序执行模式, 64指令窗口宽度
一级 cache	64kB,4路组相连,64line大小,3周期时延
二级 cache	256kB,4路组相连,64line大小, LRU,8周期时延
主存	4GB

从 SPEC CPU 2006 基准测试集中随机选取几个负载作为测试程序,包括:astar, h264ref, mcf, omnetpp, sjeng, deal, gromacs, lbm, namd, sphinx3。另外,trace 包含两种形式:1)global;2)非 gloal。本文程序是后者,一个节点只运行一个进程,这样测试时更容易发现每个程序的特性,并保护进程间的安全性。

4.3 实验结果与分析

实验从 SPEC CPU 2006 中随机抽取测试程序,在 Macsim 实验平台上逐一调试通过,在性能输出文件 network. stat 和 stdout. out 里查看实验的输出结果。

为了体现出算法优化后的效果和实验结果的全面性,将传统带缓存的 X-Y 维序路由算法(Buffered)、静态异构网络的 X-Y 路由算法(B_BL_Static)、异构网络的自适应路由算法(AFC)和优化后的自适应路由算法(AFC_LP)进行了比较,实验结果如图 3—图 5 所示。

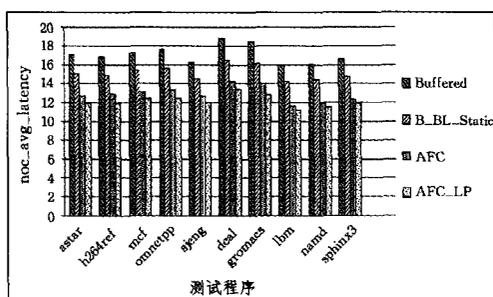


图 3 NoC 的平均网络延迟

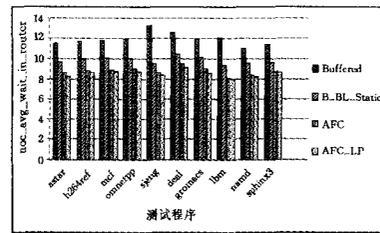


图 4 数据微片的平均排队延迟

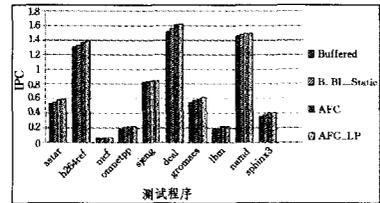


图 5 吞吐量 IPC 的比较

从图 3—图 5 中的实验结果可以看出,改进后的异构 NoC 动态自适应路由算法相比于传统带缓存 NoC 路由算法,片上网络的平均延迟降低 28.7%,在路由器中的平均排队延迟降低 28.4%,IPC 性能提高 10.4%。自适应的路由算法与改进之前的性能相比,片上网络的平均延迟降低 5.4%,在路由器中的平均排队延迟降低 2.6%,IPC 性能也有所提高。这一结果表明,对异构自适应路由算法中无缓存 NoC 算法的优化,能将网络的传输时延进一步降低,改进路由策略产生了一定的效果。

结束语 本文主要针对异构网络的自适应路由算法进行了改进优化,提出了 AFC_LP 算法。该算法主要对自适应路由算法中新增的无缓存路由部分进行了改进,采用数据微片的二次竞争仲裁来降低数据微片偏转的误传概率,从而减少数据微片在网络中的传输时延。实验结果表明,改进后的自适应路由算法能为系统带来更好的性能收益。随着数据包的逐渐增多,自适应路由算法的后期,路由节点几乎全部转换为 buffered 模式,其就变成了传统带缓存的 NoC,效率降低,如何进一步改进是今后的研究方向。

参考文献

- [1] SHAO J C. a study on the performance optimization of network on chip with accelerated network [D]. Hangzhou: Zhejiang University, 2014. (in Chinese)
邵景成. 带加速网络的片上网络性能优化研究[D]. 杭州:浙江大学, 2014.
- [2] MISHRA A K, VIJAYKRISHNAN N, DAS C R. A case for heterogeneous on-chip interconnects for CMPs[C]//Proceeding of the 2011 38th Annual International Symposium on Computer Architecture. San Jose, CA; IEEE, 2011; 389-399.
- [3] JAFRI SAR, HONG Y J, THOTTETHODI M, et al. Adaptive flow control for robust performance and energy[C]//Proceeding of the 2010 43rd Annual IEEE/ACM International Symposium on Microarchitecture. Atlanta, GA; IEEE, 2010; 433-444.
- [4] FALLIN C, CARIK C, MUTLU O. CHIPPER: A low-complexity Bufferless Deflection Router[C]// Proceeding of the 2011 IEEE 17th International Symposium on High Performance Computer Architecture. San Antonio, TX; IEEE, 2011; 144-155.