

# NoC 关键问题<sup>\*</sup>

刘有耀<sup>1</sup> 杜慧敏<sup>2</sup> 韩俊刚<sup>1,2</sup>

(西安电子科技大学微电子学院 西安 710071)<sup>1</sup> (西安邮电学院计算机系 西安 710121)<sup>2</sup>

**摘要** 片上网络(NoC)作为复杂 SoC 通信的一种解决方案,受到了工业界和学术界的广泛重视。NoC 设计涉及了从物理层到应用层诸多方面的问题,本文对 NoC 研究中的关键问题做简单的介绍。

**关键词** 片上网络,片上系统,路由,拓扑结构

## The Key Problems for Network on Chip

LIU You-Yao<sup>1</sup> DU Hui-Min<sup>2</sup> HAN Jun-Gang<sup>1,2</sup>

(School of Microelectronics, Xidian University, Xi'an 710071)<sup>1</sup>

(Design Center of ASIC, Xi'an Institute of Posts and Telecommunications, Xi'an 710061)<sup>2</sup>

**Abstract** Network-on-Chip (NoC) has been recently proposed as a promising solution to complex System-on-Chip communication problems and has been received recognition by academe and industry. NoC involves in many problems ranging from physical layer to application layer, the paper will focus on the key problems for NoC. Far from being exhaustive, the discussed problems are deemed essential for future NoC research.

**Keywords** Network on chip, System on chip, Routing topology

### 1 引言

片上系统 SoC(System on Chip)是 20 世纪 90 年代出现的概念。随着半导体工艺的不断发展和 SoC 技术的不断完善,现在的 SoC 中可包含一个或多个处理器、存储器、模拟电路、数模混合电路以及片上可编程逻辑等 IP 核<sup>[1~3]</sup>。但是,随着 SoC 中所包含的 IP 核数目增至成千上万的时候,现有的以总线结构为通信基础的 SoC 技术面临着在性能、功耗、延时和可靠性等方面的巨大挑战<sup>[4~6]</sup>。在 2001 年左右,一些研究机构借鉴和吸收了通信网络中的一些思想,提出了以通信为核心的复杂 SoC 的 IP 核的集成方法,即片上网络(Network on Chip, NoC),以解决复杂 SoC 面临的各种问题。NoC 概念采用基于包交换的方法和分层方法来替代原先的传统总线,实现了处理单元(IP 核)与通信结构(网络)的分离<sup>[7~10]</sup>。从 2001 年开始至今,世界上有近 90 家研究机构对 NoC 各个层次问题进行了研究,比较有影响的 NoC 项目有 Bologan-Stanford xpipes<sup>[11]</sup>, Princeton Orion<sup>[12]</sup>, U. Manchester CHAIN<sup>[13]</sup>, Philips Aethera<sup>[14]</sup>, KTH Nostrum<sup>[15]</sup>, ST-NoC<sup>TM</sup><sup>[16]</sup>, UPMC SPIN<sup>[17]</sup>, TUT Proteo<sup>[18]</sup> 等等。NoC 的研究涉及到从物理设计到体系结构、操作系统、应用服务、设计方法和工具等诸多方面。从系统结构角度看, NoC 研究的重点在于 NoC 的拓扑结构、NoC 协议、NoC 服务质量、NoC 的定时和低功耗等问题<sup>[19~26]</sup>。本文将对 NoC 研究中涉及到的一些关键问题做一简单总结和介绍。

### 2 NoC 的结构

#### 2.1 NoC 的基本结构

一个 NoC 的基本结构应该包括以下几个部分<sup>[2,4~6]</sup>,如

图 1 所示。

- 1)网络适配器:实现了 IP 核和 NoC 网络之间接口,分离网络通信和 IP 核的计算功能。
- 2)路由节点:通过路由协议进行路径选择,实现路由策略。
- 3)链路:实现节点连接,包含了一个或多个逻辑、物理信道。
- 4)IP 核:IP 核可以是同质的,也可以是非同质的;可以是细粒度的,也可以是粗粒度的。

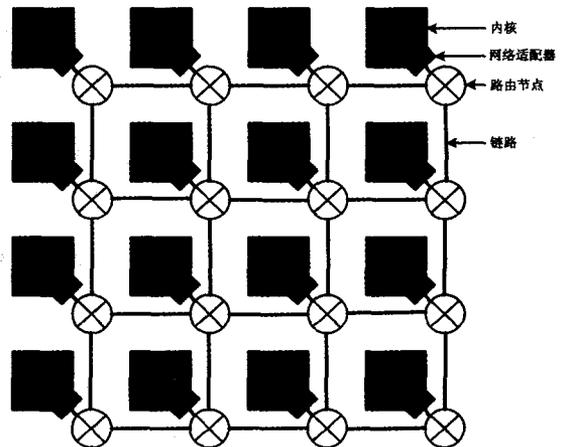


图 1 一个 4×4 NoC 拓扑结构

图 1 给出的 4×4 的 2D-mesh 结构包含了一个 NoC 基本组成,该结构没有采用总线和专用点对点的链路,而采用了一般网格拓扑结构,通过一定的路由算法可以实现任意两个 IP 之间的通信,可采用包交换、电路交换或其它的路由方式,可

<sup>\*</sup> 国家自然科学基金(90607008)。刘有耀 博士研究生,主要研究方向:SoC 设计与验证;杜慧敏 教授,主要从事 SoC 的形式化设计与验证;韩俊刚 博士生导师,主要从事 SoC 的形式化设计与验证、计算机应用技术等研究。

使用同步、异步或其它逻辑实现。

## 2.2 NoC 中的层次结构

NoC 借鉴网络中的分层思想,每一层和相邻层之间都有接口,较低层通过接口向它的上一层提供服务,服务的实现细节对上层是屏蔽的。较高层又是在较低层提供的低级服务的

基础上实现更高级的服务。关于 NoC 层次结构在不同的 NoC 实现中有不同的描述,各层的功能略有差异,各层的名称和数目也不尽相同。尽管如此,图 2 给出的 NoC 层次结构获得较大程度的认可,同时给出 NoC 分层和 OSI 之间对应层关系。每个层次都对应着 NoC 的不同研究问题<sup>[16,19~22]</sup>。

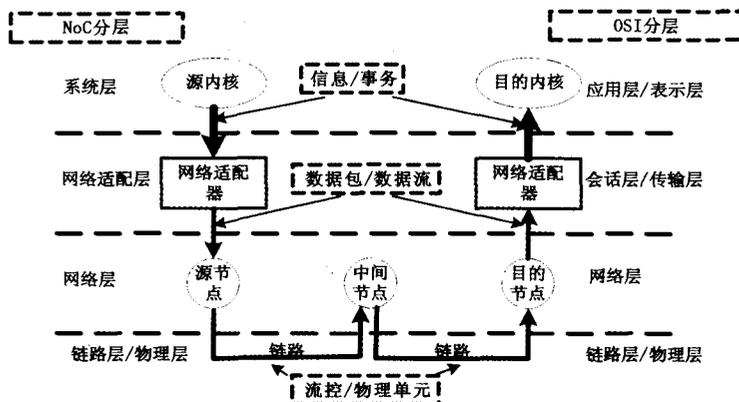


图 2 NoC 分层与 OSI 参考模型对应关系

## 3 NoC 关键问题

### 3.1 网络拓扑结构

选择合适的 NoC 拓扑结构是 NoC 设计中非常关键的问题之一。目前,大部分的 NoC 研究和设计借鉴了并行计算机体系结构中的静态网络结构,包含规则和不规则两种结构。常见规则结构如 KTH Nostrum 的 2D-mesh、3D-mesh 结构、Torus 结构、UPMC SPIN 的扁平树结构、八角形结构和 Proteo 的环形结构等。多家研究机构采用了 2D-mesh 或者其变形的 Torus 结构为网络的拓扑结构。不规则的结构是由规则结构组合而成的<sup>[4,11~17,22,26,27]</sup>。

NoC 网络传输信息的能力主要依靠其拓扑结构,它对网络延迟、吞吐量、面积、容错、功耗有很大影响外,对设计策略和内核到网络节点的映射起着重要的作用。目前,理论上还不能证明可以用最优的拓扑结构来实现任何一个给定的应用。虽然专用的网络结构能提高性能、降低功耗、减小面积,但采用不规则的网格拓扑结构会引起版图设计、不均匀的线长等设计问题。因此,决定有效的拓扑结构以平衡高层性能与细节的实现方法受到了微米或纳米级工艺的制约。

### 3.2 路由问题

路由是确定一个信息从源节点到目的节点的机制。区别于总线结构的 NoC 的一个重要特征就是采用包交换的路由。包既可以在源节点上实现路由,也可以在每一跳节点上实现路由,相应称为源路由和分布式路由。路由算法分为两类:确定性路由和自适应路由。无论是哪类路由,算法应该有效地解决死锁、活锁以及饥饿问题。

1) 死锁:当两个包彼此等待路由转发时,由于保留了部分资源并等待对方释放资源,因此产生死锁。通过流量控制可以避免死锁。

2) 活锁:当一个包在它的目的地环绕但无法到达目的节点时就发生了活锁。该问题存在于非最短路由算法中。

3) 饥饿:使用不同优先级可能出现高优先级的包始终占有资源,而一些低优先级的包永远不能到达其目的地,发生饥饿现象。使用公平路由算法或为低优先级的包预留一些资源可避免饥饿现象。

大多数研究机构都是根据具体的研究重点不同而采用不同的路由策略,其中确定性 XY 路由和自适应性 DyAD 路由在 NoC 的设计中既不会产生死锁,也不会产生活锁<sup>[28,29]</sup>。

### 3.3 交换技术问题

交换技术决定交换结点什么时间如何连接其输入与输出端口。交换技术包括两种主要类型:包交换和电路交换。

1) 电路交换:交换网络是一组由全双工点到点链路连接在一起的交换单元,包括基于总线和基于开关两种类型。基于开关的网络包括 Crossbar、单级交换网络和多级交换网络。交换的方法分为时分(T)和空分(S)两种。交换单元通过在其终端建立物理连接实现空分交换,典型的空分交换是 Crossbar。时分交换利用缓存,以不同的读写顺序对数据进行交换。电路交换的优势是在整个数据传输过程中保留一定的网络带宽,交换节点结构简单,延时固定并能有效避免死锁现象。其中采用 T-S-T 结构的电路交换被认为是 NoC 电路交换很好的实现<sup>[30]</sup>。

2) 包交换:在包交换时,发送数据前不需要建立链路。包通过最优路由算法原则,选择最优路径到其目的地。目前主要的包交换技术有存储转发、虚直通和蠕动等交换技术<sup>[31]</sup>,在 NoC 设计中,不同的硬件资源需要不同的性能,因此应该根据具体的硬件资源,选择具体的包交换技术,尽力减少开销。

麻省理工学院于 2002 年研制的 RAW 处理器,属于一种基本的 NoC。采用动态路由的包交换和静态路由的电路交换相结合的交换和路由<sup>[32]</sup>。瑞典 Linköping 大学研究的 SoCBUS 采用一种新的电路交换方式,称为包连接的电路。实际上就是利用包交换的方式,让一个数据包寻找路由,如果成功,则保持所走过的路径,作为电路交换的路径设置。如果不成功,则可以重发<sup>[33]</sup>。

### 3.4 QoS 问题

服务质量被定义为网络提供给 IP 核需要的服务数量,因此它包含两方面内容:1)定义了某一数量的服务;2)服务协商。服务应该具有高吞吐量、低延迟、低功耗等特点。协商是指在 IP 核需要的服务与网络提供的现有服务之间实现平衡。

服务质量分为两种基本类型:尽最大努力服务(BE)和保

证服务(GS)。它们提供不同层次的许诺服务,并且对通信行为有潜在的影响:1)结果的正确性;2)事务的完成;3)性能要求。总之,保证服务具有可预测性,用于期望服务质量高的业务,例如实时系统。尽最大努力服务则能提高平均资源利用率<sup>[25,34]</sup>。

Phillip 实验室研究的 NoC 称为 ÆTHEREAL,它是面向消费电子产品的 NoC。其主要设计原则是提供服务的保证,因为很多 IP 对于延迟和实时数据流的吞吐量都有严格的要求,因此要提供有保证服务(GS)的 NoC。并引入了尽最大努力服务(BE),这些服务用了剩余的带宽或者占用了没有使用的带宽。它们的优先级最低,只有保证服务没有使用时,尽最大努力服务才能使用。为此开发了专用的 FIFO 来处理 GS 和 BE 的队列<sup>[14]</sup>。

### 3.5 流量控制问题

在 NoC 领域,流量控制被特定用于交换结点间、端到端之间的传输协议的业务量。通过避免缓冲区溢出及丢包,这些协议提供了平滑通讯量的策略。目前大多数 NoC 采用的是虚通道或者限制数据包注入网络速度的方法<sup>[34]</sup>,然而通过限制注入网络包的方式进行流量控制限制了网络中同时传输包的数量,虚通道流量控制增加了硬件开销。

### 3.6 资源网络接口问题

资源网络接口(RNI)是 IP 核与网络间的接口,通过 RNI 接口 IP 核可以用最小的代价使用网络,同时 IP 核和网络资源都可以重用。RNI 在功能上可以分为两个部分:一部分是连接网络的部分,与资源(IP 核)无关;另外一部分连接到资源(IP 核),和资源相关。前一部分因为和资源无关,因此对于任何资源都可以重用。和资源相关的部分连接具体的资源的信号,例如控制信号、地址信号,主要是信号的打包和解包、数据的编码检测等信息,这部分还要考虑定时、同步等问题<sup>[20]</sup>。

### 3.7 性能评估问题

性能评估是 NoC 的一个重要方面。为了比较不同结构的 NoC 结构,必须使用一套标准的性能评价测量。评估一个 NoC 的主要性能包括以下几个方面。

1) 吞吐率:数字通信网的性能是以每秒多少比特数的带宽来衡量的。在 NoC 中,以单位时间内数据包信息通过网络的数量定义吞吐量。

2) 延迟:指在 NoC 从源节点发送数据包头部信息开始,到目标节点接受数据包尾部信息为止所经历的时间(以时钟周期为单位)。流控单元(Flits)从源节点到达目标节点,必须经过由交换节点和网络互连所组成的一条路径。每一个信息根据源节点和目标节点以及路由算法,会产生不同的延时。

3) 面积:评价 NoC 的面积主要有三个部分:一是实现路由和流量控制所需要的存储缓冲区和逻辑电路占用的面积。二是为了保证互连线延时不超过一个时钟周期而插入中继(buffer)所占用的面积。三是芯片中布线对面积也有影响。

4) 功耗:NoC 动态功耗主要有两个来源:节点功耗和网络功耗。每一个节点内部的操作产生节点功耗。网络功耗是指当包在网络上传输时,互连线和每个交换节点内部逻辑门的功耗。因此,当我们估计网络功耗时,需要计算线和逻辑门的功耗。

KTH 开发了一个 Nostrum 的模拟环境,可以进行 mesh 和 torus 结构网络性能评估并给出相应的分析结果<sup>[35]</sup>。Princeton 大学开发了可以进行详细功耗估计的 Orion 动态

功耗模拟器和周期精确链路功耗估计的 LUNA 功耗性能模拟器,它们嵌入在 PoPNet 网络模拟器<sup>[12]</sup>。

### 3.8 定时问题

在一个片上网络中,包含了众多的 IP 模块,每个 IP 都有自己的定时信息。如何实现整个 NoC 的全局定时问题是 NoC 物理设计需要解决的一个关键问题。已经公认全局异步、局部同步(GALS)是解决定时问题的方法<sup>[20]</sup>。从目前的 NoC 研究来看,不同的设计有着不同的解决方法,没有一个统一的标准。CHAIN<sup>[13]</sup>和 MANGO<sup>[36]</sup>两个 NoC 都采用了 GALS 定时方式来解决全局定时问题。

### 3.9 映射问题

映射是在给定任务图、设计约束(延迟和功耗等)和 IP 库的基础上,将每个任务分配到合适的 IP 核上以及安排每个 IP 核上的任务执行顺序,然后再决定每个 IP 核在 NoC 拓扑结构中的位置。在映射时,搜索空间随着网络尺寸的增长呈阶乘递增,对于一个包含 25 个 IP 核的 NoC,映射有 25! 种可能结果。因此,映射问题是 NoC 设计中的一个 NP 问题<sup>[9]</sup>。目前,映射可以采用启发式的算法进行<sup>[37]</sup>。

**结论** 本文所讨论的问题只是 NoC 设计中一部分问题。在具体实现一个 NoC 的时候,从物理层到应用层,从软件到硬件,NoC 涉及的方方面面远远多于本文所讨论的问题。限于篇幅,我们仅给出了 NoC 的一般概念,以及 NoC 的几个主要的研究问题,包括拓扑结构、路由策略、交换技术、流量控制、服务质量、性能评估和定时等问题。它们是 NoC 设计过程中必须考虑的问题,有些问题尚没有很好的解决方案,有待进一步研究。

## 参考文献

- 1 Benini L, De Micheli G. Powering networks on chips; energy-efficient and reliable interconnect design for SoCs. In: Proc. the 14<sup>th</sup> Int Symp on System Synthesis, 2001, 33~38
- 2 Benini L, De Micheli G. Networks on chip: a new paradigm for systems on chip design. In: Proc. Design Automation and Test in Europe (DATE), 2002, 418~419
- 3 Horowitz M, Dally W. How scaling will change processor architecture; [Digest of Technical Papers]. ISSCC. 2004 IEEE International Solid-State Circuits Conference, vol. 1, 2004, 132~133
- 4 Dally W, Towles B. Route packets, not wires; on-chip interconnection networks. In: Proc. the Design Automation Conference, Las Vegas, NV, 2001, 684~689
- 5 Hemani A, Jantsch A, Kumar S, et al. Network on a chip; an architecture for billion transistor era. In: Proc. IEEE NorChip Conference, 2000, 166~173
- 6 Ye T. On-chip multiprocessor communication network design and analysis; [PhD Dissertation]. Stanford University, 2003
- 7 Hu J, Marculescu R. Energy- and performance-aware mapping for regular NoC architectures. IEEE Trans on Computer-Aided Design of Integrated Circuits and Systems, April 2005, 24(4):551~562
- 8 Ogras U, Marculescu R. Energy- and performance-driven NoC communication architecture synthesis using a decomposition approach. In: Proc. Design Automation and Test in Europe (DATE), Munich, Germany, 2005, 6p
- 9 Ogras U Y, Hu J, Marculescu R. Key research problems in NoC design; A holistic perspective. In: Proceedings of the International Conference on Hardware/software Codesign and System Synthesis, 2005, 6p
- 10 Goossens K. Formal methods for networks on chips. In: Proc. Fifth International Conference on Application of Concurrency to System Design, 2005, 188~189
- 11 Bertozzi D, Benini L. Xpipes; A Network-on-Chip Architecture for Gigascale Systems-on-Chip. IEEE Circuits and Systems Magazine, 2004(4):18~31
- 12 Wang H, Zhu X, Peh L-S, et al. Orion: A Power-Performance Simulator for Interconnection Networks. In: ACM/IEEE MICRO, November 2002, p12

(下转第 31 页)

益广泛的关注。本文提出的 CHNP 协议针对工业应用需求和射频环境特点进行优化,仿真结果表明该协议能够大幅提升网络性能,并具有更好的抗干扰能力。

目前,基于 CC2420 射频芯片的 CHNP 协议实验平台正在开发中。实验平台完成后,我们将在真实的工业射频环境中对协议性能进行综合评估,并根据评估结果对协议进行进一步改进和完善。

### 参考文献

- 1 Tubashat M, Madria S. Sensor networks: an overview. *IEEE Potentials*, April 2003, 22(2):20~23
- 2 Tilak S, Abu-gazaleh N B, Heinzelman W. A Taxonomy of Wireless Micro-sensor Network Models. *ACM SIGMOBILE Mobile Computing and Communications Review*, April 2002, 6(2): 28~36
- 3 Werb J, Sexton D. Improved quality of service in IEEE 802. 15. 4. In: *International Workshop on Wireless and Industrial Automation*, San Francisco, California, March 7, 2005
- 4 Wu Shih-Lin, Lin Chih-Yu, Tseng Yu-Chee, et al. A new multi-channel MAC protocol with on demand channel assignment for mobile ad-hoc networks. In: *Proc. International Symposium on Parallel Architectures, Algorithms and Networks (ISPAN '00)*, Dallas/Richardson, Texas, USA, December 2000. 232
- 5 Wu Shih-Lin, Lin Chih-Yu, Tseng Yu-Chee, et al. A multi-channel MAC protocol with power control for multi-hop mobile ad-hoc Networks. *The Computer Journal*, 2002, 45(1):101~110
- 6 Hung Wing-Chung, Law K L E, Leon-Garcia A. A dynamic multi-channel MAC for ad-hoc LAN. In: *Proc. 21st Biennial Symposium on Communications*, Kingston, Canada, June 2002. 31~35
- 7 So Jungmin, Vaidya N. Multi-channel MAC for ad hoc networks, handling multi-channel hidden terminals using a single transceiver. In: *ACM International Symposium on Mobile Ad Hoc Networking and Computing (MobiHoc)*, May 2004
- 8 Chen J, Sheu S, Yang C. A new multichannel access protocol for IEEE 802. 11 ad hoc wireless LANs. In: *Proc. of PIMRC Vol 3*, 2003. 2291~2296
- 9 Tzamaloukas A, Garcia-Luna-Aceves J J. Channel-hopping multiple access. In: *Proc. IEEE ICC 2000*, New Orleans, Louisiana, June 2000
- 10 Tzamaloukas A, Garcia-Luna-Aceves J. Channel-hopping multiple access with packet trains for ad hoc networks. In: *Proc. IEEE Device Multimedia Communications (MoMuC'00)*, Tokyo, 2000
- 11 Ye Wei, Heidemann J. Ultra-low duty cycle mac with scheduled channel polling. [Technical Report]. ISI-TR-604. USC/ISI, July 2005
- 12 Vollset E, Ezhilchelvan P. A survey of reliable broadcast protocols for mobile ad-hoc networks. [Technical Report]. CS-TR-792. University of Newcastle upon Tyne, 2003
- 13 Tourrilhes J. Robust broadcast: Improving the reliability of broadcast transmissions on CSMA/CA. In: *IEEE PIMRC*, 1998
- 14 Woo A, Culler D. Evaluation of efficient link reliability estimation for low-power wireless sensor networks. [Technical Report]. UCBCSD-03-1270, U. C. Berkeley Computer Science Division, 2003
- (上接第 15 页)
- 13 Bainbridge W J, Furber S B. CHAIN: A Delay Insensitive CHIP Area INterconnect. *IEEE Micro special issue on Design and Test of System on Chip*, 2002, 142(4):16~23
- 14 Goossens K, Dielissen J, R<sup>V</sup> adulescu A. Aethereal Network on Chip: Concepts, Architectures, and Implementations. *IEEE Design & Test of Computers*, 2005, 414~421
- 15 Millberg M, Nilsson E, Thid R, et al. The Nostrum backbone - a communication protocol stack for networks on chip. In: *Proceedings of the VLSI Design Conference*, Mumbai, India, January 2004. 693~696
- 16 <http://www.st.com/>
- 17 Adriahtenaina A, Charlery H, Greiner A, et al. SPIN: A Scalable, Packet Switched, On-Chip Micro-Network. In: *Proceedings of the Conference on Design, Automation and Test in Europe: Designers' Forum*, March 03-07, 2003. 20070~20073
- 18 Saastamoinen I, Alho M, Pirttimäki J, et al. Proteo interconnect IPs for networks-on-chip. In: *Proc. IP Based SoC Design*, Grenoble, France, 2002. 6p
- 19 Dally W J, Towles B. *Principles and Practices of Interconnection Networks*. Morgan Kaufmann, 2004
- 20 Bjerregaard T, Mahadevan S. A survey of research and practices of network-on-chip. *ACM Computing Surveys*, 2006, 38(1):1~54
- 21 Dehyadgari M, Nickray M, Afzali-kusha A, et al. A New Protocol Stack Model for Network on Chip. In: *Proceedings of the 2006 Emerging VLSI Technologies and Architectures (ISVLSI'06)*, IEEE, 2006. p2
- 22 Kumar S, Jantsch A, Soininen J-P, et al. A network on chip architecture and design methodology. In: *Proc. Int's Symp. VLSI (ISVLSI)*, 2002. 117~124
- 23 Theis T N. The future of interconnection technology. *IBM Journal of Research and Development*, May 2000, 44(3):379~390
- 24 Plana L A, Bainbridge W J, Furber S B. The design and test of a smartcard chip using a CHAIN self-timed network-on-chip. In: *Proceedings of the Design, Automation and Test in Europe Conference and Exhibition*, volume 3. February 2004. 274~279
- 25 Bolotin E, Cidon I, Ginosar R, et al. QNoC: QoS architecture and design process for network on chip. *Journal of Systems Architecture*, special issue on Network on Chip, February 2004, 50: 105~128
- 26 Ahonen T, Tortosa D S, Nurmi J. Topology optimization for application-specific networks-on-chip. In: *Proc. 6th International Workshop on System Level Interconnect Prediction*, Paris, France, 2004. p8
- 27 Pande P P, Grecu C, Ivanov A, et al. Switch-based interconnect architecture for future systems on chip. In: *Proc. SPIE, VLSI Circuits and Systems*, vol 5117, 2003. 228~237
- 28 Dehyadgari M, Nickray M, Afzali-kusha A, et al. Evaluation of Pseudo Adaptive XY Routing Using an Object Oriented Model for NOC. In: *The 17th International Conference on Microelectronics*, 13 - 15 December 2005. 204~208
- 29 Hu J, Marculescu R. DyAD - smart routing for networks-on-chip. In: *Proc. 41'st ACM/IEEE Design Automation Conf*, San Diego, CA, 2004. 260~263
- 30 Guerrier P, Greiner A. A scalable architecture for system-on-chip interconnections. In: *Proc. Sophia Antipolis Forum on MicroElectronics (SAME)*, Sophia Antipolis, France, 1999. 90~93
- 31 Ye T, Benini L, De Micheli G. Packetization and routing analysis of on-chip multiprocessor networks. *Journal of Systems Architecture*, 2004, 50 (2-3):81~104
- 32 Taylor M B, Kim J, Miller J, et al. The Raw Microprocessor: A Computational Fabric for Software Circuits and General-Purpose Programs. *IEEE Micro*, Mar 2002. 25~35
- 33 Wiklund D, Liu Dake. SoCBUS: Switched Network on Chip for Hard Real Time Embedded Systems. In: *Proceedings of the International Parallel and Distributed Processing Symposium (IPDPS'03)*, IEEE, 2003. p8
- 34 Marescaux T, Rangevall A, Nollet V, et al. Distributed congestion control for packet switched networks on chip. In: *Parallel Computing Conference (ParCo'05)*, Proceedings, Malaga, Spain, September 2005. 760~768
- 35 Lu Zhonghai, Thid R, Millberg M, et al. NNSE: Nostrum network-on-chip simulation environment. In: *Swedish System-on-Chip Conference (SSoCC'03)*, April 2005. 1~4
- 36 Bjerregaard T. The MANGO Clockless Network-on-Chip: Concepts and Implementation. [PhD thesis]. Technical University of Denmark, 2005
- 37 Ykman-Couvreur Ch, Nollet V, Marescaux Th, et al. Pareto-based application specification for MP-SoC customized run-time management. In: *Proceedings of the International Conference on Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS)*, Samos, Greece, July 2006. 78~84