

一种基于海明排序进行无关位填充的低功耗测试向量优化方法

谈恩民 范玉祥

(桂林电子科技大学电子工程与自动化学院 广西 桂林 541004)

摘 要 集成电路在测试过程中的测试功耗通常会远远高于集成电路正常工作时的功耗,而过高的测试功耗可能会造成电路损坏或是芯片烧毁。为了降低测试功耗,提出了一种基于海明排序进行无关位填充的低功耗测试向量优化方法。首先,对测试集中的测试向量按照无关位含量由多到少进行排序;然后,将测试向量按照海明距离由小到大进行排序;最后,对排序后的测试集进行无关位的合理填充,使得测试向量之间的相关性增大,从而降低测试功耗。以 ISCAS'85 国际标准电路作为测试对象进行,结果表明,相比于使用优化前的测试集,运用优化后的测试集明显降低了测试功耗。

关键词 测试向量,海明距离,无关位,低功耗设计

中图法分类号 TN431 **文献标识码** A **DOI** 10.11896/j.issn.1002-137X.2018.02.043

Optimization Method of Low Power Test Vectors Based on Hamming Sorting for X Bits Padding

TAN En-min FAN Yu-xiang

(School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin, Guangxi 541004, China)

Abstract The test power consumption in the process of integrated circuit testing is usually much higher than the normal power consumption of the integrated circuit. However, the high test power consumption may cause the circuit to be damaged or the chip to be burned. An optimization method of low power test vectors based on Hamming sorting for X bits padding was proposed to reduce the test power consumption. Firstly, the test vectors in the test set are ranged from high X bits to low X bits. Then, the test vectors are sorted in ascending order according to the Hamming distance. Finally, the test power consumption is reduced by padding X bits for the sorted test set reasonably, which increases the correlation between test vectors. The ISCAS'85 standard circuit was used as the test object. The experimental results show that compared with using the non-optimized test set, the test power consumption is reduced obviously with the optimized test set.

Keywords Test vector, Hamming distance, X bits, Low power design

科学的进步催生了深亚微米工艺^[1],大量电子元件被集成到一块电路板上,芯片的功能越来越强大,数字电路的集成度变得越来越高,整个电路的复杂度也变得越来越高^[2-3],这使得电路的测试越来越困难。在测试模式下,电路的功耗会比正常工作情况下的功耗高得多,过高的功耗可能会导致电路元件受损,或者直接损坏。因此,降低测试过程中的测试功耗变得越来越重要。

文献[4]提出了一种片上的低功耗测试,该设计主要通过测试向量进行优化,来降低测试过程中的扫描移入功耗;文献[5]提出一种可配置 LFSR 的低功耗确定性矢量生成技术,其主要是在原始的测试向量对之间插入单一翻转位,通过可配置的 LFSR 来生成该向量;文献[6]提出了一种通过混合相容数据块进行测试向量编码的方案,从而达到降低测试功耗的目的;文献[7]提出了一种改变 LFSR 时钟树的方法,其将

正常时钟的 LFSR 分成了奇时钟 LFSR 和偶时钟 LFSR,因此,在系统的时钟下,只有一半的测试向量会产生位翻转,从而降低了测试功耗。

本文提出了一种基于海明排序进行无关位填充的方法。首先对测试向量进行无关位排序,将测试向量按无关位含量由多至少依次排序;然后进行海明距离排序,依次求解所有测试向量与无关位含量最多的测试向量的海明距离,再按照海明距离由小到大进行排序;最后对排序后的测试向量进行合理的无关位填充,增加测试向量对之间的相关性,从而减少电路节点的跳变,以此来降低测试过程的功耗。

1 测试功耗模型

集成电路中的测试功耗主要可以分为动态功耗和静态功耗两种^[8]。动态功耗主要由短路电流和充、放电的负载电容

到稿日期:2017-05-08 返修日期:2017-07-26

谈恩民(1966—),男,教授,主要研究方向为集成电路测试技术、计算机辅助测试,E-mail:tanen-min@126.com(通信作者);范玉祥(1992—),男,硕士生,主要研究方向为计算机辅助测试,E-mail:fanyuxiang168168@163.com。

产生。集成电路中漏电流的产生造成了静态功耗,但是 CMOS 电路的结构特性使得产生的漏电流不是测试功耗的主要来源。通过观察可以发现,在集成电路的测试功耗问题中,动态功耗占据了测试总功耗的 90%。由此可以得到,要降低测试功耗,主要是要降低动态功耗^[9]。

运用以下公式可以得到被测电路中某一节点的动态功耗^[10]:

$$E_i = \frac{1}{2} S_i \times F_i \times C_0 \times V_{DD}^2$$

(1)

其中, S_i 表示节点的翻转次数, F_i 表示此节点的扇出数, C_0 表示电路负载电容, V_{DD} 表示电源电压。

假如将向量对 $TP_k = (V_{k-1}, V_k)$ 输入被测电路,则可以计算输入该测试向量时的测试功耗:

$$E_{vk} = \frac{1}{2} \sum_i S(i, k) \times F_i \times C_0 \times V_{DD}^2$$

(2)

其中, i 概括了电路中全部的节点, $S(i, k)$ 表示节点 i 跳变的次数。

如果用字母 T 表示电路的时钟周期,用 $E_{inst}(V_k)$ 表示电路的瞬时尚耗,那么可以用式(3)计算瞬时尚耗:

$$E_{inst}(V_k) = \frac{E_{vk}}{T}$$

(3)

用 E_{total} 表示测试总功耗,则有:

$$E_{total} = \frac{1}{2} \sum_k \sum_i S(i, k) \times F_i \times C_0 \times V_{DD}^2$$

(4)

用 E_{peak} 表示峰值功耗,则有:

$$E_{peak} = \max[E_{inst}(V_k)]$$

(5)

对于长度为 L 的测试向量,其用 E_{ave} 表示平均功耗,则有:

$$E_{ave} = \frac{E_{total}}{L \times T}$$

(6)

可以从上述的一系列公式分析得到,在一个集成电路中,电源电压 V_{DD} 是定值,负载电容 C_0 也是定值,只有 $S_i \times F_i$ 是可以人为改变的因素。因此,为了方便以后的研究,在功耗的研究上,将 $S_i \times F_i$ 单独定义为被测电路中节点 i 的权翻转活动(WSA),并将 WSA 作为测试功耗的衡量标准。假如载入被测电路的测试向量为 $TP_k = (V_1, V_2, \dots, V_n), k = 1, 2, \dots, n-1$,那么测试系统的总功耗、平均功耗和峰值功耗用 WSA 表示如下。

测试总功耗为:

$$WSA_{total} = \sum_k \sum_i S(i, k) F_i$$

(7)

测试平均功耗为:

$$WSA_{ave} = \frac{1}{n-1} \sum_k \sum_i S(i, k) F_i$$

(8)

测试峰值功耗为:

$$WSA_{peak} = \max[WSA]$$

(9)

2 基于海明排序进行无关位填充的低功耗测试向量优化法

组合电路的测试功耗问题一直是国内外学者的研究热点。目前有很多种低功耗的测试方案,大致可以分为两种:1)通过优化 ATPG 结构来降低被测电路节点的跳变,从而达

到低功耗测试目的;2)通过对测试向量进行优化,例如对测试向量重排序、插入测试向量等方法,来增加测试向量间的相关性,减少被测电路的节点跳变次数,最终降低测试功耗。

2.1 海明距离

海明距离是信息编码中的一个学术名词,它是指两串二进制数据中,其对应编码位相异的位数的和。表 1 列出了海明距离中的相容和相异关系。

表 1 海明距离中的容、异关系

Table 1 Compatibility and repulsion of Hamming distance

类型	1	0	X
1	容	异	容
0	异	容	容
X	容	容	容

例如,有两串二进制码,分别是 111000 和 011011。通过对比发现,两串数据的第 1 位、第 5 位、第 6 位相异,其他位相容,共有 3 位相异,因此这两串二进制代码的海明距离为 3。

2.2 无关位的搜寻

测试集中的无关位与自动测试向量的生成息息相关,生成的测试向量有时含有关位,有时无关位含量很少,或者根本不含无关位。

例如,在伪随机测试方法中,测试向量生成器特殊的结构,使得其生成的测试向量的随机性特别高,因此这种测试方法生成的测试向量中几乎不含无关位。又例如,在确定性测试这种测试方案中,用到的测试向量都是用 ATPG 生成的,其会针对每次测试的不同电路对应生成不同的测试向量,该测试只用于这次测试的电路,故障覆盖率极高,此时生成的测试向量会含有极多的无关位。

即使这种确定性测试中生成的测试集含有大量的无关位,也需要将无关位搜寻出来。文献[11]中提及了一种在确定性测试集中寻找无关位的方法。现采用一个简单的 C1 电路(见图 1)来举例说明如何在测试集中搜寻无关位。

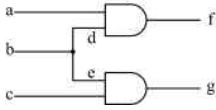


图 1 C1 电路

Fig. 1 Circuit C1

表 2 列出了 C1 电路的一个测试向量集 $V_1 = \{v_1, v_2, v_3, v_4\}$,以及该测试集能检测到的所有故障。很明显,该测试集未标出无关位 X,因此需要做无关位的搜寻工作。

表 2 C1 电路的测试向量集 V_1

Table 2 Test vector V_1 of circuit C1

	a	b	c	可检故障
v_1	1	1	0	$a; s-a-0; b; s-a-0; c; s-a-1; f; s-a-0$
v_2	1	0	1	$b; s-a-1; f; s-a-1; g; s-a-1$
v_3	0	1	0	$a; s-a-1; c; s-a-1; f; s-a-1; g; s-a-1$
v_4	0	1	1	$a; s-a-1; b; s-a-0; c; s-a-0; g; s-a-0$

观察表 1 发现,输入端 a 中 s-a-1 可以被 v_3 和 v_4 同时检测到,故将 v_1 的 a 输入端变为 X。如此替换之后,s-a-1 虽然

不能再被 v_1 检测到,但是依然可以被 v_3 检测。从整个测试集来看,这个测试集 V_1 仍然可以检测到 C1 电路中的故障 s-a-1。同理,可以将 v_1 中的 c 输入端变为 X。通过此方法变换测试集中的无关位将不影响测试集的故障覆盖率。表 3 与表 4 列出按此方法变换出的含无关位的测试集 V_2 和 V_3 。

表 3 C1 电路含无关位的测试集 V_2

Table 3 Test vector V_2 with X bits of circuit C1

	a	b	c	可检故障
v_1	1	1	X	a:s-a-0;b:s-a-0;f:s-a-0
v_2	1	0	1	b:s-a-1;f:s-a-1;g:s-a-1
v_3	0	1	0	a:s-a-1;c:s-a-1;f:s-a-1;g:s-a-1
v_4	X	1	1	b:s-a-0;c:s-a-0;g:s-a-0

表 4 C1 电路含无关位的测试集 V_3

Table 4 The test vector V_3 with X bits of circuit C1

	a	b	c	可检故障
v_1	1	1	X	a:s-a-0;b:s-a-0;f:s-a-0
v_2	1	0	1	b:s-a-1;f:s-a-1;g:s-a-1
v_3	X	1	0	c:s-a-1;g:s-a-1
v_4	0	1	1	a:s-a-1;b:s-a-0;c:s-a-0;g:s-a-0

本文所使用的无关位都是通过此方法搜寻得到的。

2.3 基于海明排序进行无关位填充的低功耗测试向量优化

2.3.1 测试向量的排序

对于将测试向量进行排序优化的操作,本文提出一种将测试向量中的无关位与测试向量间的海明距离相结合的排序方法,二者共同作用来优化测试向量,从而降低测试功耗。所提方法的流程图如图 2 所示。

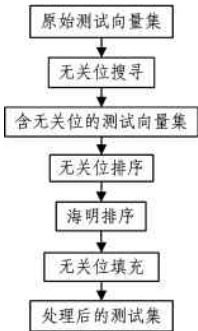


图 2 排序流程图

Fig. 2 Sorting procedure

从图 2 可知,本方法的大概步骤如下:首先,使用 Min-Test 产生原始测试测试集;其次,用第 2 节介绍的无关位搜寻方法搜寻原测试集中的无关位,得到含无关位的测试集;然后,进行无关位排序,将测试向量按照无关位含量由多到少排列;之后进行海明排序,具体是将无关位含量最多的那一组向量放在第一位,然后计算剩下的每一组向量与其之间的海明距离,再按照由小到大的顺序对海明距离排序,若海明距离相等,则无关位多的那一组测试向量在前;接着,对排序好的测试向量进行无关位填充;最后,得到优化处理后的测试集。

下面通过一个实例来说明该套排序方案。假设有一测试向量集 $V=\{V_1,V_2,V_3,V_4\}$,其中各组测试向量分别为:

$V_1:000X1$

$V_2:00100$

$V_3:XX010$

$V_4:1X1XX$

根据上述流程对测试集进行无关位排序,有:

$V_4:1X1XX$

$V_3:XX010$

$V_1:000X1$

$V_2:00100$

分别求出测试向量 V_3,V_4,V_1 与测试向量 V_2 的海明距离,并按海明距离从小到大排序,有:

$V_4:1X1XX$

$V_3:XX010$

$V_2:00100$

$V_1:000X1$

通过上述例子可以看出,测试集在经过第一次无关位排序后,无关位含量多的测试向量已经排在了前面,再经过海明排序后,相容性高的测试向量又被排在了前面。总体上看,通过这种方法排序处理后的测试向量集会将无关位多的、相容性高的测试向量排在前面。

2.3.2 无关位的填充

本节将介绍如何对排序优化后的测试向量进行合理的无关位填充,从而达到向量对之间相关性的最大化,降低被测电路的 WSA 值,最终降低电路的测试功耗。

对于无关位的填充规则,目前学术界乃至实际工程中都没有给出一个标准的填充规则。通过观察发现,对于无关位的填充,目前一般都是全 0 填充,或是全 1 填充;也有 EFDR 编码提出按照无关位两边的确定位来填充^[12-13]。具体做法是,假设无关位 X 左边的确定位长度大于 1,则无关位按左边的确定位值填充;若左边的确定位长度小于或等于 1,则按右边的确定位值进行无关位填充。例如,假设有含无关位的一组向量 000XXX1XXX0,则按 EFDR 编码中的无关位填充规则填充后的向量为:00000010000。

已有的几种填充方式都不能有效地增加测试向量间的相关性,因为这几种方法的提出都不是为了增加测试向量之间的相关性。例如,上面提到的 EFDR 编码里的无关位填充法,是为了编码压缩而提出的一种无关位的填充方式。若本文使用这些方案,显然无法达到预期效果。因此提出一种无关位的填充方法,按照无关位两边确定值的长度来确定无关位的值。具体做法是,假设无关位 X 左边确定值的长度大于右边确定值的长度,则无关位按左边的确定值填充;否则按右边的确定值填充;若两边长度相等,则随意按照左边值填充或者按照右边值填充。以 2.3.1 节中经过优化排序的测试向量集 $V=\{V_1,V_2,V_3,V_4\}$ 为例(由于本文是通过填充无关位来提高测试向量对之间的相关性,因此在填充时按列填充)进行说明。

有填充前测试集:

$V_4:1X1XX$

V_3 :XX010

V_2 :00100

V_1 :000X1

按照全 0 填充:

V_4 :10100

V_3 :00010

V_2 :00100

V_1 :00001

按照全 1 填充:

V_4 :11111

V_3 :11010

V_2 :00100

V_1 :00011

按照本文所提方法填充:

V_4 :10110

V_3 :00010

V_2 :00100

V_1 :00001

下面利用这 3 组填充后的测试集,以一个简单的 C17 电路来进行初步验证。图 3 给出了 C17 电路。

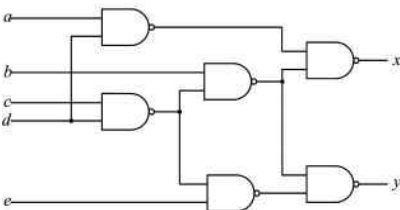


图 3 C17 电路
Fig. 3 Circuit C17

表 5 列出了验证结果,其中 Y 表示已排序,N 表示未排序。

表 5 不同方案的测试功耗

Table 5 Test power consumption of different schemes

	0 填充		1 填充		本文方案	
	N	Y	N	Y	N	Y
WSA_{total}	41	13	50	33	30	21
WSA_{ave}	10	3	12	8	7	5
WSA_{peak}	11	4	13	10	8	6
WSA_{peak}	11	4	13	10	8	6

从表 5 中可以看出,无论是哪一种无关位的填充方式,测试向量经过排序后再对无关位进行填充的测试功耗都比未经排序就对无关位进行填充的测试功耗低得多。再对比测试向量排序后的填充方式可以发现,无关位 0 填充法的表现较为突出,其平均功耗和峰值功耗均较低。

但是,本测试集只是为了讲解所提方案而举例,并不是 C17 电路的 MinTest 测试集,因此并不能说明无关位 0 填充就是最好的一种填充方案。具体的测试验证将在第 3 节给出。

3 实验结果及分析

本节将对本文方案进行测试验证。采用美国 Duke 大学

MinTest ATPG 生成的标准电路 MinTest 测试,在 Inter Core i5 2.66GHz CPU 个人计算机上进行。在微软公司开发的 Visual C++6.0 上编程,并在 ISCAS 国际标准电路中进行验证。

表 6 列出了本文方案与其他方案对部分标准电路验证的 WSA_{total} 值的对比,其中 Y 表示已排序,N 表示未排序。

表 6 各种方案的 WSA_{total} 对比

Table 6 WSA_{total} comparison of different schemes

电路名	0 填充	1 填充	本文方案	
			N	Y
C432	891	1080	702	405
C880	1136	1392	880	320
C1355	40320	37968	27384	5964
C1908	49926	49290	34980	9222
C3540	37800	40404	29484	8904
C6288	21600	21408	14412	5700

从表 6 中可以看出,本文方案具有明显的优势,排序后的测试总功耗相比于未排序的测试总功耗,优化效果极其明显。全 0 填充和全 1 填充这两种方案只计算了其测试向量通过无关位排序后进行 0 填充或者 1 填充的测试功率,用来与本文所提方案进行对比,并没有对其排序前的测试功耗进行计算。从表中的实验数据来看,本文所提方案比全 0 填充和全 1 填充的方案更贴近低功耗设计主题。

表 7 列出本文方案与其他方案对部分标准电路验证的 WSA_{ave} 值对比。

表 7 各种方案的 WSA_{ave} 对比

Table 7 WSA_{ave} comparison of different schemes

电路名	0 填充	1 填充	本文方案	
			N	Y
C432	33	40	26	15
C880	71	87	55	20
C1355	480	452	326	71
C1908	471	465	330	87
C3540	450	481	351	106
C6288	1800	1784	1201	475

从表 7 中可以看出,本文方案的平均功耗在排序后都有了明显的改善, WSA_{ave} 的降低率基本都维持在 70% 左右,唯有 C432 电路稍差,只有 42%。与全 0 填充和全 1 填充的方案相比,本方案具有相当大的优势, WSA_{ave} 的降低率最大,达到了 85%。

表 8 列出了本文方案与其他方案对部分标准电路验证的 WSA_{peak} 值对比。

表 8 各种方案的 WSA_{peak} 对比

Table 8 WSA_{peak} comparison of different schemes

电路名	0 填充	1 填充	本文方案	
			N	Y
C432	193	206	147	132
C880	165	158	201	171
C1355	274	311	226	206
C1908	425	413	444	422
C3540	843	1000	833	750
C6288	1712	1873	1432	1404

从表 8 中可以看出,各种方案对于峰值功耗的优化并不突出,这是因为对测试向量进行无关位填充已经可以很大程度地优化峰值功耗,因此表中的各种方案在峰值功耗的优化上并没有体现出太大的区别。另外,仔细观察可以发现,全 0 填充和全 1 填充这两种方案并没有明显地区分哪种方案更优,有时全 0 填充效果较优,有时全 1 填充效果较优。这是由于如果一味地将测试向量填充 0 或者填充 1,反而会适得其反。例如,存在测试向量对 1X1X1X 和 X1X1X1,如果对其全部填 0,反而会降低测试向量对之间的相关性,使得测试功耗不减反增。

综合 WSA_{total} , WSA_{avek} , WSA_{peak} 来看,本文所提方案对测试功耗的优化有显著的效果。

结束语 文中介绍了一种基于海明排序进行无关位填充的低功耗测试向量优化方法,主要通过对搜寻后含有无关位的 MinTest 测试集先进行无关位排序,按无关位由多到少依次向下排序;然后进行海明距离排序,将无关位含量最多的测试向量放在首位,再将剩下的向量依次与其求海明距离,并按海明距离由小到大排列,测试向量经过这两次排序后会将无关位多的、向量对之间相容性高的排在前面;最后对无关位进行相关赋值。注意,此方法未对测试集进行列变换,只是进行了行变换,这样的变换只是调换了测试向量先后载入被测电路的顺序,并不会影响测试集的故障覆盖率。

参 考 文 献

[1] CHEN T, YI X, ZHENG L Y, et al. Low Power Deterministic Test Scheme Based on Viterbi[J]. Journal of Computer-Aided Design and Computer Graphics, 2016, 28(5): 821-829. (in Chinese)
陈田, 易鑫, 郑浏畅, 等. 基于 Viterbi 的低功耗确定性测试方案[J]. 计算机辅助设计与图形学学报, 2016, 28(5): 821-829.

[2] ZHU M, YANG C L, KONG D J. Extraction and Optimization of Analog Circuit Built-in Self Test Fault Features[J]. Chinese Journal of Scientific Instrument, 2013, 34(1): 200-207. (in Chinese)
朱敏, 杨春玲, 孔德晶. 模拟电路内建自测试故障特征提取与优化[J]. 仪器仪表学报, 2013, 34(1): 200-207.

[3] WU G L, HU C, LI R. An Efficient BIST Scheme for ADC Testing[J]. Chinese Journal of Electron Devices, 2003, 26(2): 190-193. (in Chinese)
吴光林, 胡晨, 李锐. 一种有效的 ADC 内建自测试方案[J]. 电子器件, 2003, 26(2): 190-193.

[4] YUAN H, GUO K, SUN X, et al. A Power Efficient BIST TPG Method on Don't Care Bit Based 2-D Adjusting and Hamming Distance Based 2-D Reordering[J]. Journal of Electronic Testing, 2015, 31(1): 43-52.

[5] LI P, YAN X L. Low Power Deterministic Vectors Generation

Research Based on Configurable LFSR[J]. Microelectronics & Computer, 2013, 30(10): 144-148, 152. (in Chinese)
李鹏, 颜学龙. 基于可配置 LFSR 的低功耗确定性矢量生成技术的研究[J]. 微电子学与计算机, 2013, 30(10): 144-148, 152.

[6] SHANG J, ZHANG L. Test Data Compression Scheme Based on Compatible Data Block Coding [J]. Information Technology Journal, 2013, 12(1): 204-208.

[7] GIRARD P, GUILLER L, LANDRAULT C, et al. A modified clock scheme for a low power BIST test pattern generator[C]// Proceedings of the 19th on VLSI Test Symposium. 2001: 306-311.

[8] LUO Z Y, MIN Y H, YANG S Y. A Novel ATPG Approach to Maxmum Power Estimation of CMOS Circuits[J] Journal of Computer Research and Development, 2001, 38(12): 1418-1422. (in Chinese)
骆祖莹, 闵应骅, 杨士元. 一种新的 CMOS 电路最大功耗估计方法[J]. 计算机研究与发展, 2001, 38(12): 1418-1422.

[9] SONG H B, SHI Y H. Testing Techniques of Low Power BIST for VLSI[J]. Chinese Journal of Electron Devices, 2002, 25(1): 101-104. (in Chinese)
宋慧滨, 史又华. 面向低功耗 BIST 的 VLSI 可测性设计技术[J]. 电子器件, 2002, 25(1): 101-104.

[10] YAN X L, XIONG J C. A Variable-run-length Coding Compression Method of X-filling [J]. Microelectronics & Computer, 2015, 32(10): 134-136, 142. (in Chinese)
颜学龙, 熊杰超. 一种变游程编码的 X 位填充压缩方法[J]. 微电子学与计算机, 2015, 32(10): 134-136, 142.

[11] KAJIHARA S, MIYASE K. On identifying don't care inputs of test patterns for combinational circuits[C]// IEEE/ACM International Conference on Computer Aided Design. 2001: 364-369.

[12] CHANDRA A, CHAKRABARTY K. Low-power scan testing and test data compression for system-on-a-chip[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(5): 597-604.

[13] XU S Z, LIANG H G, GU W Y, et al. A Test Compression Method of Power Law Division Based on Dynamic Assignment of Don't Care Bits[J]. Journal of Computer Research and Development, 2010, 47(Suppl.): 181-184. (in Chinese)
徐三子, 梁华国, 顾婉玉, 等. 基于无关位动态赋值的幂次划分测试压缩方案[J]. 计算机研究与发展, 2010, 47(Suppl.): 181-184.

[14] WANG J J, WANG G L. Design and Implementation of Low-power Consumption Node in LR-WPAN [J]. Journal of Chongqing University of Technology (Natural Science), 2012, 26(12): 74-78. (in Chinese)
王俊杰, 王冠凌. LR-WPAN 低功耗节点设计与实现[J]. 重庆理工大学学报(自然科学), 2012, 26(12): 74-78.