

基于卡诺图的三变量可逆逻辑综合算法

朱皖宁^{1,2} 刘志昊²

(金陵科技学院软件工程学院 南京 211199)¹ (东南大学计算机科学与工程学院 南京 210096)²

摘要 提出了一种基于卡诺图的可逆逻辑综合算法,该算法可以快速地求解带垃圾位的可逆逻辑综合问题。大量特定的可逆逻辑门都不可避免地带有垃圾位,如果使用真值表、置换群等经典可逆逻辑综合算法求解这些带垃圾位的可逆逻辑门,则因无法获得全局状态而很难得到结果。根据卡诺图的特点,将可逆逻辑问题分解为多个变量分别求解,无需关心全局状态。提出的卡诺图可逆逻辑综合算法根据在卡诺图上的邻接性将 3 变量可逆逻辑问题划分为 5 个等价类;对每个等价类分别进行计算,在常数时间内解决了带垃圾位的可逆逻辑综合问题。

关键词 卡诺图,可逆逻辑综合,垃圾位,NCT 门库,扩展通用 TOFFLI 门

中图分类号 TP387, TN911.73 文献标识码 A

Karnaugh-based Reversible Logic Circuit Synthesis Algorithm for 3-bits

ZHU Wan-ning^{1,2} LIU Zhi-hao²

(School of Software Engineering, Jinling Institute of Technology, Nanjing 211199, China)¹

(School of Computer Science and Engineering, Southeast University, Nanjing 210096, China)²

Abstract This paper presented a new algorithm of reversible logic synthesis based on Karnaugh map. This algorithm can solve reversible logic synthesis with garbage bit very fast. Most of the specific reversible logic gates have some garbage bits. It is very difficult to synthesize the reversible logic circuit with garbage by using the classical algorithms which are true table algorithm, permutation group algorithm and etc. The problem is that it is hardly to get the overall situation which the classical algorithms must need. The algorithm proposed in this paper does not care the overall situation and synthesizes every output variable respectively based on the feature of Karnaugh map. The algorithm of reversible logic synthesis based on Karnaugh map divides all the three-bits-reversible-logic-circuits to five equivalence classes based on contiguity of Karnaugh map. Then the algorithm calculates every equivalence class respectively and synthesizes the reversible logic circuit with garbage bits in constant time.

Keywords Karnaugh map, Reversible logic synthesis, Garbage bit, NCT gate library, EGT

1 简介

不可逆逻辑电路导致信息损失,信息损失导致能量散发。在 1960 年早期,根据 Landauer 的研究^[1],每个比特的信息量损失会造成至少 $KT \ln 2$ 焦耳的能量散发。超大规模集成电路若继续采用不可逆电路设计,其芯片能量散发导致的片体发热将会限制其集成度的进一步提高。Bennett 于 1973 年证明了必须使用可逆逻辑电路才能避免这 $KT \ln 2$ 焦耳的能量散发^[2]。理论上,使用可逆逻辑电路可以实现低热量的大规模集成电路。至今可逆逻辑电路已经普遍运用于光计算、纳米计算和量子计算等多个领域,因此对可逆逻辑综合的研究至关重要。

若一个函数的输入和输出成双射,那么该函数可以称为可逆函数,反之此函数不可逆。若一个逻辑门的输入和输出

成双射,则称该逻辑门为可逆门。用若干个可逆门级联而成的逻辑电路称为可逆逻辑电路。

当前可逆逻辑综合有两个主要的研究方向:

(1)用可逆门在逻辑层面上实现某个输入幅度下的所有可逆函数。

(2)用可逆门在逻辑层面上构造特定的函数,包括带垃圾位的可逆函数。

对于第一个研究方向,目前已有较多研究成果,包括根据真值表直接求解法、置换群法、邻接矩阵法、模板法和 RM 展开式法等^[3-10]。其主要的研究目标是用最少的代价综合任意的可逆函数,但是最优性的要求导致算法只能在低量子比特数时才能有效率地求解。对于第二个研究方向,自 1985 年 Asher Peres 发现了 Peres 门后就开始有大量学者进行研究^[11]。从最早研究单一的新型可逆门开始,已过渡到研究特

本文受金陵科技学院高层次人才科研启动基金:基于量子算法的 Web 用户行为分析与研究(jit-b-201624),南京信息工程大学 PAPD 和 CICAET:基于信息理论的量子密码协议设计与分析资助。

朱皖宁(1983-),男,博士,主要研究方向为量子计算与量子可逆逻辑综合,E-mail:granny025@163.com;刘志昊(1983-),男,博士,主要研究方向为量子计算与量子信息安全,E-mail:granny025@163.com。

定函数的可逆逻辑电路。某些可逆函数只要求某个特定的输出,其他的输出称为垃圾位,例如加法电路、乘法电路、比较电路、排序电路等^[12-18]。这些特定函数大多数都是带垃圾位的可逆函数,因此如何用可逆门来综合带垃圾位的可逆函数就成为研究重点之一。

对于真值表、置换群和 RM 展开式法等可逆逻辑综合算法,必须先获得可逆函数的全局状态,才可以进行运算。但是带垃圾位的可逆函数的全局状态难以获得,这是因为辅助变量可以有多种取值,即对应着多种可逆函数。因此探寻新的可逆逻辑综合解法势在必行。基于卡诺图的可逆逻辑算法不从全局状态出发,每个输出变量产生一张卡诺图,从而可以比较容易地综合带垃圾位的可逆函数。

本文提出了一种新的算法,即利用卡诺图描述问题,根据卡诺图的邻接性将问题划分为若干个等价类,将可逆门的作用表示为卡诺图上邻接最小项的移动,对带垃圾位的三变量电路进行可逆逻辑综合。

2 背景知识

2.1 NCT 门库

当若干个可逆门可以综合任意一个可逆函数时,则称这若干个门为一个门库。NCT 门库包含 NOT 门、CNOT 门和 TOFFLI 门。为简便表示,设 NOT 门为 x_1 , CNOT 门为 x_2^x , TOFFLI 门为 x_3^x ,其中上标表示控制端,下标表示受控端。变量 $x, y, z, (x, y, z \in \{0, 1\})$ 作用于以上 3 个门的结果如下:

$$\begin{aligned} x &\xrightarrow{x} 1 & x \\ x &\xrightarrow{y} y & x \\ x &\xrightarrow{yz} yz & x \end{aligned} \quad (1)$$

2.2 扩展通用 TOFFLI 门

在 TOFFLI 门的基础上增加控制端,当多个控制端同时为真时,受控端才发生翻转运算,如式(2)所示。将这种多控制端的 TOFFLI 门称为通用 TOFFLI 门。特别地, CNOT 门也是一种只有一个控制端的通用 TOFFLI 门。

$$x_n \xrightarrow{x_1^x \dots x_{n-1}^x} x_1 x_2 \dots x_{n-1} x_n \quad (2)$$

在 TOFFLI 门的控制端左右两侧添加非门以后,可以产生一个新的可逆门,如式(3)所示。这个可逆门的特点是当控制端为假时,受控端才发生翻转运算,将这种可逆门称为扩展 TOFFLI 门。在本文提出的 3 变量可逆逻辑卡诺图算法中,将使用扩展 TOFFLI 门来进行可逆逻辑综合。

$$x \xrightarrow{\bar{y}} y \quad x \quad (3)$$

将扩展 TOFFLI 门和通用 TOFFLI 门相结合,称为扩展通用 TOFFLI 门(EGT 门)。EGT 门在综合多变量的可逆逻辑问题时可以以一种简单清晰的思路来解决问题。

2.3 卡诺图

卡诺图是逻辑函数的一种图形表示。将逻辑函数的最小项表达式中的各最小项相应填入一个方格图内,此方格图称为卡诺图。卡诺图的构造特点使其具有一个重要性质:可以

从图形上直观地找出相邻最小项。两个相邻最小项可以合并为一个项并消去一个变量。用卡诺图来表达可逆逻辑具有真值表不具备的优势:1)直观,整个可逆逻辑的最小项一目了然;2)邻接性,卡诺图中每两个最小项都是邻接项,在进行可逆逻辑综合时这是非常有用的属性;3)可化简性,可以很容易地利用卡诺圈将 2^n 个最小项组合为一个项。

3 基于卡诺图的可逆逻辑综合算法

3.1 NCT 门库在卡诺图上的作用

当可逆门对电路产生作用时,卡诺图也会随之发生改变。本小节将介绍可逆门作用时卡诺图将如何进行变化。

以对 b 做 NOT 操作为例,全部的最小项变换公式为:

$$\begin{aligned} \bar{a}\bar{b}c &\xrightarrow{b} \bar{a}bc & \bar{a}bc &\xrightarrow{b} \bar{a}\bar{b}c \\ a\bar{b}c &\xrightarrow{b} ab\bar{c} & ab\bar{c} &\xrightarrow{b} a\bar{b}c \\ \bar{a}b\bar{c} &\xrightarrow{b} \bar{a}bc & \bar{a}bc &\xrightarrow{b} \bar{a}b\bar{c} \\ a\bar{b}\bar{c} &\xrightarrow{b} ab\bar{c} & ab\bar{c} &\xrightarrow{b} a\bar{b}\bar{c} \end{aligned} \quad (4)$$

在卡诺图中表示以上变换后会产生如图 1 所示的效果。

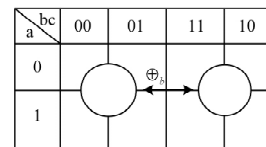


图 1 NOT 门在卡诺图上的表示

如图 1 所示,当电路经过一个 NOT 门 b 时,在卡诺图中 b 为 0 的元素会与 b 为 1 的元素进行交换。在卡诺图上的表现形式是将第一列和第四列元素及第二列和第三列元素交换。类似地,对 a 做 NOT 操作时会将第一行和第二行元素交换。对 c 做 NOT 操作时会将第一列和第二列元素及第三列和第四列元素交换。

当经过 CNOT 门时,以 a 为例,全部的最小项变换公式为:

$$\begin{aligned} abc &\xrightarrow{a} \bar{a}bc & \bar{a}bc &\xrightarrow{a} abc \\ \bar{a}bc &\xrightarrow{a} abc & abc &\xrightarrow{a} \bar{a}bc \\ a\bar{b}c &\xrightarrow{a} a\bar{b}c & a\bar{b}c &\xrightarrow{a} a\bar{b}c \\ \bar{a}\bar{b}c &\xrightarrow{a} \bar{a}\bar{b}c & \bar{a}\bar{b}c &\xrightarrow{a} \bar{a}\bar{b}c \end{aligned} \quad (5)$$

在卡诺图中表示以上变换后会产生如图 2 所示的效果。

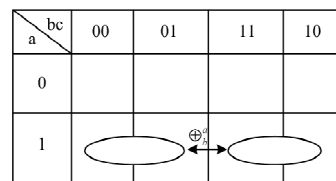


图 2 CNOT 门在卡诺图上的表示

如图 2 所示,当电路经过一个 CNOT 门 a 时,在卡诺图中的 a 为 1 的元素中, b 为 0 的元素会与 b 为 1 的元素进行交换。在卡诺图上的表现形式是在第二行控制端 a 为 1 的格子中,将第二格和第三格元素及第一格和第四格元素进行交换。可以明显看出,增加一个控制端后,在卡诺图上的变换方式就

是按照控制端对图 1 中的变换方式取子集。如果使用扩展 TOFFLI 门 \bar{k} , 则是对第一行的格子进行交换。

$$\begin{aligned}
 abc &\xrightarrow{\bar{a}} \bar{a}bc & abc &\xrightarrow{\bar{b}} a\bar{b}c \\
 \bar{a}bc &\xrightarrow{\bar{a}} \bar{a}bc & \bar{a}bc &\xrightarrow{\bar{b}} a\bar{b}c \\
 \bar{a}bc &\xrightarrow{\bar{a}} \bar{a}bc & \bar{a}bc &\xrightarrow{\bar{c}} \bar{a}bc \\
 \bar{a}bc &\xrightarrow{\bar{a}} \bar{a}bc & \bar{a}bc &\xrightarrow{\bar{c}} \bar{a}bc
 \end{aligned}
 \tag{6}$$

在卡诺图中表示以上变换后会产生如图 3 所示的效果。

bc \ a	00	01	11	10
0				
1		⊕	⊕	

图 3 TOFFLI 门在卡诺图上的表示

如图 3 所示, 当电路经过一个 TOFFLI 门时, 在卡诺图中只有两个元素进行交换, 即两个控制变量都为 1 的两个元素进行交换。可以明显看出, 其在图 2 的基础上又取了交换的子集。由此可以推断, 通用 TOFFLI 门作用在卡诺图上的结果是取比其少一个控制端 k 的通用 TOFFLI 门在 k 成立时的交换子集。因此当在对超过 3 个变量的可逆逻辑电路使用 EGT 门库来进行综合时, 依然可以很容易地将 EGT 门转化为卡诺图上的变换。

3.2 卡诺图的邻接性

若要将一个 3 变量可逆逻辑综合问题转换成卡诺图来表示, 则需先将每个输出变量变成一个卡诺图。在每张卡诺图中根据析构范式将成真的最小项在相应的格子中填 1, 由于整个函数可逆, 因此在每张卡诺图中必然都只填写了一半的格子, 对于 3 变量的问题来说, 每张卡诺图填写 4 个格子。而可逆逻辑综合的目标就是将这些混乱的格子组合成某个变量的 4 项卡诺圈。只需要根据 3.1 小节中介绍的各种变换规则来变换卡诺图, 将混乱的格子归为一个 4 项卡诺圈, 再将这些变换过程转换成可逆门即可完成可逆逻辑综合。

根据卡诺图的邻接性, 3 变量的可逆逻辑综合问题可以划分成 5 个等价类: 1) 所有最小项都不邻接; 2) 两个不相邻的二项卡诺圈; 3) 4 个最小项都相邻, 但是无法组成一个 4 项卡诺圈; 4) 3 个最小项相邻, 另外一个最小项孤立; 5) 4 项卡诺圈。

对于相同的邻接性都可以使用相同的移动方法, 因此一共只需要 5 种移动流程即可解决 3 变量的可逆逻辑综合问题。

3.3 基于卡诺图的可逆逻辑综合算法

算法 1 基于卡诺图的可逆逻辑综合算法

输入: 需要进行可逆逻辑综合的真值表

输出: 一组可逆门序列

假设目标 4 项圈为 x , 其他为 y 和 z

Step 1 当处于状态 1 时: 经过两个 CNOT 门 $\frac{y}{z} \frac{z}{x}$ 得到结果。

Step 2 当处于状态 2 时:

- 2.1. 若其中一个 2 项圈就在目标 4 项圈中, 用目标 4 项圈减去这个 2 项圈得到新的 2 项圈, 再将它与另外一个 2 项圈组合成新 4 项圈 w 。经过一个 CNOT 门 $\frac{w}{x}$ 得到结果。
- 2.2. 若两个 2 项圈都不在目标 4 项圈中, 经过一个 CNOT 门 $\frac{x}{y}$ 转

到 Step 1。

Step 3 当处于状态 3 时:

- 3.1. 若其中 3 个最小项都在目标 4 项卡诺圈中, 另外有两个可以覆盖 3 项的最大覆盖集, 则经过一个 CNOT 门 $\frac{x}{y} \frac{x}{z}$, 转到 Step 4。
- 3.2. 若其中 3 个最小项都在目标 4 项卡诺圈中, 另外只有一个可以覆盖 3 项的最大覆盖集 w , 则取另外一个最大覆盖集 4 项卡诺圈 w 。若 $w \notin \{y, z\}$, 那么先经过一个非门 \bar{w} , 再经过一个 CNOT 门 $\frac{x}{w}$, 转到 Step 4。
- 3.3. 若只有 2 个最小项在目标 4 项卡诺圈中, 取两个最大覆盖集, 设其中一个为 w , 则经过一个 CNOT 门 $\frac{w}{x}$, 转到 Step 3。
- 3.4. 若只有 1 个最小项在目标 4 项卡诺圈中, 做一个非门 \bar{x} 转到 Step 3。

Step 4 当处于状态 4 时: 取包含 3 个最小项的 4 项卡诺圈, 用 4 项卡诺圈减去 3 个最小项得到最小项, 取此最小项和孤立最小项所包含值相同的变量 x 和 y , 不同的则为 z , 对孤立项做 $\frac{xy}{z}$ 得到 4 项圈, 转到 step 5。

Step 5 当处于状态 5 时: 将当前 4 项圈设为 y , 目标 4 项圈设为 x , 若 $y = \bar{x}$, 则经过非门 \bar{x} , 否则经过两个 CNOT 门 $\frac{x}{y} \frac{y}{x}$ 得到结果。

3.4 算法分析

证明: 3.3 节所述算法可以用不超过 5 次卡诺图判断得到结果。

当处于 Step1, Step2. 1, Step5 时, 可以通过一步得到结果, 即只需要一次卡诺图判断。

当处于 Step2. 2, Step4 时, 可以通过一步到达上述 3 步骤之一, 即只需要两次卡诺图判断。

当处于 Step3. 1 时, 最小项的排列将会形成如图 4 所示的形式。因为每个最大覆盖集都可以包含 3 个最小项, 那么必然有一个最小项是 3 个覆盖集都包含的, 同时其他 3 个最小项分别是某个覆盖集不能包含的, 并且所有最小项是邻接关系, 可以得出结论: 最小项排列必然是图 4 的形式。

abc \	00	01	11	10
0			⊙	⊙
1	⊙	⊙	⊙	⊙

图 4 Step3.1 卡诺图

经过 $\frac{x}{y} \frac{x}{z}$ 后, 根据式(5)可知, 被 x 包含的 3 个最小项除了 x 值不变外, 其他值都取反。不在 x 中的最小项的值不变, 由于此最小项的邻接项在 x 内并且除了 x 其他值都取反, 必然无法邻接(3 个值中必须有 2 个值相同才可以邻接)。因此转到 Step4, 即只需要 3 次卡诺图判断。

当处于 Step3. 2 时, 不在 x 中的最小项与在 x 中邻接的最小项必然同时在 w 中。反证法: 如果不是, 那么不在 x 中的最小项就必须与另外两个 x 中的最小项邻接, 同时又不在于 w 和 x 以外的覆盖集中, 因此最小项必然在 x 中, 从而产生了悖论。经过 $\frac{x}{w}$ 后, 不在 x 中的最小项不变, 而与之邻接的最小项则移走, 因此变成第四种情况, 转到 Step4, 即只需要 4 次卡诺图判断。

当处于 Step3. 3 时, 由于只有两项在 x 中, 又由于全部邻

接,容易知道必然有其他两个最大覆盖集可以覆盖 3 个最小项(因为不可能只有一个最大覆盖集可以覆盖 3 个最小项)。当经过了 w 以后,不在 w 中的那个最小项不动,其他 3 个 x 值取反,这样就会有 3 个最大覆盖集可以覆盖 3 个最小项。此时有两种可能,如果 w 和 x 的交集有两个最小项,则经过变换后有 1 个最小项在 x 中,否则有 3 个在 x 中。前面的情况转到 Step3.4,即经过 5 次卡诺图判断;后面的情况转到 Step3.1,即经过 4 次卡诺图判断。

当处于 Step3.4 时,由于只有一个最小项在目标 4 项卡诺圈中,说明此时 4 个最小项中有 3 个含有 \bar{x} 且 1 个含有 x ,因此根据式(4)可知经过 \bar{x} 后,4 个最小项将含有 1 个 \bar{x} 和 3 个 x ,即跳转到 Step3.1,共需要 4 次卡诺图判断。

在此前的研究中,时间复杂度是与变量数大小相关的多项式复杂度解,而本算法给出的为常数解,因此大大提高了计算效率。下面给出一个实例,用本文介绍的算法进行求解。

采用文献[3]中的例题:表 1 是一个需要进行可逆逻辑综合的电路的真值表,左边变量 a, b, c 为输入的值,右边变量 a_0, b_0, c_0 为输出的值。先根据真值表的 3 个输出绘制卡诺图。

表 1 例题的真值表

i	c	b	a	j	c_0	b_0	a_0
0	0	0	0	2	0	1	0
1	0	0	1	6	1	1	0
2	0	1	0	0	0	0	0
3	0	1	1	1	0	0	1
4	1	0	0	7	1	1	1
5	1	0	1	3	0	1	1
6	1	1	0	5	1	0	1
7	1	1	1	4	1	0	0

图 5 是根据真值得到的卡诺图。根据本文算法,先从变量 a_0 开始。

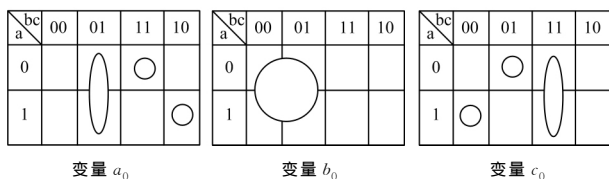


图 5 根据真值得到的 3 个变量的卡诺图

根据图形可知其属于第四种分类:3 个最小项相邻,另外一个最小项孤立。因此直接跳至 Step 4,取包含 3 个相邻最小项的 4 项圈为 c ,减去 3 个最小项得到 abc ,孤立最小项为 $abc\bar{c}$,可得相同值的变量为 a 和 b 。因此令:

$$x = a$$

$$y = b$$

$$z = c$$

经过门 c 后可得到图 6,并转到 Step 5。

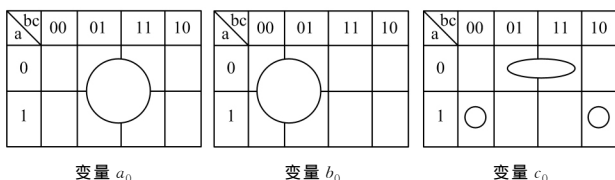


图 6 经过门 c 后 3 个变量的卡诺图

根据 Step 5,由于当前 4 项圈为 c ,目标 4 项圈为 a ,因此令:

$$x = a$$

$$y = c$$

令图 6 经过门 a 后可得图 7。

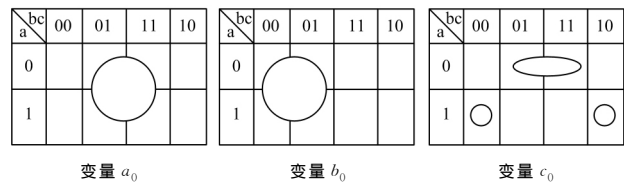


图 7 经过 a 门后 3 个变量的卡诺图

图 7 经过门 c 后可得图 8。

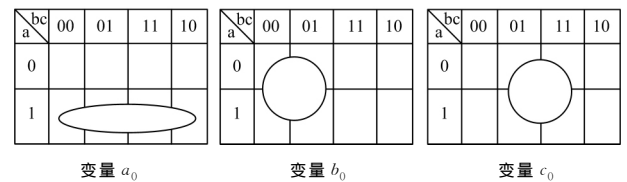


图 8 经过 c 门后 3 个变量的卡诺图

由图 8 可以看出,此时变量 a_0 已经处理完毕,根据算法继续处理变量 b_0 ,此时为 4 项圈,直接进入 Step 5,当前 4 项圈为 \bar{b} ,目标 4 项圈为 b ,因此经过门 b 后可得图 9 所示的卡诺图。

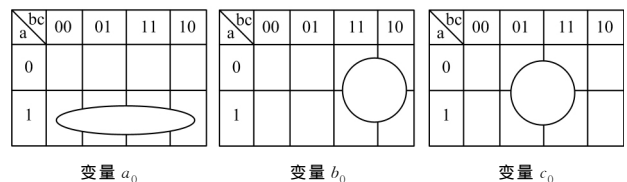


图 9 经过 b 门后 3 个变量的卡诺图

由图 9 可以看出,此时变量 b_0 已经处理完毕,根据算法继续处理变量 c_0 , c_0 已经处于 4 项圈 c 状态,因此算法结束。最终输出结果为 $a^b c^a c^a b_0$ 。

当扩展到更多变量的可逆逻辑综合问题上时,可选择 EGT 门库。EGT 门库可以很容易地转化为卡诺图上的移动。然后根据变量数量确定邻接等价类,将可逆逻辑综合继续分到每个等价类上求解。如果选择其他的门库来进行综合(例如 NCT 门库),只会使得在每个等价类上进行求解的复杂度变大,而不会影响到整个算法的正确性。

结束语 不可逆逻辑电路生成的大规模集成电路面临高能耗和高发热的难题,此难题已经大大影响了现代集成电路的集成度。理论上,使用可逆逻辑来生成集成电路可以解决该问题。在当前的可逆逻辑综合研究中,解决带垃圾位的特定可逆逻辑综合电路是一个焦点问题。

本文利用卡诺图,不从全局状态出发,分别对每个变量进行求解。给出了 NCT 门库作用在卡诺图上的变换方式和公式,同时给出了扩展通用 TOFFLI 门在卡诺图上的变换方式。通过对可逆逻辑问题在卡诺图上的邻接性的研究,将可逆逻辑问题根据邻接性划分为 5 个等价类。最后对每个类分别进行变换,解决了带垃圾位的可逆逻辑综合问题。

参考文献

- [1] LANDAUER R. Irreversibility and heatgeneration in the computing process[J]. IBM Journal of Research and Development, 2000,44(1/2):261-269.
- [2] BARCNO A, BENNETT C, et al. Elementary gates for quantum computation[J]. Physical Review A, 1995, 52(5):3457-3467.
- [3] LI Z Q, LI W Q, CHEN H W. Algorithm of optimizing quantum reversible logic synthesis[J]. Journal of Software, 2009, 20(9):2332-2343.
- [4] LI Z Q, CHEN H W, XU B W, et al. A fast algorithm for synthesis of quantum reversible logic circuits[J]. Chinese Journal of Computers, 2009, 23(7):1291-1303.
- [5] 王冬, 陈汉武, 安博, 等. 基于矩阵初等变换的四量子比特可逆电路综合算法[J]. 电子学报, 2010, 38(11):2561-2565.
- [6] 王冬, 陈汉武, 安博, 等. 量子可逆电路综合的启发式快速匹配算法[J]. 东南大学学报(自然科学版), 2009, 39(5):900-903.
- [7] WANG D, CHEN H W, AN B, et al. A Novel RM-Based Algorithm for Reversible Circuits[C]//LNCS 5821, 2009:63-69.
- [8] WANG D, CHEN H W, ZHU W N. Bidirectional Matrix-based Algorithm for 4-qubit Reversible Logic Circuits Synthesis[C]//2010 IEEE Congress on Evolutionary Computation (IEEE CEC 2010). Barcelona, Spain, 2010:1325-1329.
- [9] 王冬, 陈汉武, 朱晓宁, 等. 多值逻辑量子置换门的酉矩阵表示[J]. 计算机学报, 2012, 35(3):639-644.
- [10] 李志强, 陈汉武, 徐宝文, 等. 基于 Hash 表的量子可逆逻辑电路综合的快速算法[J]. 计算机研究与发展, 2008, 45(12):2162-2171.
- [11] PERES A. Reversible logic and quantum computers[J]. Physical Review A, DEC, 1985, 32(6):3266-3276.
- [12] KHAN M H A. Design of full-adder with reversible gates[C]//Processings of the 5th International Conference on Computer and Information Technology (ICIT ' 2002). Dhaka, Bangladesh, 2002:515-519.
- [13] THAPLIYAL H, SRINIVAS M B. Novel Reversible TSG gate and its application for designing reversible carry look ahead adder and other adder architectures[C]//Processings of the 10th Asia-Pacific Computer System Architecture Conference, LNCS, 3740. Springer-Verlag, Singapore, 2005:775-786.
- [14] HAGHPARAST M, NAVI K. A Novel Reversible BCD Adder For Nanotechnology Based Systems[J]. American Journal of Applied Sciences, 2008, 5(3):282-288.
- [15] HAGHPARAST M, JASSBI S J, NAVI K, et al. Design of a Novel Reversible Multiplier Circuit Using HNG Gate in Nanotechnology[J]. World Applied Sciences Journal, 2008, 3(6):974-978.
- [16] ISLAM M S, RAHMAN M M, BEGUM Z, et al. Low Cost Quantum Realization of Reversible Multiplier Circuit[J]. Information Technology Journal, 2009, 8(2):208-213.
- [17] BANERJEE A, PATHAK A. An analysis of reversible multiplier circuits[J]. arXiv:0907.3357, 2009:1-10.
- [18] CEHNG S T, WANG C Y. Quantum switching and quantum merge sorting [J]. IEEE Transactions on Circuits and Systems, 2006, 53(2):316-325.

(上接第 522 页)

参考文献

- [1] JOHN R S, KEVIN K. Deep Green: Commander's tool for COA's Concept [C] // Proceedings of the 2008 Computing, Communications and Control Technology Conference (DDT), 2008.
- [2] 黄柯棣, 赵鑫业, 杨山亮, 等. 军事分析仿真评估系统关键技术综述[J]. 系统仿真学报, 2012, 24(12):2439-2447.
- [3] 周云, 黄教民, 黄柯棣. 美国“深绿”计划对指挥控制的影响[J]. 火力与指挥控制, 2013, 38(6):1-5.
- [4] GEORGE F S, GREGORY A M. The Joint Warfare System (JWARS): A Modeling and Analysis Tool for the Defense Department[C]//Proceedings of the 2001 Winter Simulation Conference, 2001.
- [5] JTLS Executive Overview [EB/OL]. [2013-04-12]. http://www.rolands.com/jtls/j_over.html.
- [6] MARK G H, TANIA E R. Using Modeling and Simulation to Represent Commander's Intent [C] // European Simulation, 2008.
- [7] Standard for coalition battle management language (C-BML) phase 1; SISO-STD-011-2014[S]. 2014.
- [8] ADAM B. UK Experiences and Lessons Identified Using C-BML in Practical Experiments [C]//Proceedings of 19th International Command & Control Research & Technology Symposium, 2014.
- [9] PULLEN J M, ABABNEH M, NICKLAS L, et al. An Open Source MSDL/C-BML Interface to VR-Forces [C] // Proceedings of Fall Simulation Interoperability Workshop 2012, 2012.
- [10] KUTLUHAN E, JAMES A H, DANA S N. UMCP: A sound and complete procedure for hierarchical task-network planning [C]//Proceedings of AIPS, 1994:249-254.
- [11] SANTIAGO O, MICHAEL B. Adversarial Hierarchical-Task Network Planning for Complex Real-Time Games [C] // Proceedings of the Twenty-Fourth International Joint Conference on Artificial Intelligence, 2015:1652-1658.
- [12] YIN Q J, SUN L, PENG Y. Research on dynamic task allocation of CGF under communication constraint[C]//Proceedings of IC-CWAMTIP, 2013.
- [13] 冯磊. CGF 协同行为建模关键技术研究[D]. 长沙:国防科技大学研究生院, 2011.
- [14] SUN L, JIAO P, XU K. Rule-based Expert System for Large Scale Analytical Simulation[C]//Proceedings of IEEE ICMA, 2015.
- [15] ZEIGLER B P, PRAEHOFER H, KIM T G. Theory of Modeling and Simulation(2nd)[M]. New York: John Wiley, 2000.