

# 嵌入式 SRAM 的低功耗优化及测试

王江安 庄奕琪 靳钊 李迪

(西安电子科技大学宽禁带半导体材料与器件国家重点实验室 西安 710071)

**摘要** 为了降低 SRAM 的功耗,提出了一种优化的 SRAM。对改变较快的输入端引入操作数隔离技术,对比较电路的多位数据进行总线数据分割;给较大的时钟网络增加门控时钟,引入多种电源控制模式并增加隔离逻辑;将 SRAM64K×32 分解为 8 个 SRAM8K×32 子块,由八选一逻辑通过各子块的片选信号相连,使得同时只有一个子块处于读写状态。将优化的 SRAM64K×32 应用到 SOC 中,并通过增加旁路逻辑来测试各部分功耗。该 SOC 经 90nm CMOS 工艺成功流片。测试结果表明,优化的 SRAM64K×32 功耗降低了 29.569%,面积仅增加了 0.836%。

**关键词** 低功耗,操作数隔离,总线数据分割,电源控制模式,旁路逻辑

中图分类号 TP402 文献标识码 A

## Optimization of Embedded SRAM for Low Power and Testing

WANG Jiang-an ZHUANG Yi-qi JIN Zhao LI Di

(Key Lab.of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Xidian University, Xi'an 710071, China)

**Abstract** In order to reduce power consumption of SRAM, an optimized SRAM was presented. Technology with isolation of operation data was introduced into fast inputs, division of bus data was made to multiple bits of comparator; gating clock was added into big clock network, many modes of power control and isolation logic were increased; SRAM64K×32 was separated into 8 sub blocks of SRAM8K×32, which were connected with signals to select chip through logic of one selected from eight so that only one of sub blocks can be in read-write operation. The optimized SRAM64K×32 was used in SOC and power consumption of each part was measured by adding bypass logic. The SOC design was successfully implemented in 90nm CMOS process. The testing results indicate that power saving of the optimized SRAM64K×32 is 29.569% and area only increased by 0.836%.

**Keywords** Low power, Isolation of operation data, Division of bus data, Mode of power control, Bypass logic

全球定位系统(global positioning system, GPS)接收芯片的功耗是便携式 GPS 接收机待机时间长短的主要因素,待机时间是衡量接收机性能的重要因素之一,而嵌入式存储器是 GPS 接收芯片的重要组成部分。据预测,到 2014 年片上系统(system on chip, SOC)约 94% 的硅片面积将被具有不同功能的存储器所占据<sup>[1]</sup>, GPS 芯片也符合这一发展规律。随着 SOC 越来越复杂,嵌入式存储器的功耗对总功耗的贡献越来越大,如何有效降低嵌入式存储器的功耗已经成为低功耗设计的重要内容。嵌入式静态随机存储器(static random access memory, SRAM)是最常用的一种,降低嵌入式 SRAM 的功耗就可降低整个 SOC 的功耗<sup>[2,3]</sup>。本文提出了一种嵌入式 SRAM 的低功耗优化方法:对改变较快的输入端引入操作数隔离技术,对比较电路的多位数据进行总线数据分割;给较大的时钟网络增加门控时钟,引入多种电源控制模式并增加隔离逻辑;将 SRAM64K×32 分解为 8 个 SRAM8K×32 子块,由八选一逻辑通过各子块的片选信号相连,使得同时只有一个子块处于读写状态。

如果电路的某些输入改变较快,可以将这些输入与电路的其他部分隔离<sup>[4]</sup>。电路的输出未使用,则可固定组合电路的输入,这样就降低功耗。项目中有这样的电路,如图 1 所示。

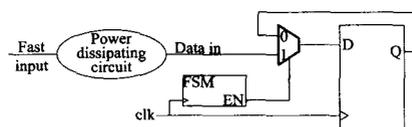


图 1 操作数隔离前的电路

由于 Power dissipation circuit 电路的输入 Fast input 改变较快,因此将其隔离,如图 2 所示。增加 Latch 将 Power dissipation circuit 电路的输入 Fast input 隔离,可减少组合逻辑的功耗。其缺点是会损失时钟建立时间,增加少量门数。

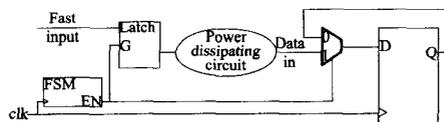


图 2 操作数隔离后的电路

## 1 SRAM 的低功耗优化

### 1.1 操作数隔离

### 1.2 总线数据分割

到稿日期:2009-08-28 返修日期:2009-11-01 本文受 863 国家重点基金项目(2003AA1Z1410),国家自然科学基金(60276028)资助。  
王江安(1981-),男,博士生,主要研究方向为通信芯片设计, E-mail:jawang@mail.xidian.edu.cn.

总线数据分割的思想是将多位总线数据分割成高位和低位两个部分, 优先判断高位。在存储器内建自测试(memory built-in self test, MBIST)时, 首先将 32 位数据写入 SRAM, 然后读出并与写入数据进行比较, 若相等则认为该单元正确, 否则认为错误<sup>[5,6]</sup>。在存储器中读出的数据与写入数据进行比较时, 将 32 位数据分成高 1 位和低位 31 位, 只有当高位相等时再进行低位的比较。而以前的比较电路都是整体进行比较, 所以功耗较大。优化前的电路如图 3 所示, 图中的 a 和 b 分别代表存储器中读出的数据与外部写入数据。优化后的电路如图 4 所示, 若高位不相等则不进行低位的比较, 从而节省了功耗。

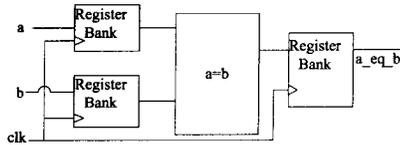


图 3 总线数据分割前的电路

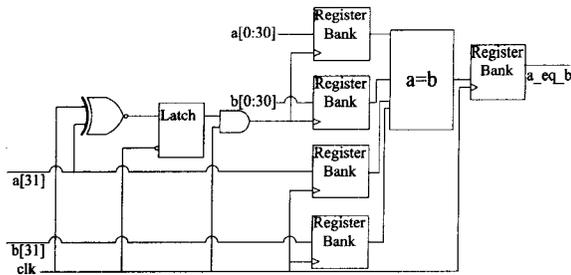


图 4 总线数据分割后的电路

### 1.3 门控时钟

为了降低功耗, 增加了门控时钟(gating clock)。引入门控时钟最好不要针对单个触发器, 因为对单个触发器引入 gating clock 会带来时钟偏斜并使设计复杂化。通常, 时钟功耗的绝大部分来源于布线。给一个大的时钟网络引入 gating clock 将会减少时钟树的电容, 并可降低受到影响的寄存器的内部功耗<sup>[7]</sup>。

图 5 中的电路, 由状态机和触发器构成。为了降低功耗, 引入了 gating clock, 如图 6 所示。使用锁存器(latch)代替了二选一(MUX), 并引入了与门作为 gating clock。

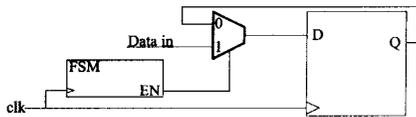


图 5 引入门控时钟前的电路

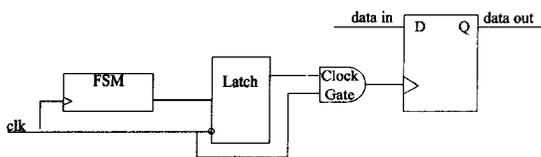


图 6 引入门控时钟后的电路

### 1.4 多种电源控制模式

在以前的 SRAM 中, 各子模块同时处于电源开启或关闭状态, 所以功耗较大。本项目引入了多种操作模式, 并根据各子模块的实际需要来设置电源的开关状态<sup>[8]</sup>。进入 MBIST 模式之前, 先对 MBIST 控制器、低功耗逻辑、测试逻辑进行 Scan 测试, 以保证这部分逻辑能正常工作。低功耗逻辑是为了降低 SRAM 功耗而额外增加的逻辑, 它本身也有功耗, 在

Power down 模式下可测试其功耗。当 SRAM 不在测试模式时, 还可将 MBIST 控制器和测试逻辑关闭<sup>[9,10]</sup>。表 1 列出了各子模块在不同模式下电源的开关状态。

表 1 电源控制模式有效组合

操作模式	MBIST 控制器	SRAM	低功耗逻辑	测试逻辑
Scan 测试模式	开	开	开	开
MBIST 测试模式	开	开	开	开
正常功能模式	关	开	开	关
Power down 模式	关	关	开	关

当 SRAM 某一子模块关闭, 其输出端就会悬空。为了阻止悬空端在 VDD 与 VSS 之间的通路, 需增加隔离逻辑使这些悬空端强行进入低电压状态。隔离逻辑由与门组成, 因为与门的输入中只要有一个为低, 其输出就为低, 哪怕其他输入都悬空。二输入与门隔离逻辑电路如图 7 所示, 输入 B 为低电压使 T2 接通 T4 断开, 结果使反向器输出 Z 为低, 子模块电路只有漏电流存在。

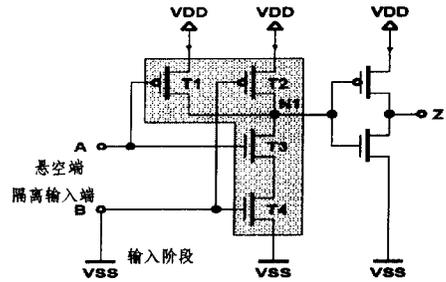


图 7 二输入与门隔离逻辑电路

## 2 嵌入式 SRAM 的测试

### 2.1 测试入口

为了降低功耗, 8 个 SRAM8K×32 由一个八选一逻辑通过各子块的片选信号相连, 使得同时只有一个子块处于读写状态。这 8 个 SRAM8K×32 组成一个低功耗 SRAM64K×32(low power SRAM64K×32, LP SRAM64K×32), 该 SOC 设计经 90nm CMOS 工艺成功流片, 金属层由六层铜和一层铝组成。

该 SOC 设计中, 有许多测试模式, 例如 MBIST 测试模式、Scan 测试模式、A/V 测试模式、USB2 测试模式等。为了方便测试 SOC 的不同模块, 使用统一的测试控制单元来执行所有的测试模式, 该控制单元包括 MBIST 控制逻辑和一个有限状态机<sup>[11]</sup>。进入测试模式时序如图 8 所示。TEST 为“1”进入测试模式, TEST 为“0”进入正常功能模式。测试向量 Test\_Vectors 通过 GPIO[15:12] 4 个 Pad 输入, 用来选择某种测试模式。当 GPIO[15:12] 为“0011”, MBIST\_test\_en 为“1”, 并且其他 test\_en 为“0”时, 芯片将进入 MBIST 测试模式。由于该 SOC 包含多个存储器, 故进入 MBIST 测试模式后, 可通过设置 bist\_sel[4:0] 来选择要测试的某个存储器, 当 bist\_sel[4:0] 为“01010”时将选中 SRAM64K×32。

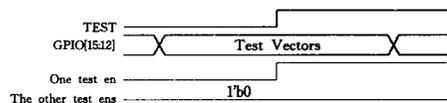


图 8 进入测试模式时序图

### 2.2 测试方法

为了测试各部分功耗<sup>[12]</sup>, 在测试向量生成时, LP\_bypass 及 T\_bypass 可分别控制低功耗逻辑和测试逻辑旁路(by-

pass),增加的 bypass 逻辑如图 9 所示。若 LP\_bypass=0 且 T\_bypass=0,此时测出的是 SRAM、低功耗辑及测试逻辑三者功耗之和;若 LP\_bypass=0 且 T\_bypass=1,此时测出的是 SRAM 及低功耗逻辑的功耗之和;若 LP\_bypass=1 且 T\_bypass=0,此时测出的是 SRAM 及测试逻辑的功耗之和;若 LP\_bypass=1 且 T\_bypass=1,此时测出的是 SRAM 的功耗。其中二者相减便可得到低功耗逻辑部分或测试逻辑部分的功耗。

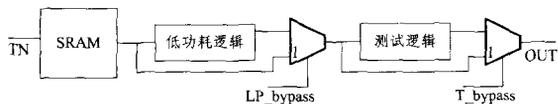


图 9 测试需增加的 bypass 逻辑

### 3 测试结果及讨论

表 2 是低功耗优化前后的测试结果总结,优化后 SRAM64K×32 功耗降低了  $[(30.704 - 21.625)/30.704] \times 100\% = 29.569\%$ ,面积仅增加了 0.836%。而目前存储器在 SOC 芯片中的面积已经达到了 80%,若 SOC 芯片中的存储器均采用这种 SRAM,则总功耗将降低  $80\% \times 29.569\% = 23.655\%$ 。

表 2 低功耗优化前后测试结果总结

SRAM64K×32	电压(V)	频率(MHz)	面积(mm <sup>2</sup> )	功耗(mW)
优化前	1.20	132	3.697	30.704
优化后	1.20	132	3.728	21.625

**结束语** 对改变较快的输入端引入操作数隔离技术,将比较电路的 32 位总线数据分割成高 1 位和低 31 位;使用锁存器代替了二选一,并引入了与门作为门控时钟;引入了多种操作模式,并根据各子模块的实际需要来设置电源的开关状态;将 SRAM64K×32 分解为 8 个 SRAM8K×32 子块,使得同时只有一个子块处于读写状态。将优化的 SRAM64K×32 应用到 SOC 中,并增加 bypass 逻辑来测试各部分功耗。测试结果表明:优化后的 SRAM64K×32 功耗降低了 29.569%,面积仅增加了 0.836%。

### 参考文献

[1] Marinissen E K, Prince B, Schulz D K, et al. Challenges in Em-

bedded Memory Design and Test [C] //Proceedings of the Design, Automation and Test in Europe Conference and Exhibition, Munich, 2005: 722-727

- [2] Hao Jie, Peng Silong. Power-Driven Circuit Netlist Multilevel Partitioning Algorithm [J]. Journal of Computer-Aided Design & Computer Graphics, 2009, 21(2): 190-195
- [3] Hobson R F. A New Single-Ended SRAM Cell With Wire-Assist [J]. IEEE Transactions on Very Large Scale Integrated (VLSI) Systems, 2007, 15(2): 173-180
- [4] Sinanoglu O. Isolation Techniques for Soft Cores [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(8): 1453-1466
- [5] Levacq D, Dessard V, Flandre D. Low Leakage SOI CMOS Static Memory Cell with Ultra-Low Power Diode [J]. IEEE Journal of Solid-State Circuits, 2007, 42(3): 690
- [6] Roy K, Mukhopadhyay S, Meimand H M. Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits [J]. Proceedings of the IEEE, 2003, 91(2): 305-306
- [7] Yu Y, Zhao Q, Shao Z B. A Low Power SRAM/SOI Memory Cell Design [J]. Chinese Journal of Semiconductors, 2006, 27(2): 318-322
- [8] Dutt S, Verma V, Suthar V. Built-in-Self-Test of FPGAs with Provable Diagnosabilities and High Diagnostic Coverage with Application to Online Testing [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(2): 309-326
- [9] Lee C Y. Design and Chip Implementation of the Segment Weighted Random BIST for Low Power Testing [J]. Journal of Low Power Electronics, 2007, 3(2): 206-216
- [10] Tan E M, Song S D, Shi W K. A vector inserting TPG for BIST design with low peak power consumption [J]. High Technology Letters, 2007, 13(4): 418-421
- [11] Wang Fei, Hu Yu, Li Xiaowei. Deterministic Diagnosis Pattern Generation for Scan Chain Faults [J]. Journal of Computer-Aided Design & Computer Graphics, 2009, 21(1): 6-11
- [12] Kim Y, Kim K, Kim I, et al. A New Scan Power Reduction Scheme Using Transition Freezing for Pseudo-Random Logic BIST [J]. IEICE Transactions on Information and Systems, 2008, e91-d(4): 1185-1188

(上接第 286 页)

Donoho 方法。它适用于信噪比变化较大的去噪处理,与经典小波阈值估计去噪算法相比,去噪效果更好,非常适用于实时噪声估计的嵌入式程序开发。

### 参考文献

[1] 何正嘉. 现代信号处理及工程应用[M]. 西安:西安交通大学出版社, 2007

[2] Schreiber T. Interdisciplinary application of nonlinear time series methods[J]. Physics Reports, 1999, 308(1): 1-64

[3] Schreiber T, Richter M. Nonlinear projective filtering in a data stream[J]. International Journal of Bifurcation and Chaos, 1999

[4] 朱维杰,孙进才,曾向阳. 基于阵列接收数据重采样的频率不变波束形成器[J]. 自然科学进展, 2002, 12(6): 669-672

[5] 孙进才,朱维杰,孙铁源. 利用小尺度阵的波达方向的估计[J]. 西北工业大学学报, 2003, 21(2): 218-221

[6] Donoho D L. Denoising by Soft thresholding[J]. IEEE Transac-

tions on Information Theory, 1995, 43: 613-627

- [7] 赵淑清,郑薇. 随机信号分析[M]. 哈尔滨:哈尔滨工业大学出版社, 2002
- [8] Chang S G, Yu Bin, Vattereli M. Adaptive Wavelet Thresholding for Image Denoising and Compression[J]. IEEE Trans. Image Processing, 2000, 9(9): 1532-1546
- [9] Lin L, Holmes W H, Ambikairajah E. Adaptive noise estimation algorithm for speech enhancement[J]. Electronics Letters, 2003, 39(9): 754-755
- [10] Yamashita K, Shimamura T. Nonstationary noise estimation using low frequency regions for spectral subtraction[J]. IEEE Signal Processing Letters, 2005, 12(6): 465-468
- [11] Tsai W H, Wang Hsin-Min. Automatic Singer Recognition of Popular Music Recording via Estimation and Modeling of Solo-Vocal Signals[J]. IEEE Transactions on Audio, Speech and Language Processing, 2006, 14(1): 330-341