一种基于SAT求解器的组合电路重汇聚现象分析方法

张璐婕 刘 畅 张 龙 郭 阳
(国防科技大学计算机学院 长沙 410073)

摘 要 为了研究组合电路重汇聚现象,提出了一种基于SAT求解器的分析方法。通过深度优先搜索算法,确定瞬态脉冲产生节点和输出节点之间的所有路径;建立待检查列表,对表中的元素施加敏化约束条件,并采用SAT求解器求解元素可满足性;最后判断是否存在满足条件的输入向量,使瞬态脉冲通过不同路径在输出节点发生重汇聚。所提方法可以有效地对较大规模组合电路进行分析,采用EPFL和ISCAS'85作为测试集,实验结果表明,ISCAS'85测试集中约有一半节点处产生的瞬态脉冲能够发生重汇聚,这一比例明显高于EPFL测试集,因此不同类型功能电路重汇聚现象的发生率存在较大差异。

关键词 组合电路,重汇聚,瞬态脉冲,SAT求解器,敏化路径,输入向量
中图法分类号 TP391.41 **文献标识码** A **DOI** 10.11896/j.issn.1002-137X.2019.04.048

Reconvergence Phenomena Analysis Method in Combinational Circuits Based on SAT Solver

ZHANG Lu-jie LIU Chang ZHANG Long GUO Yang
(College of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract In order to study reconvergence phenomena of combinational circuits, this paper proposed an analysis method based on SAT solver. All paths between transient pulses generation nodes and output nodes are confirmed by depth-first search algorithm. Elements in the check-list are imposed with sensitization constraints, and elements satisfaction is judged by Minisat. Finally, whether there are input vectors satisfying the conditions so that the transient pulse reconverge at the output node through different paths or not are determined. The proposed method can analyze reconvergence phenomena of large-scale combinational circuits effectively. EPFL and ISCAS'85 were used as test sets. The experimental results show that transient pulses generated by certain nodes, which are about half of the total nodes of the ISCAS'85 test set, can reconverge finally. The ratio is significantly higher than that of the EPFL test set. Therefore, there is a significant difference of the occurrence rate of reconvergence for different types of functional circuits.

Keywords Combinational circuit, Reconvergence, Transient pulse, SAT solver, Sensitization path, Input vector

1 引言

在组合逻辑中,由高能粒子产生的瞬态脉冲可能沿几条不同路径传播,之后,所有这些脉冲同时到达同一个门并重新组合成单个脉冲这种现象被称为重汇聚[1]。重汇聚在现代集成电路设计中十分普遍。文献[2]分析了现有经典集成电路,发现这些芯片中一半以上的逻辑门是被驱动的负载,而实际上,对于电路中的逻辑门,输入引脚的数量往往少于其驱动的负载逻辑门的数量,因此高能粒子在某一逻辑门处产生的瞬态脉冲可能沿多条不同路径传播,从而在到达主输出之前产生大量重汇聚现象。能够传播瞬态脉冲的路径被称为敏化路径,脉冲经不同敏化路径汇聚后在波形、幅度和脉宽上存在极大不确定性[3]。以往对集成电路软错误率进行研究时,通常不会考虑重汇聚现象的影响,但随着电路集成度的增加,组合逻辑的规模也迅速增大,瞬态脉冲经多条路径发生重汇聚的现象更加普遍,这将影响软错误率(Soft Error Rate,SER)的估计以及加固手段的实施[1]。但是,由于逻辑屏蔽的存在[4-5],瞬态脉冲并不能同时沿所有路径传播,物理上存在多条重汇聚路径并不代表一定会产生重汇聚,这与输入向量相关。

目前,研究此类问题的方法主要有3种:模拟法[6]、二叉决策树法[7]和概率分析法[8]。模拟法的核心思想是,将生成的随机向量施加于电路,并结合仿真技术分析输出节点处的重汇聚现象。该方法存在明显的弊端,即随机向量可能无法覆盖所有可能引起重汇聚现象的输入向量。二叉决策树(Binary Decision Diagrams)是由Bryant[7]提出的一种强大的数据结构,用于高效率表示和操作布尔函数。通过将瞬态脉冲传播到主输出,该算法可以准确地预测输出错误概率。只有

到稿日期:2018-06-11 返修日期:2018-08-27 本文受国家自然科学基金项目(61872136,61772540)资助。
张璐婕(1996-),女,硕士生,主要研究方向为集成电路设计;刘 畅(1988-),男,博士生,主要研究方向为集成电路设计;张 龙(1987-),男,博士,主要研究方向为集成电路设计;郭 阳(1971-),男,博士,研究员,博士生导师,CCF高级会员,主要研究方向为微处理器设计与验证技术,E-mail:guoyang@nudt.edu.cn(通信作者)。

当传播路径被敏化时，瞬态脉冲才得以传播，而基于二叉决策树的算法能够成功识别传播路径中的逻辑屏蔽。尽管采用这种方法可以较为精确地分析重汇聚现象，但“组合爆炸”导致其求解规模是指数级的，因此二叉决策树法不适用于大规模集成电路。概率分析法易于理解和操作，却不可避免地存在精度问题，造成这种现象的原因是该方法未考虑信号之间的相关性。

布尔可满足性问题(Boolean Satisfiability Problem，SAT)是第一个被证明的 NP 完全问题[9]，即任何非确定多项式(Non-Deterministic Polynomial，NP)问题都可以在多项式时间内归约到 SAT 进行求解[10]。基于 SAT 的模型检验算法被广泛应用于硬件设计、验证与测试、计算机视觉、人工智能等领域[11]，尤其在电路设计、测试和形式化验证等领域有着重要的应用价值[12-13]。

本文提出了一种基于 SAT 求解器的快速、准确分析组合电路重汇聚现象的方法，目前已有研究中未见类似研究手段，因此它具有一定独创性。对于给定的单瞬态脉冲，该方法可以判定瞬态脉冲能否通过敏化路径在可达输出节点处发生重汇聚，并给出相应的输入向量。此外，它还适用于多瞬态脉冲的研究。实验结果表明，所提方法可以对较大规模组合电路进行有效分析，不同类型电路中的重汇聚现象存在较大差异。

2 背景知识

2.1 合取范式

合取范式(Conjunctive Normal Form，CNF)是布尔函数表达方式之一。由于任何一个命题逻辑公式都可以在多项式时间内转化为合取范式形式，因此目前主流的 SAT 求解算法通常假设目标公式已被处理为 CNF 形式[10]。对于给定的合取范式 F 和变量集合 V，判断是否存在一组变量的逻辑赋值使得 F 值为 1。若存在这样的一组赋值，则 F 被满足，否则 F 不被满足[11]。合取范式通常表示为众多短句的合取(用“∧”表示，也读作“与”)，短句则由元素或其否定形式(用“¬”表示)的析取(用“∨”表示，也读作“或”)构成。对于合取范式，当 $a=0$，$b=0$，$c=0$ 时，F 值为 1，说明 F 是被满足的。

2.2 SAT 问题的一般性描述

解决 SAT 问题的算法通常被分为两大类：不完全算法和完全算法。完全算法总是可以找到使公式满足的解，或者判断该公式不满足[14]，因此它具有准确判断 SAT 问题可满足性的优势。文献[15-16]提出的 DPLL 算法是完全算法中的经典代表，现代 SAT 求解器大多基于该算法。其中，Minisat 是涌现出的众多求解器中的优秀代表，它具有处理问题规模大、运算速度快等优点，本文拟采用 Minisat 作为后端 SAT 求解器[17]。

2.3 与非图

与非图(And-Inverter Graph，AIG)是一种有向无环图[18]，其仅包含“与”和“非”两种逻辑，具有结构简洁、与电路逐一对应的优点[19]。AIGER 是一种文件格式，是一个库，也是集成了一系列插件的工具，它采用与非图的形式呈现，且容易转化成 SAT 求解器可接受的合取范式形式，从而被广泛应用于学术界和工业界解决验证和优化等问题。

2.4 SAT 模型化方法

为了利用 SAT 求解器解决问题，本文方法用合取范式形式表示电路逻辑。这一转换过程的基本思路是，先将电路图转化为与非图，并写出与之对应的 AIGER 表示，再根据 AIGER 表示给出合取范式。以与门 $a=b\&c$ 为例，其 AIGER 表示如下：

$a\ b\ c$

其中，$a,b,c\in N$，a 是偶数，并且 b 和 c 均小于 a。在 AIGER 表示中，奇数表示逻辑否。与门的 CNF 可表示如下：

$$(\neg a\vee b)\wedge(\neg a\vee c)\wedge(a\vee\neg b\vee\neg c) \tag{1}$$

其中，¬，∧和∨分别表示逻辑否、逻辑与和逻辑非。与门的 CNF 公式由$(\neg a\vee b)$，$(\neg a\vee c)$和$(a\vee\neg b\vee\neg c)$ 3 个子句组成，当 a，b 和 c 的赋值使 3 个子句同时为真时，称该合取范式为真。

图 1 给出了更加复杂的异或门转化为的与非图形式，表 1 列出了它的 AIGER 表示。AIGER 表示的第一行是“aag M I L O A”，该行给出了最大变量数(M)、输入引脚数目(I)、锁存器的数量(L)、输出引脚数目(O)和与门的数目(A)。根据式(1)，电路可以转化为 CNF 公式并由 SAT 求解器读取。

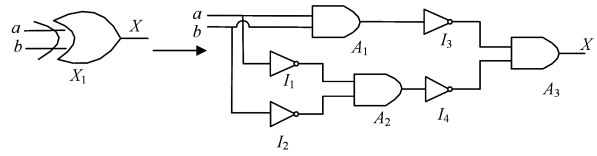

图 1 异或门的与非图形式

Fig. 1 And-inverter graph format of XOR gate

表 1 异或门的 AIGER 表示

Table 1 AIGER format of XOR gate

aag 5 0 2 1 3
2 // $a\rightarrow2$ $I_1\rightarrow3$
4 // $b\rightarrow4$ $I_2\rightarrow5$
10 // $x\rightarrow10$
6 2 4 // $A_1\rightarrow6$ $I_3\rightarrow7$
8 3 5 // $A_2\rightarrow8$ $I_4\rightarrow9$
10 7 9 // $A_3\rightarrow10$

3 组合电路重汇聚现象分析方法

本文提出的组合电路重汇聚现象分析方法主要实现的功能是，由 SAT 求解器[11]读取包含电路信息的合取范式，然后搜索目标逻辑门 V 到达输出逻辑门 P 的所有路径，判断路径是否敏化，最后给出 V 处瞬态脉冲能否通过两条不同路径在 P 处发生重汇聚的分析结果，并给出满足要求的输入向量。为了使瞬态脉冲在不同逻辑门之间次第传输的过程更加直观，下文统一用“节点”代替“逻辑门”，如“目标逻辑门 V”表示为“目标节点 V”。本文采用 C++语言实现算法。需要注意的是，电路结构的复杂性导致物理上重汇聚路径数目可能是指数型的，因此，对于复杂电路，只需判断是否能发生重汇聚即可，而不必找到所有满足的路径。

3.1 基于 SAT 求解器的重汇聚现象分析方法

实验算法流程如图 2 所示。首先将包含电路信息的 AIG 文件读入 SAT 求解器，在此基础上随机选取电路中的某一节

点 V，利用深度优先算法搜索该节点所有可能到达的输出节点，任选一个输出节点并将其记为 P，再次使用深度优先算法，从 P 出发，沿电路中信号传播的相反方向搜索到达 V 的所有路径，并根据路径上节点到 V 间隔的单元数，记录路径上节点到 V 的最大距离和最小距离。然后，定义待检查列表 C，(V,V)作为第一个元素被加入列表。在算法实现过程中，从元素中的某个节点出发，搜索该节点的后续分支，对于每个后续分支，直至遇到分支终点停止搜索，并将所有分支终点两两组合，(V_1,V_2)代表新组合得到的节点对。对待检查列表 C 中的元素添加敏化约束条件，通过 SAT 求解器求解元素是否满足这些约束。在 SAT 求解可以满足的前提下，根据当前处理的元素，判断能否找到两条从 V 到 P 的可以同时敏化的路径，其判断依据是：对于元素(V_1,V_2)，如果 $V_1=P$ 且 $V_2=P$，V 到 V_1 和 V_2 的路径不同，且 SAT 求解可以满足，则认为存在满足要求的输入向量。若这样的敏化路径可以找到，过程结束；否则继续对 C 中的下一个元素进行求解，直至得到判断结果。在此过程中，需要更新和维护待检查列表 C。组合电路重汇聚现象分析算法对应的伪代码如算法 1 所示。

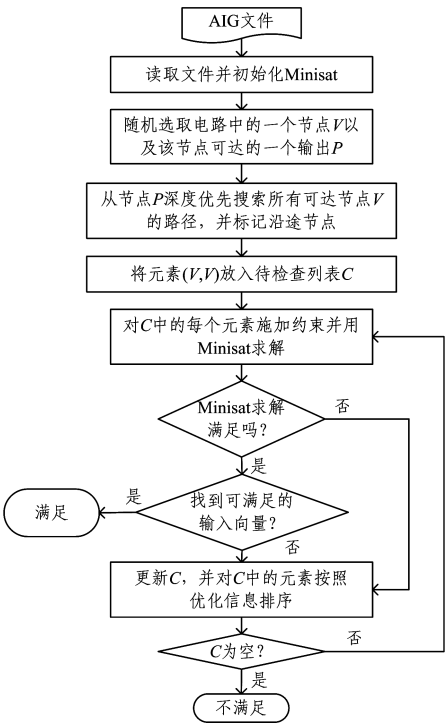

图 2　算法流程图

Fig. 2　Flowchart of algorithm

算法 1　组合电路重汇聚现象分析算法

Input：包含电路信息的 AIG 文件

Output：能否找到两条从 V 到 P 的可以同时敏化的路径的判断结果，若判断结果为“是”，还需要给出满足要求的输入向量

1. Selecting nodes：V and P
2. Searching paths from P to V
3. Move (V,V) to C //将元素(V,V)放入 C 中
4. Constrain(V_1,V_2) //对 C 中元素施加敏化约束条件
5. Calculate with SAT
6. if (SAT is satisfied) then
7. if (Vectors have been found) then
8. Output(Vectors)
9. return satisfied //存在满足要求的输入向量
10. else
11. Update C and sort the elements in C //更新 C；按照优化算法对元素排序
12. end if
13. else
14. Update C and sort the elements in C
15. end if
16. if(C is empty))then
17. return unsatisfied
18. else
19. return Step6
20. end if

3.2　敏化约束条件的施加策略

图 3 给出了一个示例电路。其中，圆圈表示电路中的节点，黑色实线路径表示节点 V 到输出节点 P 的通路。经过预处理，通路中的节点被标记出来，其中括号中的数字表示该节点到 V 的最大距离和最小距离。假设每个圆代表一个双输入“与”门，瞬态脉冲从 V 传至 P，要求实线路径上每个节点都被敏化。考虑“与”门的逻辑特征，当某一输入为高电平时，逻辑输出总与另一输入相同。因此，当传播路径为 V-15-10-6-2-P 时，从 V 输入的瞬态脉冲可以由该路径到达 P 的敏化约束条件是，节点 16、节点 13、节点 9 的输出均设置为高电平。

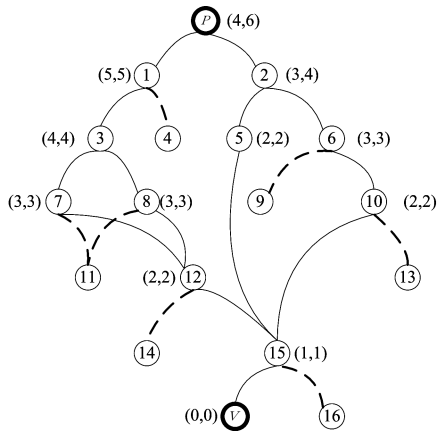

图 3　示例电路 1

Fig. 3　The first instance circuit

3.3　待检查列表更新算法

采取高效措施对 C 进行更新和维护，是有序、系统地开展路径搜索和得到正确判断结果的保证。基于节点 V 与元素节点之间路径的敏化性判断，本文提出了一种更新 C 的实用策略。对于元素(V_1,V_2)，其路径敏化性有 5 种可能的判断结果：1）P_1＝UNSAT 且 P_2＝UNSAT，表明瞬态脉冲既不能从 V 传播到 V_1，也不能传播到 V_2；2）P_1＝SAT 且 P_2＝UNSAT，表明瞬态脉冲能从 V 传播到 V_1，但不能传播到 V_2；3）P_1＝UNSAT 且 P_2＝SAT，表明瞬态脉冲能从 V 传播到 V_2，但不能传播到 V_1；4）P_1＝SAT，P_2＝SAT，且 P_1&P_2＝UNSAT，表明瞬态脉冲既能从 V 传播到 V_2，也能传播到 V_1，但不能同时到达 V_2 和 V_1；5）P_1＝SAT，P_2＝SAT，且 P_1&P_2＝SAT，表明瞬态脉冲既能从 V 传播到 V_2，也能传播到

V_1,并且可以同时到达 V_2 和 V_1。以第 5 种情况为例,具体阐述更新策略。首先将元素(V_1,V_2) 从待检查列表 C 中删除;然后逐一搜索节点 V_1 的各个后续分支,直至遇到输出节点 P 或新的分支点为止,记每个后续分支搜索停止节点分别为 V_m,V_{m+1},…,V_{m+j},两两组合,将(V_m,V_{m+1}),(V_m,V_{m+2}),…,(V_{m+j-1},V_{m+j}) 加入 C;逐一搜索节点 V_2 的各个后续分支,直至遇到输出节点 P 或新的分支点为止,记每个后续分支搜索停止点分别为 V_n,V_{n+1},…,V_{n+i},两两组合,将(V_n,V_{n+1}),(V_n,V_{n+2}),…,(V_{n+i-1},V_{n+i}) 加入 C。此外,对于 V_m,V_{m+1},…,V_{m+j} 和 V_n,V_{n+1},…,V_{n+i} 两两组合,将(V_m,V_n),(V_m,V_{n+1}),…,(V_{m+j},V_{n+i}) 加入 C。算法对应的伪代码如算法 2 所示。

算法 2 待检查列表更新算法

Input:SAT 求解器求解后,"未找到两条从 V 到 P 的可以同时敏化的路径" 的判断结果

Output:已更新的待检列表 C

1. if(P_1=UNSAT and P_2=UNSAT) then
2. Delete (V_1,V_2) from C
3. else if(P_1=SAT and P_2=UNSAT) then
4. Delete (V_1,V_2) from C
5. Search branches behind V_1 until P or new nodes with branches
6. Add new elements to C
7. else if(P_1=UNSAT and P_2=SAT) then
8. Delete (V_1,V_2) from C
9. Search branches behind V_2 until P or new nodes with branches
10. Add new elements to C
11. else if(P_1=SAT and P_2=SAT and P_1&P_2=UNSAT) then
12. Delete (V_1,V_2) from C
13. Search branches behind V_1 until P or new nodes with branches
14. Add new elements to C
15. Search branches behind V_2 until P or new nodes with branches
16. Add new elements to C
17. else if(P_1=SAT and P_2=SAT and P_1&P_2=SAT) then
18. Delete (V_1,V_2) from C
19. Search branches behind V_1 until P or new nodes with branches
20. Add new elements to C
21. Search branches behind V_2 until P or new nodes with branches
22. Add new elements to C
23. Add other new elements to C
24. //由 V_1 后续分支搜索停止点和 V_2 后续分支搜索停止点组成的新元素
25. end if

3.4 缩短求解时间的优化算法

本文提出的方法能较为可靠地分析组合电路重汇聚现象,但对于大规模复杂电路而言,电路节点的增多将增加求解时间。在实际应用中,我们总希望求解过程尽可能缩短,为此,本文在原有算法的基础上提出了优化策略。一方面,对待检查列表 C 中的元素进行排序。第一优先顺序,对于元素(V_1,V_2),若其中包含的路径长度越长,则元素节点与输出节点 P 之间的距离越短,找到可满足结果的难度系数越低,该元素排序就越靠前;第二优先顺序,就元素(V_1,V_2) 中包含的路径而言,若路径沿途的节点数目越少,则该元素的敏化约束条件越少,被满足的可能性越大,元素排序就越靠前。如图 4 所示,节点 V 有 3 条后续分支,对应的后续分支搜索停止点为 1,2,P,搜索路径用实线表示。根据既定规则,待检查列表 C 在初次更新完毕后包含 3 个元素:(1,P),(2,P) 和(1,2)。根据第一优先顺序,元素(1,P),(2,P) 排在(1,2) 之前;根据第二优先顺序,元素(2,P) 排在(1,P) 之前。综合分析即可得到 3 个元素的排列顺序:(2,P),(1,P),(1,2)。另一方面,定义优化窗口,它是一种灵活的求解策略。根据 C 中的元素规模,人为设定优化窗口大小 SIZE,将排序后的元素按照从前往后的顺序归入优化窗口,其数目不超过 SIZE,这样在求解阶段和更新阶段不必遍历整个待检查列表 C,只需要处理优化窗口内的元素,避免算法陷入海量搜索中,从而达到加快求解速度的目的。以上两种优化策略配合使用,将加快获得最终判断结果。

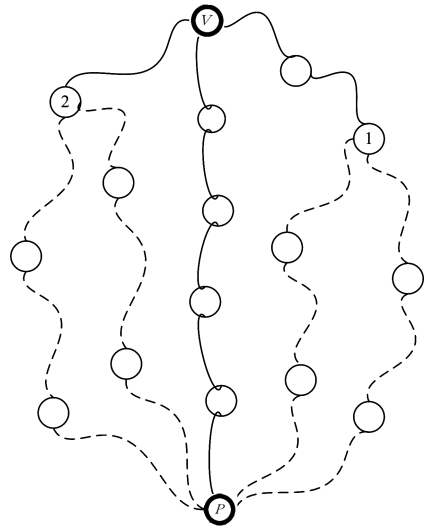

图 4 示例电路 2

Fig. 4 The second instance circuit

3.5 基于示例电路的理论推演

基于上述重汇聚现象分析方法、待检查列表更新策略和缩短求解时间的优化算法,本节将对图 3 所示的电路进行理论推演。图 5 给出了待检查列表 C 的变化过程。在排序阶段,对 C 中的元素按照 3.4 节给出的两个排序原则进行排序。在求解阶段,使用优化窗口控制求解规模,加快找到满意的解决方案。在更新阶段,从待检查列表中删除不满足要求的元素,并按照从节点 V 到该元素的坐标节点 V_1,V_2 的路径敏化性判断结果搜索坐标节点后面的路径,最终将得到的新元素加入列表 C。

第一次循环时,待检查列表 C 只包含一个元素(V,V),沿图 3 中的黑色实线路径搜索节点 V 的后续分支,得到 3 个后续分支停止搜索点:12,P,P。第二次循环时,C 中有 3 个元素:(12,P),(12,P) 和(P,P),前两个元素均包含从 V 到 12 和 P 的路径,但这些路径并不相同。在求解阶段,优化窗口中元素(P,P) 的敏化判断结果为:P_1 = SAT,P_2 = SAT,P_1&P_2=UNSAT,因为分支搜索都已到达终点 P,所以从 C 中删除该元素后没有新元素产生。而优化窗口的第二个元素(12,P) 被删除后,产生了两个包含不同搜索路径的新元素(P,P) 和(P,P)。第三次循环时,由于优化窗口中的第一个

元素(P,P) 已经满足要求，因此搜索过程结束。

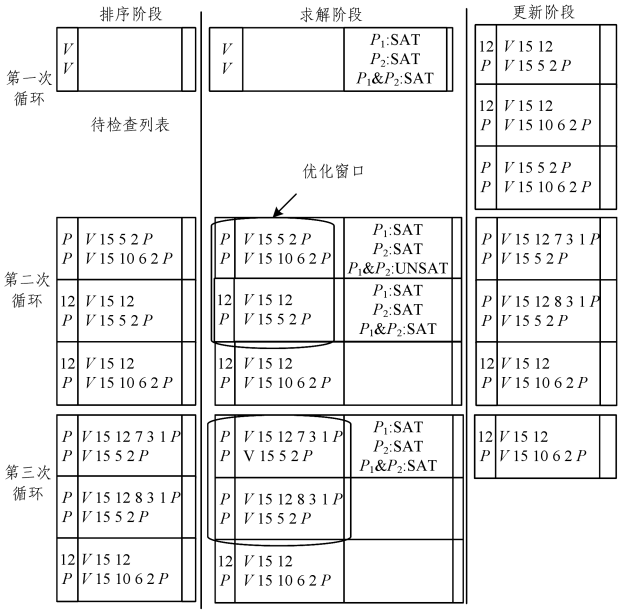

图 5　待检查列表 C 的变化示意图

Fig. 5　Schematic diagram of check-list C's changing process

4　实验结果

本文实验采用 EPFL 和 ISCAS'85 作为测试集，以分析不同功能电路的重汇聚现象。将优化窗口大小 $SIZE$ 设置为 100，随机选取的样本节点数设置为 1000。对于较大规模的电路，随机选取的样本节点数应适当缩小，不妨设置为 100，以避免计算量过于庞大。实验结果如表 2 所列，部分随机选取的节点到某一输出端可能存在多条路径，Rcg 代表该类节点在总的样本节点中的比例。某些节点处产生的瞬态脉冲可以通过两条不同路径传播，并且在输出节点外发生重汇聚，Sat 表征这类节点的比例，基于 Rcg 计算 Sat 和 $Unsat$。Per 是 Rcg 和 Sat 之积，表示这样一类节点占总的样本节点的比例，即该类节点处产生的瞬态脉冲能最终发生重汇聚。从表中可以看出，物理上存在多条重汇聚路径并不意味着重汇聚现象一定发生，这与电路逻辑密切相关。对于 EPFL 测试集，随机/控制电路中的 Rcg 明显小于算术电路中的 Rcg，而前者敏化(满足) 路径所占的比例较高；对于 ISCAS'85 测试集，其 Rcg 和 Sat 都相当高。比较 EPFL 测试集和 ISCAS'85 测试集的结果可以看出，前者 Per 值明显小于后者 Per 值，并且后者 Per 值在 50%左右浮动，这说明在 ISCAS'85 测试集中，大约有一半节点在瞬态脉冲产生时能够沿不同路径传播并在输出节点发生重汇聚，而重汇聚后的脉冲在波形、幅度和脉宽上存在极大的不确定性。这样一个实验结果对分析组合电路 SER 和设计加固手段具有指导意义，即对于 Per 值较高的处理对象，通过本文提出的组合电路重汇聚现象分析方法处理功能电路，在进行 SER 分析和设计加固手段时，应着重考虑重汇聚现象造成的影响。

表 2　EPLF 和 ISCAS'85 测试集的重汇聚结果

Table 2　Reconvergence results of EPLF and ISCAS'85 benchmarks

		Number of and node	Rcg/%	Sat/%	$Unsat$/%	Per/%	$Unknow$/%	$Runtime$/s
EPLF 随机/控制电路	ctrl	174	1.15	0	100	0	0	0.01
	int2float	260	3.46	100	0	3.46	0	0.01
	router	257	37.74	36.08	63.92	13.62	0	39.28
	cavlc	693	5.63	12.82	87.18	0.72	0	0.08
	i2c	1342	3.8	57.89	42.11	2.20	0	0.08
	arbiter	11839	0	—	—	—	—	0.11
	mem_ctrl	46836	58	22.41	62.07	13.00	15.52	7482.29
EPLF 算术电路	adder	1020	62	0	100	0	0	4.1
	bar	3336	0.4	0	100	0	0	0.11
	square	18484	98	0.2	99.8	0.20	0	35.58
	squt	24618	100	7	90	7	3	9852.38
	multiplier	27062	96	2.08	97.92	2.00	0	230.66
	log2	32060	100	0	100	0	0	984.21
	hyp	214335	100	0	99	0	1	155.55
ISCAS'85	c432	163	44.79	82.19	17.81	36.81	0	457.83
	c1908	367	75.48	61.01	38.63	46.05	0.36	32800.16
	c499	389	74.81	73.88	26.12	55.27	0	2259.99
	c2670	543	52.12	62.19	37.81	32.41	0	25.07
	c3540	961	68.99	79.64	20.36	54.94	0	25711.88
	c5315	1364	41.8	76.69	23.21	32.06	0	3822.9
	c7552	1613	78.1	72.98	27.02	57.00	0	2305.83

结束语　重汇聚是指电路中某个单元处产生的瞬态脉冲经过多条路径传播，最后在某一点汇合的现象。尽管在物理上存在多条重汇聚路径，但这并不意味着重汇聚现象一定会发生。由于电路存在逻辑屏蔽，因此只有当输入向量满足一定要求时才会产生重汇聚。本文提出了一种基于 SAT 求解器的组合电路重汇聚现象分析方法。为有效降低较大规模电路复杂性带来的高搜索成本，本文还提出了算法优化策略。该方法兼具快速性和准确性，不仅可用于分析单个节点处产生的瞬态脉冲，还可以用于分析多个节点同时产生瞬态脉冲的情况，并且给出满足条件的输入向量。实验结果表明，不同类型功能电路中的重汇聚现象存在较大差异。

未来还需要进一步做的工作是，对重汇聚路径进行详

细时序分析,以评估最差情况下的波形,并提出加固手段。除此之外,还将继续研究多节点瞬态脉冲产生的重汇聚现象对电路的影响。

参 考 文 献

[1] LIU B,CHEN S,LIANG B,et al. The Effect of Re-Convergence on SER Estimation in Combinational Circuits[J]. IEEE Transactions on Nuclear Science,2009,56(6):3122-3129.

[2] RATIU I M,PEDERSON D O. VICTOR:A Fast VLSI Testability Analysis Program[C]// International Test Conference 1982,Philadelphia,Pa,Usa,November. DBLP,1982:397-403.

[3] LIU B,CHEN S,XIAO H. Analysis of Glitch Reconvergence in Combinational Logic SER Estimation[C]// Second Asia International Conference on Modelling & Simulation. IEEE Computer Society,2008:1015-1020.

[4] ZHANG B,WANG W S,ORSHANSKY M. FASER:fast analysis of soft error susceptibility for cell-based designs[C]// International Symposium on Quality Electronic Design. IEEE,2006:755-760.

[5] YOSHIDA S ,MATSUKAWA G ,IZUMI S ,et al. An soft error propagation analysis considering logical masking effect on reconvergent path[C]// IEEE International Symposium on On-line Testing & Robust System Design. IEEE,2016:13-16.

[6] MOHANRAM K,TOUBA N A. Cost-effective approach for reducing soft error failure rate in logic circuits[C]// Test Conference,2003(ITC 2003). International. IEEE,2003:893-901.

[7] ZHANG B,WANG W S,ORSHANSKY M. FASER:Fast analysis of soft error susceptibility for cell-based designs[C]// 7th International Symposium on Quality Electronic Design,2006 (ISQED'06). IEEE,2006:740-760.

[8] MING Z,SHANBHAG N R. Soft-Error-Rate-Analysis (SERA) Methodology[J]. IEEE/ACM International Conference on Computer and Adided Design,2006,25(10):2140-2155.

[9] HUANG Z,ZHANG J. Generating SAT Instances from First-Order Formulas[J]. Journal of Software,2005,16(3):327-335.

[10] GUO Y,ZHANG C S,ZHANG B,et al. Research Progress of Algorithms for Solving SAT Problem[J]. Computer Science,2016,43(3):8-17. (in Chinese)
郭莹,张长胜,张斌. 求解 SAT 问题的算法的研究进展[J]. 计算机科学,2016,43(3):8-17.

[11] MA K F,XIAO L Q,ZHANG J M,et al. Research and Development of SAT Solving Algorithm Based on Hardware Programmable Logic[J]. Computer Engineering and Science,2016,38(4):634-639. (in Chinese)
马柯帆,肖立权,张建民,等. 基于硬件可编程逻辑的 SAT 求解算法研究与进展[J]. 计算机工程与科学,2016,38(4):634-639.

[12] WANG R,LIU W,LI T,et al. Bounded model checking of ETL cooperating with finite and looping automata connectives[J]. Journal of Applied Mathematics,2013,2013(2013):1-12.

[13] BRADLEY A R. SAT-based model checking without unrolling [C]// International Workshop on Verification,Model Checking,and Abstract Interpretation. Springer,Berlin,Heidelberg,2011:70-87.

[14] WU G,CHEN Q,CAO F,et al. Parallel hybrid genetic algorithm for SAT problems based on OpenMP[C]// International Conference on Intelligent Systems and Knowledge Engineering. 2017:1-5.

[15] DAVIS M,LOGEMANN G,LOVELAND D. A Machine Program for Theorem-proving[J]. Communications of the Acm,1962,5(5):394-397.

[16] DAVIS M. A Computing Procedure for Quantification Theory [J]. Journal of the Acm,1960,7(3):201-215.

[17] SORENSSON N,EEN N. Minisat v1. 13-a sat solver with conflict-clause minimization[J]. SAT,2005,2005(53):1-2.

[18] BRYANT R E. Graph-based algorithms for boolean function manipulation[J]. IEEE Transactions on Computers,1986,100(8):677-691.

[19] WU S X. Dual Logic Power Optimization Technology Based on AIG[J]. Wireless Communication Technology,2017,26(3):43-47. (in Chinese)
吴世雄. 基于 AIG 的双逻辑功耗优化技术[J]. 无线通信技术,2017,26(3):43-47.