

基于混合混沌大爆炸算法的三维片上网络低功耗映射

范星冉¹ 宋国治¹ 李加正²

(天津工业大学计算机科学与技术学院 天津 300387)¹

(伊利诺伊大学香槟分校信息科学学院 尚佩恩 IL61820)²

摘要 三维片上网络(3D NoC)被认为是提高多核处理系统性能的一种方式。对于 3D NoC 的设计,如何将给定应用特征图(APCG)上的 IP 核适当地分配到 3D NoC 架构中是 IP 核映射的关键问题。一种优秀的映射算法及一次合理的映射可以大幅改善片上网络的通信功耗、发热、延时等指标。大爆炸算法(BB-BC)是一种新型的元启发式群体智能优化算法;混合混沌大爆炸(HCBB-BC)算法是在大爆炸算法基础上进行改进的一种算法,它具有参数简单、收敛速度快等优点。文中提出将混合混沌大爆炸算法用于解决三维片上网络映射问题,这是首次用大爆炸算法的相关算法来解决 3D NoC 映射问题。仿真实验结果证明,与现有的 3D NoC 映射算法相比,所提方法可以用更少的迭代次数和时间来找到更好的解决方案,同时有效地降低 3D NoC 的映射功耗。在经典任务图映射条件下,混合混沌大爆炸算法与遗传算法(GA)相比,收敛速度提高了 36.73%,与粒子群算法(PSO)相比,收敛速度提高了 22.45%;同时,混合混沌大爆炸算法的平均功耗比遗传算法的平均功耗的最大值低 5.75%,并且比粒子群算法的平均功耗的最大值低 3.90%。在随机任务图映射条件下,混合混沌大爆炸算法仍然能够保持稳定的功耗优化效率和更快的收敛速度。

关键词 三维片上网络,映射算法,低功耗,大爆炸算法,混合混沌大爆炸算法

中图分类号 TP393

文献标识码 A

DOI 10.11896/j.issn.1002-137X.2019.08.016

Low-power Mapping Method for Three-dimensional Network on Chip Based on Hybrid Chaotic Big Bang-big Crunch

FAN Xing-ran¹ SONG Guo-zhi¹ LI Jia-zheng²

(School of Computer Science and Software Engineering, Tianjin Polytechnic University, Tianjin 300387, China)¹

(School of Information Sciences, University of Illinois at Urbana-Champaign, Champaign IL61820, USA)²

Abstract Three-dimensional network on chip (3D NoC) is envisioned as a way to achieve high performance of multi-processor systems. For the design of 3D NoC, how to properly allocate IP cores on a given application feature map (APCG) to the 3D NoC architecture is the key problem of IP core mapping. An excellent mapping algorithm and a reasonable mapping can greatly improve the power consumption, heating, delay and other indicators of network-on-chip. The big bang-big crunch (BB-BC) algorithm is a new type of meta-heuristic swarm intelligence optimization algorithm. The hybrid chaotic big bang-big crunch (HCBB-BC) is a modified algorithm based on the big bang-big crunch (BB-BC) algorithm, which has simple parameters and fast convergence speed. In this paper, the hybrid chaotic big bang-big crunch (HCBB-BC) was proposed to solve the problem of 3D NoC mapping. This is the first time that big bang-big crunch (BB-BC) algorithm is used to solve the 3D NoC mapping problem. Simulations are conducted to prove that the proposed method requires less number of iterations and time to find a better solution and can reduce energy consumed compared with existing NoC mapping algorithms. Under the condition of the classical task graphs, compared with the genetic algorithm (GA) algorithm, the convergence speed of the hybrid chaotic big bang-big crunch (HCBB-BC) is increased by 36.73%, and the 22.45% improvement is witnessed compared with the particle swarm optimization (PSO) algorithm. The average power consumption of the hybrid chaotic big bang-big crunch (HCBB-BC) mapping is lower than that of GA with the maximum as 5.75%, and lower than that of PSO with the maximum as 3.90%. Under the condition of the random tasks, the hybrid chaotic big bang-big crunch (HCBB-BC) algorithm can still maintain stable optimization efficiency and higher convergence speed.

到稿日期:2018-10-15 返修日期:2018-12-28

范星冉(1993-),女,硕士生,主要研究方向为三维片上网络;宋国治(1977-),男,博士,副教授,硕士生导师,CCF会员,主要研究方向为下一代网络技术、异构无线网络,E-mail:songguozhi@tjpu.edu.cn(通信作者);李加正(1995-),男,硕士生,主要研究方向为三维片上网络。

Keywords Three-dimensional network on chip, Mapping algorithm, Low-power, Big bang-big crunch, Hybrid chaotic big bang-big crunch

1 引言

2001年,Dally等首先提出了在芯片通信中使用分组路由的方法,并将这种通信方法称为“片上网络(NoC)”^[1]。这种方法有效地解决了由计算机系统架构中的总线结构所带来的单一时钟问题。但是随着芯片上IP核数目的增加,芯片平面布局资源会进一步受限,从而导致全局物理导线越来越长,芯片面积不断增加,这不仅难以保证关键部位,从而缩短关键路径,而且还会增加芯片的功耗,芯片整体的散热性、时延和吞吐都会受到不同程度的影响,使得通信效率随着IP核数目的增多而降低。随着三维集成封装以及硅通孔技术的逐渐成熟,芯片向三维方向发展。3D NoC被广泛地认为是打破了2D NoC性能和尺寸的限制,成功地将三维集成和NoC两种技术优点结合起来的一种方法^[2]。

在设计3D NoC的过程中,一个关键的问题是如何将IP核高效地映射到片上网络拓扑结构上,它对整个芯片的性能尤其是功耗起着至关重要的作用。映射问题是一个NP难问题^[3],在目前的研究中,世界各国学者使用了多种多样的启发式群体智能优化算法来解决映射问题,其中经典的智能优化算法(如遗传算法(GA)、模拟退火算法(SA)和粒子群算法(PSO)^[4-6])被广泛应用。然而,这些经典算法常常伴随着收敛速度慢且容易陷入局部最优等缺点。随着研究的发展,更多的新兴启发式优化算法被提出,它们中的很多算法有着超越传统智能优化算法的优势,例如,全局收敛性更好,控制参数少,收敛速度进一步提升,优化能力更强等。这些算法很好地弥补了经典算法中存在的一些问题。新型的启发式算法受到了越来越多学者的青睐,其中一些算法被用来解决片上网络映射问题,并取得了良好的效果。不仅如此,传统算法和新兴算法的结合使用,在解决问题上有着更显著的效果。

在文献[7]中,蝙蝠算法(BAT)和分组搜索蝙蝠算法(GSBA)首次被用于解决3D NoC低功耗映射问题;文献[8]中提出的量子蚁群算法(QACA)利用量子算法全局搜索的优点弥补了蚁群算法容易陷入局部最优解的不足,在2D-Mesh映射过程中的功耗和响应速度均优于蚁群算法;由于蛙跳算法容易在后期陷入局部最优,文献[9]将模拟退火算法和免疫算法引入蛙跳算法中来解决片上网络映射问题,进一步降低了芯片的功耗;来自加拿大的作者在文献[10]中提出了一种混合机制下的群体优化算法,其结合了禁忌搜索、力量导向、微粒群以及离散粒子群(DPSO),减少了NoC的延迟、功耗和占用面积。

本文首次用混合混沌大爆炸算法(HCBB-BC)来解决三维片上网络低功耗映射的问题,并探讨将该算法用来解决3D片上网络映射问题的方法以及应用后算法的收敛性和芯片的功耗情况。因为3D NoC相较于2D NoC有着更多的优势,

所以在本文中只讨论三维片上网络拓扑结构的映射情况。

2 3D NoC 映射问题

2.1 映射步骤

向一个特定的3D NoC架构进行映射的过程有两个主要步骤,如图1所示。在步骤1中,通过一个特定的映射算法将应用程序特征图(APCG)映射到NoC架构上,然后生成映射解决方案。在步骤2中,对于步骤1中生产的解决方案,使用功耗模型评估其功耗,并把得到的结果反馈给步骤1,然后重新生成映射方案。文献[11]重复步骤1和步骤2,不断生成不同的映射方案,并计算功耗,直到满足特定条件为止。因此,清楚地知道应用特征图(APCG)是如何映射到3D NoC架构上以及映射过程中用到的功耗模型是非常重要的。

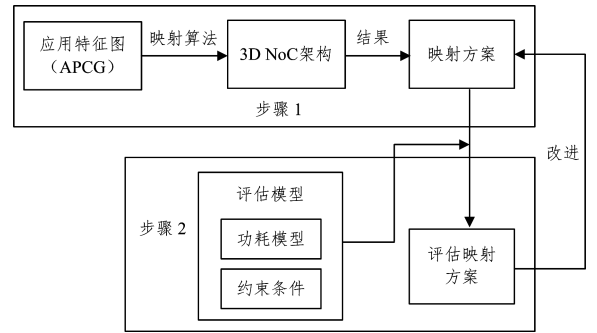


图1 IP核映射步骤

Fig.1 IP-core mapping steps

2.2 映射定义

3D NoC的映射是将一个给定的应用特征图中的IP核放置在3D NoC拓扑结构图的各个资源节点上,使得芯片在运行过程中达到最小化功耗或降低包延迟等目标要求。映射问题属于二次分配问题,是NP困难问题。图2给出了一个NoC的映射实例。

定义1 给定应用特征图,称为 G ,如图2中的图(a)所示, $G(V,E)$ 为有向非加权循环图。其中,顶点 $v_i \in V$,代表着一个执行特定任务的IP核;有向弧 $e_{ij} \in E$,表示节点 v_i 与节点 v_j 之间的通信关系;权重 $W_{i,j}$ 代表 v_i 与 v_j 的通信量。

定义2 给定片上网络拓扑结构图(TAG),称为 T ,如图2(b)所示。其中,顶点 $r_i \in R$,表示NoC的一个资源节点;有向弧 $p_{i,j} \in P$,表示从 r_i 到 r_j 的路径; $h_{i,j}$ 代表从 r_i 到 r_j 之间的曼哈顿距离。

在将给定的应用特征图映射到片上网络拓扑结构图的过程中,即从 $G \rightarrow T$,在函数 $map()$ 的作用下,需要满足以下约束条件:

$$\forall v_i \in V \Rightarrow map(v_i) \in R$$

$$\forall v_i \neq v_j \Leftrightarrow map(v_i) \neq map(v_j)$$

$$size(G) \leq size(T)$$

这些约束条件确保了不同的IP核被映射到不同的NoC

节点;更重要的是保证了 NoC 的规模必须大于或等于

APCG,这样所有的 IP 核都可以映射到 NoC 的资源节点上。

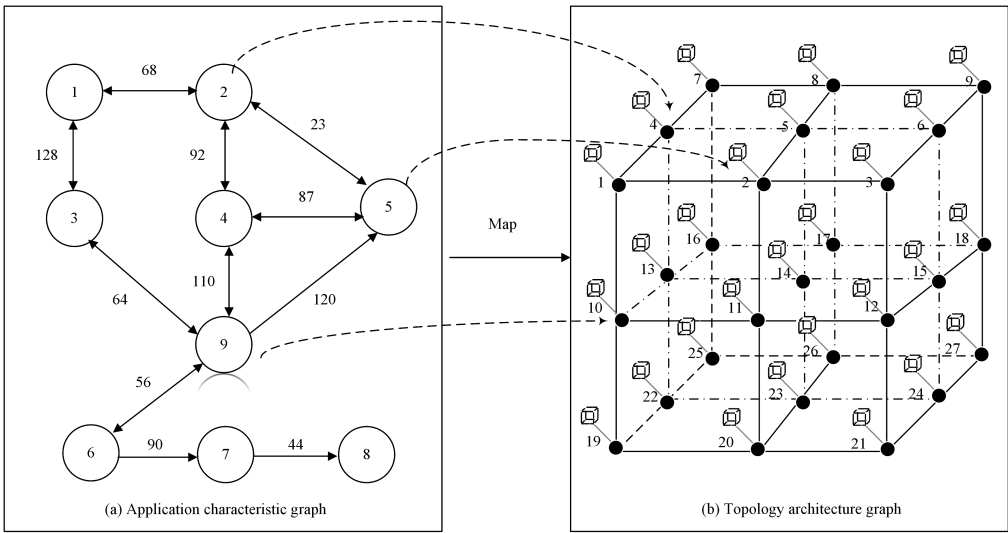


图2 应用特征图的映射实例

Fig. 2 Example of APCG mapping into TAG

2.3 评估模型

本文工作主要是优化 3D NoC 的功耗,在不断生成映射方案的过程中,我们的目标是找到一种功耗最小化的映射方法。

本文使用的功耗模型是由文献[12]提出的,从节点 r_i 发送到节点 r_j 的一个微片消耗的功耗可由下式表示:

$$E_{bit}^{i,j} = \mu E_{Rbit} + \mu_H E_{LHbit} + \mu_V E_{LVbit} \quad (1)$$

其中, μ 表示节点 r_i 到节点 r_j 经过的路由器的个数; μ_H 和 μ_V 分别是信息传输到目的节点所经过的水平方向和垂直方向的条数; E_{Rbit} 表示一个微片通过一个路由器时消耗的能量; E_{LHbit} 和 E_{LVbit} 分别表示一个微片通过一条水平方向和垂直方向的线路时消耗的能量。

3 基于混合混沌大爆炸算法的 3D NoC 映射

3.1 问题描述

宇宙大爆炸算法是由土耳其伊斯坦布尔科技大学的 Erol 和 Eksin 于 2006 年提出的一种新的群集智能优化算法[13]。这种算法的思想主要来源于宇宙演化理论,它是一个持续的大爆炸(Big Bang)和大收缩(Big Crunch)的过程。

基于粒子群的混合混沌大爆炸算法是由广东工业大学的李少勇提出的[14]。HCBB-BC 算法对于大规模寻优具有更好的性能,其克服了 BB-BC 算法生成的解质量差、容易陷入局部最优等缺点。本文则首次实现了将 HCBB-BC 算法用于解决 3D NoC 映射问题,对应用特征图中的 IP 核到 3D NoC 资源节点的映射位置进行了优化。

3.2 基于 HCBB-BC 映射算法的实现

本节主要介绍使用 HCBB-BC 算法实现 3D NoC 映射的步骤。

1)由于算法执行的初代是没有任何可行解的,因此这里选择使用编程的方法来随机生成初始种群,并根据适应值函

数(式(2))使用生成的所有映射序列来计算适应值。

$$Fitness = \sum_{i=1}^m \sum_{j=1}^m [(X_{i,j} + Y_{i,j})weight_{i,j} + Z_{i,j}] \quad (2)$$

其中, $X_{i,j}$, $Y_{i,j}$ 与 $Z_{i,j}$ 分别表示从 IP 核 i 通信到 IP 核 j 在 X 轴、Y 轴与 Z 轴方向分别通过的链路条数。由于硅通孔 TSV 技术的存在[15], 竖直方向上的通信消耗会远远小于水平方向上的通信消耗,因此竖直方向上的通信距离就不再乘以两核间的通信量权重 $weight_{i,j}$ 。

式(2)是基于 3D NoC 的通信量,通信量低,则适应值就会低。通过上文分析的功耗模型(式(1))可以知道,通信量越大,功耗就越高,因此可根据适应值的大小初步判断算法带来的功耗大小,即适应值越小,映射产生的功耗就越小。

2)根据式(3)将当代产生的所有映射序列都收缩成一个映射序列并将其作为下一代产生随机序列的参照序列。本文全面考虑了所有解的序列位置以及该解对应的适应值大小。

$$X_{ok} = \frac{\sum_{i=1}^N \frac{1}{f_i} x_{ik}}{\sum_{i=1}^N \frac{1}{f_i}} \quad (3)$$

其中,位置 X_{ok} 是维度为 APCG 的 IP 核数的序列,位置序列 X_{ok} 即为根据当代爆炸阶段产生的所有随机映射序列收缩得到的唯一序列,即 APCG 的 IP 核在 3D NoC 资源节点上摆放的位置序列; x_{ik} 表示的是第 i 个随机映射序列中第 k 项的位置; f_i 即为对应解的适应值的大小。APCG 的 IP 核被随机映射到 3D NoC 的任意一个资源节点上,因此,位置序列的取值范围即为 1 到 3D NoC 拓扑结构上资源节点数目的总和。

3)上代结束后会将所有映射序列收缩到一个映射序列,即 X_{ok} ,在当代根据式(4)产生新的随机映射序列。

$$X_j^{t+1} = a_1 X_{cj}^t + (1-a_1)(a_2 X_j^{t,gbest} + (1-a_2)X_j^{t,best}) + \frac{a_r(x_{max} - x_{min})}{t+1} \quad (4)$$

式(4)中产生的随机映射序列不仅考虑了使用上代收缩

得到的位置序列,还考虑到了全局最优序列和当代最优序列的加权求和,进一步提高了解的质量。 X_{ij}^{t+1} 是第 i 个映射序列的第 j 项; X_j^{tbest} 为当前迭代的所有代数中的最优映射序列的第 j 项; X_j^{best} 为当代中最佳映射序列的第 j 项; a_1 和 a_2 为 $(0,1)$ 之间的随机数; x_{max} 和 x_{min} 分别为 3D NoC 拓扑结构资源节点数目的最大值和最小值; t 为迭代代数; a_t 为混沌映射序列,如式(5)所示:

$$a_{t+1} = a_t * \mu * (1 - a_t) \quad (5)$$

在式(5)中,通过混沌映射序列设置为一个随机的值,不仅可以增加映射序列的多样性,而且可以提高算法从局部最优解逃逸的能力。

具体的 HCBBC-BC 算法的映射步骤如算法 1 所示。

算法 1 HCBBC-BC 算法

输入:随机产生的映射序列

输出:最优映射位置序列

- Step1 参数初始化。定义随机生成的映射解规模大小和最大迭代次数;随机生成初始映射序列。
- Step2 根据式(2)计算每个映射序列的适应值。
- Step3 找到当代适应值最小的映射序列 x_j^{tbest} ,并比较其与当前全局最优映射位置 x_j^{best} 的适应值,如果此时的位置比当前全局最优映射位置更优,那么当代的映射序列为全局最优 x_j^{best} 并更新全局最优位置序列。
- Step4 根据式(3),用当代的随机映射序列生成下一代的唯一参照映射序列。
- Step5 根据式(4)产生新一代的随机映射序列。
- Step6 判断当前的迭代次数是否达到了最大迭代数,如果是,输出结果;否则,跳到 Step2,迭代的次数增加 1。
- Step7 输出最优映射序列,算法结束。

4 仿真实验与结果分析

本节将首先解释实现映射仿真过程的两个主要方面,如图 3 所示。1)通过 C++编程,实现了 HCBBC-BC 算法,遗传算法和粒子群算法在 3D NoC 架构上映射的应用程序,在生成每代最优映射序列的同时也会生成对应的适应值,适应值用于绘制收敛曲线。2)算法在执行的同时,会生成映射序列对应的通信模式文件,将通信模式文件导入到仿真器中用于测量功耗大小。

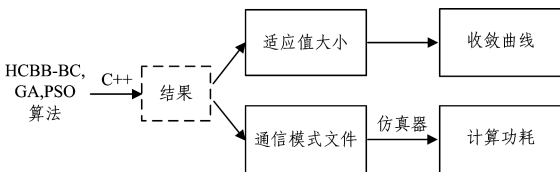


图 3 映射仿真的过程

Fig. 3 Process of mapping simulation

4.1 仿真平台和参数设计

1) 仿真平台

在 Ubuntu13 操作系统下,采用 C++语言编写算法的实现程序,在 codeblocks 12.11 环境下进行映射算法的仿真

调试;使用 AccessNoxim 0.2 作为模拟平台^[16]。AccessNoxim 0.2 是一个结合网络模型、功率模型和热模型的 3D NoC 系统的协同仿真平台,其扩展了基于 SystemC 的循环精确的 NoC 仿真器,以支持通用的 3D 架构和路由功能,并采用了 Intel 的 80-core 处理器的功率模型。

2) 拓扑结构和路由算法的选择

3D Mesh 具有结构规则、布线简单和使用 TSV 技术来缩短垂直互连的整体布线长度等优点。本实验采用三维网格结构进行仿真。由于 XYZ 路由算法^[17]易于理解和实现,且是一种主流路由算法,因此本文中采用 XYZ 路由算法。

3) 参数设置

在算法的执行过程中,将随机生成映射序列的规模设置为 200,迭代次数设置为 300。根据文献^[14],将式(5)中的参数设置为 4.0,参数的初始值设置为 0.663489000。仿真器的参数设置如表 1 所列。

表 1 仿真器参数

Table 1 Simulation parameters

仿真器参数	设定值
包入住率	0.02
包注入模式	无记忆泊松分布
包大小 s	2~10 个微片
通道缓存大小	8 个微片
循环次数	5000 次

4.2 实验结果和性能分析

为了更好地说明基于 HCBBC-BC 算法的 3D NoC 映射的优越性,将 HCBBC-BC 算法与 PSO 算法和 GA 算法进行比较。

由于数据生成具有一定的随机性,为了提高算法的可靠性,收集 100 次实验数据并通过计算得到平均结果。比较实验是在相同的条件下进行的。下面将从算法的收敛速度和芯片的功耗两个方面进行分析比较。

1) HCBBC-BC, GA 和 PSO 收敛速度的对比

图 4 和图 5 分别比较了在 VOPD 和 DVOPD 两种经典任务图下 HCBBC-BC, GA 和 PSO 这 3 种算法的收敛速度。图中的收敛曲线是经过 300 次迭代、每个算法运行 100 次得到的平均曲线。图中,横坐标表示迭代次数,纵坐标表示适应值,适应值大小与 NoC 的通信量成正相关,适应值越小则通信量越低,而通信量越低,功耗就越低。收敛到越小的适应值代表着算法有着更好的收敛性能。

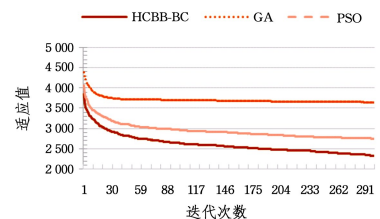


图 4 3 种算法在 VOPD 图下收敛速度的对比

Fig. 4 Comparison on convergence speed of 3 algorithms under mapping VOPD

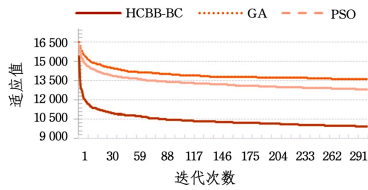


图5 3种算法在DVOPD图下收敛速度的对比

Fig. 5 Comparison on convergence speed of 3 algorithms under mapping DVOPD

图中3条曲线分别代表了随着迭代次数的不断增加3种算法的适应值不断减小的过程。3种算法都有一定的收敛性,适应值最终趋于稳定,最下面的曲线代表着HCBBC-BC算法的收敛性能。相较于最上面的GA算法和PSO算法而言,在16核21条边的VOPD通信任务图映射到规模为 $3 \times 3 \times 3$ 的Mesh结构的同构三维片上网络上和32核44条边的DVOPD通信任务图映射到 $4 \times 4 \times 3$ 的Mesh结构的同构三维片上网络上这两种情况下,HCBBC-BC算法都有着更好的收敛性,能在更短的时间内找到更优的平均最小适应值。

对于VOPD图,HCBBC-BC算法相比GA算法,收敛速度提高了12.02%~6.13%,相比PSO算法,收敛速度提高了5.34%~18.06%。对于DVOPD图,HCBBC-BC算法相比GA算法,收敛速度提高了7.09%~36.73%,相比PSO算法,收敛速度提高了5.51%~22.45%。

为了说明HCBBC-BC算法有更好的通用性,我们使用随机任务图生成器TGFF^[18],生成44核52条边和60核72条边规模的随机任务图,并将其分别映射到 $4 \times 4 \times 3$ 和 $4 \times 4 \times 4$ 的三维片上网络架构上。其与GA算法和PSO算法的收敛速度的比较如图6、图7所示。

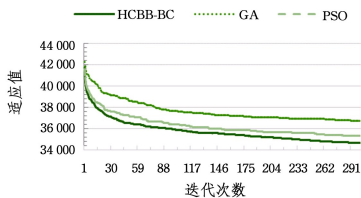


图6 3种算法在44核随机任务图下收敛速度的对比

Fig. 6 Comparison on convergence speed of 3 algorithms under mapping 44 IP-Cores

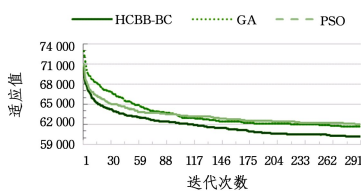


图7 3种算法在60核随机任务图下收敛速度的对比

Fig. 7 Comparison on convergence speed of 3 algorithms under mapping 60 IP-Cores

对于44核图,HCBBC-BC算法相比GA算法,收敛速度提高了1.32%~5.92%,相比PSO算法,收敛速度提高了0.84%~2.05%。对于60核图,HCBBC-BC算法相比GA算

法,收敛速度提高了1.40%~4.45%,相比PSO算法,收敛速度提高了0.62%~3.11%。

2) HCBBC-BC,GA和PSO功耗的对比

将通过100次实验获得的通信文件放入仿真器中,每个通信文件在仿真器中运行5000次。因此,实验结果是100个通信文件,以及每个文件在仿真器中运行5000次得到的平均实验数据。

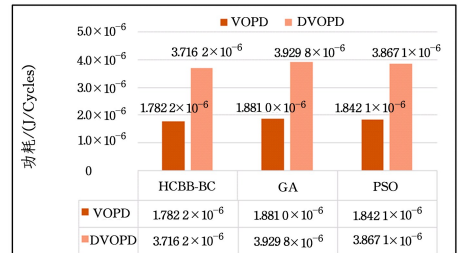


图8 3种算法平均功耗的对比

Fig. 8 Average power consumption of 3 algorithms

从图8中可以观察到:HCBBC-BC在VOPD图和DVOPD图这两种经典应用特征图映射下都拥有最低功耗。对于VOPD图来说,HCBBC-BC的平均功耗比GA的平均功耗低5.25%,比PSO的平均功耗低3.25%。对于DVOPD图来说,HCBBC-BC的平均功耗比GA的平均功耗低5.75%,比PSO的平均功耗低3.90%。

图9反映了44核和60核随机任务图的功耗情况。对于44核图来说,HCBBC-BC的平均功耗比GA的平均功耗低9.89%,比PSO的平均功耗低4.32%。对于60核图来说,HCBBC-BC的平均功耗比GA的平均功耗低4.38%,比PSO的平均功耗低6.88%。

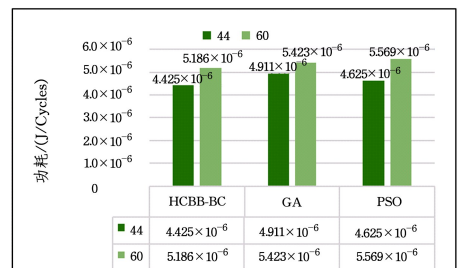


图9 3种算法平均功耗的对比

Fig. 9 Average power consumption of 3 algorithms

结束语 本文成功地实现了将一种新的群体智能启发式算法应用于3D NoC的低功耗映射问题中。与传统的两种主流算法(遗传算法(GA)和粒子群算法(PSO))相比,混合混沌大爆炸(HCBBC-BC)算法更能够朝着目标函数的最优解行进,在收敛速度和功耗方面,HCBBC-BC算法具有一定的优势。

然而,在未来的研究以及实际应用中仍然存在许多值得考虑的问题,例如热平衡、延迟和负载均衡等多个因素同时影响着3D NoC的性能,这将是我们的下一步研究的重点方向。

参考文献

[1] DALLY W J, TOWLES B. Route packets, not wires: On-Chip

- interconnection networks[C]//Proceedings of the 38th Design Automation Conference (DAC 2001). New York:ACM Press, 2001;684-689.
- [2] WANG C P. Design of NoC High Performance Interconnect Structure Based on TSV[D]. Xi'an: Xidian University, 2014. (in Chinese)
王昌鹏. 基于 TSV 的 NoC 高性能互连结构设计[D]. 西安:西安电子科技大学, 2014.
- [3] SAHNI S. P-Complete Approximation Problems[J]. Journal of the Acm, 1976, 23(3): 555-565.
- [4] PALANIVELOO V A, AMBROSE J A, SOWMYA A. Improving GA-Based NoC Mapping Algorithms Using a Formal Model[C]//2014 IEEE Computer Society Annual Symposium on VLSI. IEEE, 2014; 344-349.
- [5] ZHONG L, SHENG J, JING M, et al. An optimized mapping algorithm based on Simulated Annealing for regular NoC architecture[C]//IEEE International Conference on Asic. IEEE, 2011; 389-392.
- [6] SAHU P K, SHAH T, MANNA K, et al. Application Mapping Onto Mesh-Based Network-on-Chip Using Discrete Particle Swarm Optimization [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2014, 22(2): 300-312.
- [7] LI J, SONG G, MA Y, et al. Bat Algorithm Based Low Power Mapping Methods for 3D Network-on-Chips[M]//Theoretical Computer Science. Singapore: Springer, 2017; 277-295.
- [8] XIE Y, LIU Y. A research on NoC mapping with Quantum Ant Colony Algorithm[C]//International Conference on Wireless Communications, Signal Processing and Networking. IEEE, 2017; 874-877.
- [9] TENG L, LI H. A new frog leaping algorithm based on simulated annealing and immunization algorithm for low-power mapping in network-on-chip[J]. Journal of Information Hiding and Multimedia Signal Processing 2018, 9(3): 716-722.
- [10] OBAIDULLAH M, KHAN G N. Hybrid multi-swarm optimization based NoC synthesis[C]//IEEE International System-On-Chip Conference. IEEE, 2017; 62-67.
- [11] JIN X, GUAN N, DENG Q, et al. Memory Access Aware Mapping for Networks-on-Chip[C]//IEEE International Conference on Embedded and Real-Time Computing Systems and Applications. IEEE, 2011; 339-348.
- [12] WANG X H, LIU P, YANG M, et al. Energy Efficient Run-Time Incremental Mapping for 3-D Networks-on-Chip[J]. Journal of Computer Science and Technology, 2013, 28(1): 54-71.
- [13] EROL O K, EKSIN I. A new optimization method: Big Bang-Big Crunch[J]. Advances in Engineering Software, 2006, 37(2): 106-111.
- [14] LI S Y. Research and Improvement of Big Bang Algorithm [D]. Guangzhou: Guangdong University of Technology, 2014. (in Chinese)
李少勇. 大爆炸算法的研究与改进[D]. 广州: 广东工业大学, 2014.
- [15] KIM J, PAK J S, CHO J. High-frequency scalable electrical model and analysis of a through silicon via (TSV) [J]. IEEE transactions on components packaging and manufacturing technology, 2011, 1(2): 181-195.
- [16] JHENG K Y, CHAO C H, WANG H Y, et al. Traffic-thermal mutual-coupling co-simulation platform for three-dimensional Network-on-Chip[C]//International Symposium on Vlsi Design Automation and Test. IEEE, 2010; 135-138.
- [17] YUAN L Y. Research of Communication Strategy for Multi Cores on NoC [D]. Dalian: Dalian University of Technology, 2009. (in Chinese)
袁立业. NoC 上的多核间通信策略研究[D]. 大连: 大连理工大学, 2009.
- [18] DICK R P, RHODES D L, WOLF W. TGFF: task graphs for free[C]//Proceedings of Sixth IEEE International Workshop on Hardware/Software Codesign (CODES/CASHE' 98). IEEE, 1998; 97-101.