

基于 DSP 多通道视频编码终端的设计

苏曙光¹ 苏月明² 刘云生¹

(华中科技大学软件学院 武汉 430074)¹

(中国航天科工集团二〇七所目标与环境光学特性国防科技重点实验室 北京 100854)²

摘要 阐述了一个基于 DSP 的 4 路实时音视频编码终端的硬件设计方案和实现过程。重点讨论了 TMS320DM642 主处理芯片和音视频处理系统的设计,另外对存储电路、网络接口、IIC 接口和电源等模块也做了深入讨论。最后对硬件做了信号仿真,指出电路设计和 PCB 布局布线的关键要点。软件测试结果表明视音频主观质量较优,系统硬件工作稳定可靠,具有通用性。

关键词 视频编码, TMS320DM642, DSP, 电路设计

中图分类号 TP309 文献标识码 A

Design and Implement of Multichannel Video Coding Terminal Based on DSP

SU Shu-guang¹ SU Yue-ming² LIU Yun-sheng¹

(School of Software Engineer, Huazhong Univ. of Sci. & Tech., Wuhan 430074, China)¹

(Target & Envi. Photoelectric Characteristic Lab, Institute 207, CASIC, Beijing 100854, China)²

Abstract The paper proposed a scheme of hardware design of a four-channel realtime video coder. The design of core chips of TMS320DM642 and audio/video chips were focused on. In addition storage, Ethernet, IIC and power source modules were discussed. Finally signal simulation was discussed and some keys of PCB layout and route were proposed. The software test proved the hardware worked well and produced good visual quality of audio/video.

Keywords Video coding, TMS320DM642, DSP, Circuit design

1 引言

近年来,随着多媒体压缩编码技术、网络通讯技术、嵌入式技术和高性能处理芯片的迅速发展,各种基于视频技术的业务和需求不断涌现。视频处理系统在日常生活、军事、工业和医疗等许多领域,例如远程视频监控、视频会议、远程医疗等得到了广泛的应用。而基于 DSP(Digital Signal Processor)的视频处理系统,作为实现实时处理的一个极其重要的方法已经成为研究的重点。视频编解码的硬件实现是进行数字视频处理和网络传输的前提,是视频产品的核心部分。本文试图设计一个基于 DSP 的具有较大通用性的视频处理硬件电路, DSP 的可编程特性使其可以支持不同应用环境的软件开发。

视频编码系统的特点是数据吞吐量巨大、实时性要求高,因而其关键技术在于数字信号的高速处理。TMS320DM642 是 TI 公司推出的高性能定点 DSP 芯片,是目前业界性能最高的媒体处理器。TMS320DM642 在 C64x 的基础上,增加了很多外围设备和接口,非常适合用于音视频实时处理^[1,2]。因而本系统自然而然地选用 TMS320DM642 作为核心处理芯片。

2 硬件整体方案设计

系统硬件的基本要求有 6 点:(1)支持 4 路 PAL 制视频采集,支持 4 路音频采集;(2)支持 1 路 D1 格式(704×576)或者 4 路 CIF 格式(352×288)每秒 25 帧实时 MPEG4/H. 264 编码且码率和帧率可调;(3)压缩后的音视频可以进行本地存储,支持 CF 卡或 IDE 硬盘;(4)支持云台控制;(5)支持实时视频的 Web 远程访问和控制;(6)满足大多数类似应用的硬件需要。

系统典型应用场景如图 1 所示。四路实时视频被采集和压缩,压缩后的码流可以被用户使用 Web 方式浏览和控制,同时也可以选择本地存储。因此视频编码终端除了有视频压缩功能,还有 Web 服务器功能。

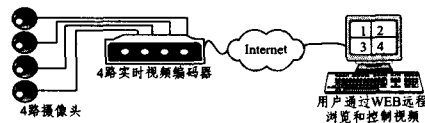


图 1 四路音视频编码系统的典型应用场景

系统硬件设计采用 CADENCE 平台,该平台特别适合复杂电路和高速电路的原理设计、仿真、PCB 布局和布线等工

到稿日期:2008-10-27 返修日期:2009-01-12

苏曙光(1975—),男,博士,讲师,主要研究方向为流媒体编解码、嵌入式操作系统, E-mail: su_shuguang@163.com; 苏月明(1967—),男,研究员,主要研究方向为多媒体处理、虚拟现实和仿真、现代数据库技术; 刘云生 男,教授,博士生导师,主要研究方向为实时移动数据库、实时操作系统。

作。

视频编码终端为独立于计算机的嵌入式系统,系统的设计目标为4路视频4路音频编码系统。4个摄像头采集到的模拟视频信号经过A/D转换为DM642视频口能够处理的BT.656数字视频流格式。4路模拟音频信号由A/D转换后通过集成音频接口IIS(Integrate Interface of Sound)接口与DM642相连。在视频和音频信号都进行A/D转换之后,DM642芯片开始对输入的音视频流进行压缩编码。编码后的音视频流通过以太网口(EMAC)发送给远端的视频服务器或者自身提供Web服务器功能,从而实现远程视频浏览和控制。整个系统硬件设计包含以下核心模块:(1)视频A/D转换模块;(2)音频A/D转换模块;(3)SDRAM/FLASH存储模块;(4)网络模块;(5)电源模块;(6)IDE硬盘存储模块。整体结构如图2所示。

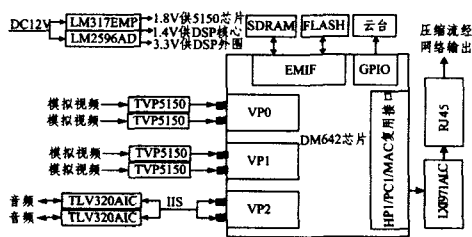


图2 四路实时视频编码终端硬件整体结构

3 视音频电路设计

音视频采集设计是影响整个系统设计的核心电路部分。音视频A/D转换模块主要完成4路模拟CVBS信号和4路LINE_IN信号的模数转换以及与DM642视频口的连接。DM642是专门为音视频处理而设计的,具有3个独立可编程的视频端口(VP, Video Port)可供使用,而且每个VP还可以分成高低两个部分单独使用,如图2所示。本系统中3个VP口配置为:VP0低端为第1路视频输入端口;VP0高端为第2路视频输入端口;VP1低端为第3路视频输入端口;VP1高端为第4路视频输入端口;VP2低端为第1路立体音频输入端口;VP2高端为第2路立体音频输入端口。

视频采集处理过程为:模拟视频流通过视频解码芯片TVP5150A进行模数转换^[2,3],输出CCIR656格式的数字信号,然后通过前面分配的VP0和VP1传送给DSP,DSP得到数据以后对其进行MPEG4或H.264压缩,最后通过网络发送或进行本地存储。视频采集的原理图设计如图3所示,其它3路采集电路完全一样。

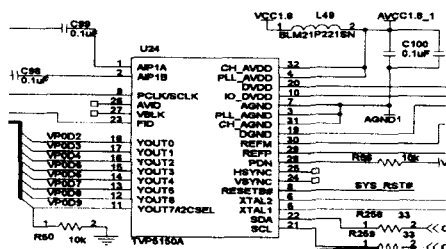


图3 视频采集的原理图设计

目前被广泛使用的视频解码芯片有Philips的SAA7115和TI的TVP5150。前者虽然功能强大且支持水平、垂直、场同步信号控制并具有片上1/2缩放功能,但其功耗比较大,若

在本系统中采用将导致一个电源供应4片SAA7115的困难。因而本系统选择了具有超低功耗且性能优异的TVP5150芯片,其可自动识别NTSC/PAL/SECAM制式的模拟信号,按照YCbCr4:2:2的格式转化成数字信号,以内嵌同步信号的8位ITU-R BT.656格式输出,具有价格低、体积小、操作简便的特点。DM642通过I2C总线对TVP5150内部寄存器进行配置。

音频采集过程与视频采集类似:音频芯片TLV320AIC23集成了音频A/D和音频D/A功能,使用两个串行通道,一个通道控制编解码器的内部配置寄存器,另一个用于收发数字音频信号。该芯片和DM642的多通道音频串口(McASP)相连,如图2所示。DM642的McASP使用IIS协议,两者可以实现无缝接口,所以硬件设计上就比较简单。此外,TLV320AIC23提供I2C接口,DSP可以通过I2C对其内部寄存器进行设置。

4 重要外围电路设计

重要外围电路主要有存储模块、网络模块、I2C模块、电源模块等。

存储模块包括两片32位32MBytes的SDRAM芯片和一片4MFLASH。这3片芯片都利用了TMS320DM642的64位扩展存储接口(EMIF),可寻址空间4GB,数据吞吐能力也相当高,适合视频应用。两片32位的SDRAM位扩展成64位,位于EMIF的CE0空间,用于在系统运行时存放程序和数据。系统中SDRAM的存储器接口如图4所示,图中左边两片即是SDRAM芯片。

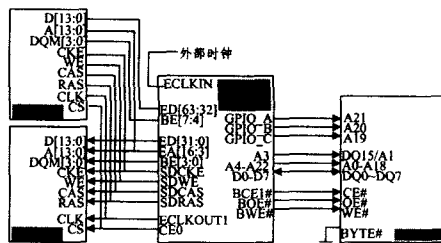


图4 SDRAM和FLASH存储电路模块

EMIF时钟源可配置为内部时钟或外部时钟,由ECLKINSEL0和ECLKINSEL1两个管脚的复位状态决定。由于系统所用SDRAM芯片的主频是166M,而CPU时钟是600M,因此EMIF时钟选用CPU四分频,即150M是可行的;同时考虑到时钟过高系统可能不稳定,外部还用50M的锁相环倍频生成133M的备选时钟。这样系统可以根据实际情况选择133M时钟或者150M时钟。

EMIF接口也具有异步FLASH存储器直接接口的能力。系统选用的FLASH芯片是AMD公司的AM29LV320M,其容量为4M,位于EMIF的CE1空间,用于在系统掉电时存放程序和数据。AM29LV320M有BYTE和WORD两种数据模式,在本设计中该芯片工作在BYTE模式中。由于EMIF的CE1地址空间宽度为A[03-22],因此FLASH工作在BYTE模式时,最多只能映射到0x90000000~0x900FFFFF的1M的空间。该空间小于系统采用的FLASH空间,因此必须扩展地址线才能完全访问FLASH。本系统没有额外FPGA或CPLD来扩展地址空间,而是利用DM642丰富的GPIO来扩展大容量的FLASH空间。GPO13,

GPO14 两根控制线与 A[03-22]协同工作,将 FLASH 分为 4 页,每页 1M 字节。第 0 页的前 1k 字节空间为 Bootloader 段,用于存放用户的二级 Bootloader,剩下的空间可以全部用来存放大型用户程序。

I2C 总线:系统中 I2C 总线用于配置音频编码解码(Co-dec)芯片和视频 AD 芯片的工作参数。由于 DSP 本身仅仅提供一对 IIC 控制线,而本系统中音频 Codec 芯片有 4 个,视频 AD 芯片有 4 片,因此必须扩展 I2C 接口。扩展方式是采用 74HC4052 芯片产生另外两对 I2C 控制线来控制上述芯片的工作参数。

网络模块采用 Intel 的 LXT971ALC 网络处理芯片。DM642 包含一个网络媒体接入控制器 EMAC、物理层 PHY 和设备管理数据输入输出模块 MDIO。EMAC 模块和 MDIO 模块通过 EMAC 控制模块与 DSP 处理器接口,EMAC 控制模块可以控制 EMAC 有效使用 DSP 寄存器,控制 EMAC 和 MDIO 设备的复位和优先级。由于 DM642 上集成有以太网接口,只需要外接一个网络处理芯片,系统采用 LXT971 芯片。在 LXT971 和 RJ45 接口之间需要实现电磁隔离,系统采用 BelFuse S558-5999-T7 芯片完成隔离任务。

电源模块:DM642 芯片本身需要两种工作电源分别给内核和周边 I/O 接口供电,内核电压为 1.4V,周边 I/O 接口电压为 3.3V。视频 A/D 芯片的工作电压是 1.8V,系统其他芯片还需要 3.3V 和 5V 电压。正是因为本系统需要多种电源,所以必须考虑它们的配合问题。本设计中选用国家半导体(NS)公司的 LM2596 和 LM317 两种芯片配合来高质量地实现上述电平。为了在电源电压出现较大波动时产生复位信号来保护核心器件,系统还设计了复位电路,其功能是:系统上电时提供复位信号,直至系统电源稳定后,才撤销复位信号。为可靠起见,电源稳定后还要经一定的延时才撤销复位信号,以防电源开关或电源插头分-合过程中引起的抖动而影响复位。

5 高速 PCB 仿真和设计

在现代高速电路设计中传统方法已经很难适应。现代高速电路的信号边沿速率快,器件之间的干扰大,铜皮导线往往要当传输线来处理。许多传统 PCB 设计中忽略的因素已经成为影响高速数字系统性能的首要因素。在本方案中 CPU DM642 主频高达 600MHz,内存芯片工作频率为 150MHz,毫无疑问本系统属于高速电路,其硬件设计将是一个非常复杂的设计过程,需要综合考虑制作工艺、系统成本、信号完整性、电源完整性、电磁兼容、机械设计、热分析等因素对设计的影响。在设计硬件时主要考虑下面几个因素:终端匹配电阻、信号线长度和层次、时序仿真。

本文用 Mentor Graphics 公司的 Hyperlynx 仿真软件和基于 IBIS(I/O Buffer Information Specification)模型对 DSP 芯片和 SDRAM 读写时序进行了仿真验证^[4]。信号完整性包括反射、振铃、地弹、串扰等因素,对于高速电路尽量采用短的传输线、正确的端接、合理的拓扑结构、传输线特征阻抗控制等。本系统采用串行端接,在源端消除由负载端反射回来的信号,虽然只是消除二次反射,但是串行端接实现简单,只需一个端接电阻,而无需与电源相连接,因此消耗功率小。对于端接匹配电阻最初选择是 33 欧姆,经过仿真 Hyperlynx 的

Wizard 功能进行优化,调整为 40 欧姆。

本系统中 DM642 和 SDRAM 都工作在高频下,两者采用源时钟同步,因此在时序仿真中需满足双方数据收发的建立时间和保持时间的时序关系。仿真的结果可以指导设计 SDRAM 与 DSP 之间的走线长度、走线层和匹配电阻。根据仿真结果,最终电路的 PCB(叠层设计、布局安排、系统布线以及电源与地层分割等)设计如后所述。电路板面积为 160mm×122mm,叠层为 6 层,依次为:信号、地层、信号、电源、地层、信号。此种分层方式可以保证信号充分的回流平面,并且可以保证电源和地层之间的电容较大,阻抗较小,有利于电源解耦^[5]。顶层为元器件的主安装面,放置了 DSP, SDRAM, FLASH 等大部分芯片元件;底层主要放置电阻、电容。元件布局尽可能考虑缩短高频元件间的连线,便于信号流通,信号尽可能保持一致的方向等。DM642 内部有 PLL,对于 PLL 外部所接器件要尽可能靠近芯片,而且必须放在线路板的一面上。对视频、音频芯片采用了单独的电源芯片供电,模拟地和数字地采用磁珠相连。整个硬件的最终布局结果(部分)如图 5 所示。

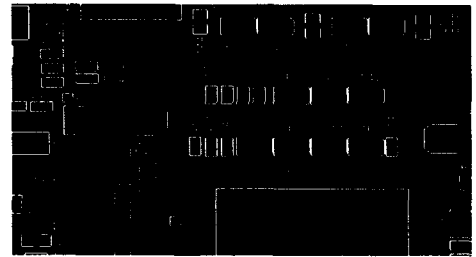


图 5 电路 PCB 元件布局

在 PCB 叠层设计和布局完成之后进行 PCB 布线,布线是要考虑信号线的分类(控制、数据、地址、I/O 口线等)。先布时钟线、敏感信号线,再布高速信号线,尽量确保此类信号少用过孔,最后布普通信号线。特别注意 SDRAM 时钟线尽量要短,到两个 SDRAM 的长度尽量相等;FLASH 等其他外设不要直接与数据和地址总线连接,而应通过缓冲芯片(如 SN74LVT16245B)连接;高速总线上要串入小阻值电阻,其阻值大小可通过仿真得到。

6 软件设计和测试

系统的软件架构基于 DSP/BIOS 实时操作系统内核与芯片支持库 CSL(Chip Support Library),在这个基础上用户开发相应的硬件驱动程序和应用程序。使用这种程序结构层次清晰,移植性和扩展性都很好。设备驱动程序基于开发系统的芯片支持库及 DSP/BIOS 开发工具,使得开发更加简单易行,并且减少了错误概率。开发环境是采用 TI 公司专门为 DSP 设计的集成开发环境 CCS。

系统测试环境:PC 机一台,播放影碟的 DVD 机 2 台,T 型视频分频器 2 个。分频器用于把 DVD 机的输出分成 4 路,模拟 4 路摄像头的实时信号,接入视频编码终端的 4 个视频输入端,PC 机和视频编码终端通过网线连接,双方设置为同网段的两个 IP 地址。然后在 PC 机可以通过 Web 访问视频编码终端,如图 6 所示。播放的视频流畅连续,声音和视频同步,图像没有马赛克和抖动现象,主观视频质量非常好。通过

(下转第 280 页)

Foreman. qcif, Salesman. qcif 标准视频序列进行编解码, 编码帧数为 20 帧, 编码顺序为 IPPPP, 每 19 个 P 帧一个 I 帧。所有实验在个人计算机(赛扬 1G, 512M 内存)上进行。

表 1 列出了在相同的输出码率下, 对所选视频序列应用本文提到的各匹配准则进行实验的结果, 搜索方式为全搜索。表 1 中实验结果的比较, 均以 JM10.1 中使用的 SAD 匹配准则为基准。PSNR 反映了匹配精度, 时间消耗反映了计算复杂性。

表 1 实验结果

视频序列	匹配准则	PSNR(dB)	Δ PSNR	消耗时间(s)	Δ IMEC(%)
Foreman	SAD	36.510	0.000	0.610	0.000
	MSE	36.579	0.069	2.393	292.3
	NCCF	36.557	0.047	7.667	1156.9
	像素差值分类	36.513	0.003	0.344	-43.6
	子采样	36.506	-0.004	0.518	-15.1
	VOD	36.580	0.07	7.153	1072.6
	DVAR	36.593	0.083	10.361	1598.5
Salesman	SAD	38.981	0.000	0.814	0.000
	MSE	38.987	0.006	1.905	134.0
	NCCF	38.992	0.011	7.580	831.2
	像素差值分类	38.983	0.003	0.250	-69.29
	子采样	38.980	-0.001	0.439	-46.06
	VOD	38.988	0.007	4.905	502.6
	DVAR	38.992	0.011	10.517	1192.0

从实验结果可以看到因为 Foreman 有比较多的亮度变化, Salesman 有比较多的细节但是运动比较少, 亮度变化也比较小, 所以对于 Foreman, 各匹配准则下的 PSNR 结果差别比较大。除了子采样匹配准则, 其余匹配准则的 PSNR 均高于 JM10.1 原来使用的 SAD 匹配准则, 其中本文提出的匹配准则 DVAR 所得到的 PSNR 最高。但在计算复杂度方面, 子采样的计算复杂度相比 SAD 明显降低了。另外可以看到 VOD 匹配准则相当于当前块和参考块都去掉照亮度变化影响后的 MSE, 因此与 MSE 的 PSNR 比较相近。DVAR 对于图像边缘比较明显的 Foreman 来说显示了比较好的性能, 同时也适用于普通序列。时间上, 像素差值分类准则由于其运算简单, 因此用了最少的时间, 但其 PSNR 有所降低。DVAR

(上接第 254 页)

改变 Web 地址栏中的地址, 可以调出其他辅助功能的控制窗口(如摄像头的控制、云台控制、视频参数的设置、视频保存等)。实验表明, 电路板的功能稳定, 音视频质量较好。



图 6 Web 客户端实时浏览 4 路解压后的 CIF 图像

结束语 本文主要阐述一个通用的基于 DSP(TI 公司 DM642 主芯片)的多路实时音视频编码终端的硬件设计方案和实现过程。对硬件整体方案做了论证, 对音视频、网络、存储、电源等各个重点模块做了较深入讨论。由于 CPU 主频达到了 600MHz, 因此也对硬件 PCB 的布局、布线和相应的仿

由于计算复杂, 因此用时最多, 其次是 VOD 与 NCCF。

结束语 本文在对各种匹配准则进行理论及实验分析的基础上提出了一种利用图像差值分布情况作为匹配准则的方法: DVAR 匹配准则。从实验结果来看, 与视频标准优先采用的 SAD 进行比较, 本文提出的匹配准则不仅适合普通情况, 对有亮度变化及边缘明显的序列具有更好的性能。但降低其复杂性是该准则要解决的问题。

文中所研究的这些匹配准则都没有充分地考虑人眼的视觉特性。人眼在观察一幅图像的时候, 首先提取图像的结构信息^[6], 因为图像像素之间的信息是相关的, 人眼判断一幅降质图像质量的好坏, 更多的是审视该图像的结构信息与原图像的结构信息是否相近。所以图像结构相似度(SSIM)因其更符合人眼视觉系统(HVS)特性被认为具有客观评判性, 已被众多学者研究, 该理论作为匹配准则的发展方向将能大大提高匹配性能。该方法包括 3 部分: 亮度比较、对比度比较以及结构信息的比较。但算法复杂度较高, 所以降低复杂度也是该方向的一个难点。

参 考 文 献

- [1] Gharavi H, Mills M. Block matching motion estimation algorithm new result[J]. IEEE Transaction on circuit and systems, 1990, 37(5): 649-651
- [2] 段哲民, 周巍, 李辉, 等. 一种基于 H. 264 的有效运动估计算法[J]. 电子学报, 2006, 34(12): 2406-2409
- [3] 贾志科, 崔慧娟, 唐昆, 等. 用于运动位移估值的新匹配准则[J]. 清华大学学报, 1999, 39(1): 43-46
- [4] 刘昌进, 郭立, 李敬文, 等. 一种基于 DCT 系数分布特性的块匹配准则[J]. 小型微型计算机系统, 2006, 27(5): 893-895
- [5] Joint Video Team (JVT). Reference Software JM10.1 [EB/OL]. <http://iphome.hhi.de/suehring/tml/download/jm10.1.zip>, 2006.06
- [6] Wang Zhou, Bovik A C, Sheikh H R, et al. Image quality assessment: from error visibility to structural similarity [J]. IEEE Trans on Image Processing, 2004, 13(4): 600-612

真做了全面的分析。最后对硬件做了软件实际运行的测试, 表明硬件系统工作性能稳定可靠。由于 DSP 芯片具有通用性和可编程性, 因此本系统可以扩展到 MPEG-2, MPEG-4, H. 263 和 H. 264 等多种多媒体编码压缩标准以及视频监控、远程医疗、视频会议等绝大多数视音频的应用场合, 只需要在软件上做少量的修改即可, 因而具有较广泛的应用前景。

参 考 文 献

- [1] Texas Instruments Incorporated. TMS320DM642 Video/Imaging Fixed-Point Digital Signal Processor, 2003
- [2] Li Wci. An Embedded 4-Channel Real-Time Multimedia Coding System[C] // Multi-Media Modelling Conference Proceedings 2006 12th International. 2006, 1: 364-368
- [3] Texas Instruments Incorporated. TVP5150 A PCB Layout Guidelines, 2003
- [4] Using IBIS Models for Timing Analysis. SPRA839A. Texas Instruments, 2003, 4: 1-26
- [5] 曾峰, 巩海洪, 曾波. PowerPCB 高速电子电路设计与应用[M]. 北京: 电子工业出版社, 2004